

Міністерство освіти і науки України
Державний вищий навчальний заклад
Прикарпатський національний університет імені Василя Стефаника

Превисокова Н. В.

МЕТОДИЧНІ ВКАЗІВКИ
ДО ЛАБОРАТОРНИХ РОБІТ З ДИСЦИПЛІНИ
“ОСНОВИ ЦИФРОВОЇ ТА МІКРОПРОЦЕСОРНОЇ ТЕХНІКИ”

Івано-Франківськ
ДВНЗ Прикарпатський національний університет імені Василя Стефаника
2013

УДК 371.214.114:004.31
ББК 32.973-04
П 71

*Рекомендовано вченою радою факультету математики та інформатики
Прикарпатського національного університету імені Василя Стефаника*

Рецензенти:

В.О. Горєлов, кандидат технічних наук, доцент, ДВНЗ Прикарпатський національний університет імені Василя Стефаника;

В.М. Ткачук, кандидат фізико-математичних наук, доцент, ДВНЗ Прикарпатський національний університет імені Василя Стефаника.

Превисокова Н. В.

П71 Методичні вказівки до лабораторних робіт з дисципліни “Основи цифрової та мікропроцесорної техніки”. – Івано-Франківськ: ПП Голіней О.М., 2013. – 56 с.

Методичні вказівки містять відомості з логічних і арифметичних основ, принципів побудови і функціонування елементів, типових вузлів і пристроїв мікропроцесорної техніки та рекомендації щодо виконання лабораторних робіт з дослідження, аналізу та синтезу даних компонентів. У лабораторних роботах наведені теоретичні відомості, приклади розв’язування завдань, вказівки до виконання робіт, варіанти завдань для самостійного розв’язування.

Дані методичні вказівки призначені для студентів напряму підготовки “Інформатика”.

УДК 371.214.114:004.31
ББК 32.973-04

ЗМІСТ

ВСТУП	4
ЛАБОРАТОРНА РОБОТА №1. Дослідження логічних елементів.....	5
ЛАБОРАТОРНА РОБОТА №2 Синтез комбінаційних схем	13
ЛАБОРАТОРНА РОБОТА №3. Дослідження шифраторів і дешифраторів	20
ЛАБОРАТОРНА РОБОТА №4. Дослідження мультиплексорів і демультиплексорів	25
ЛАБОРАТОРНА РОБОТА №5. Реалізація логічних функцій на дешифраторах та мультиплексорах	30
ЛАБОРАТОРНА РОБОТА №6. Моделювання суматорів і компараторів	33
ЛАБОРАТОРНА РОБОТА №7. Моделювання арифметико-логічного пристрою.....	38
ЛАБОРАТОРНА РОБОТА №8. Дослідження тригерів і лічильників	41
ЛАБОРАТОРНА РОБОТА №9. Дослідження регістрів.....	49
СПИСОК ВИКОРИСТАНОЇ ЛІТЕРАТУРИ	54

ВСТУП

Досягнення в галузі цифрових технологій протягом останніх десятиліть визначають постійне зростання кількості областей застосування цифрових систем, цифрової і мікропроцесорної техніки.

Дисципліна “Основи цифрової та мікропроцесорної техніки” є однією з базових у системі формування знань і вмінь інженера - системотехніка за напрямками “Інформатика” та “Комп’ютерні науки”. Метою курсу є одержання студентами необхідного рівня знань, достатнього для самостійної, творчої праці в галузі цифрової електроніки та мікропроцесорної техніки. Дана дисципліна дає змогу отримати необхідні теоретичні знання і практичні уміння для розроблення, проектування, аналізу, синтезу алгоритмів перетворення дискретної інформації, структурних схем і комбінаційних логічних схем, вузлів і пристроїв мікропроцесорної техніки, перетворювачів, елементів пам’яті, арифметико-логічних пристроїв і пристроїв керування.

Методичні вказівки містять відомості з логічних і арифметичних основ, принципів побудови і функціонування, аналізу і синтезу елементів, типових вузлів і пристроїв мікропроцесорної техніки: логічних елементів, комбінаційних схем, перетворювачів, шифраторів і дешифраторів, мультиплексорів і демультимплексорів, схем порівняння, суматорів, тригерів, регістрів, лічильників, арифметико-логічних пристроїв та рекомендації щодо виконання лабораторних робіт з дослідження, аналізу, синтезу та моделювання даних компонентів.

У вказівках наведено вісім лабораторних робіт, які включають теоретичні відомості, приклади розв’язування завдань, вказівки щодо виконання лабораторних робіт, варіанти завдань для самостійного виконання.

Використання інтегрованих програмних систем схемотехнічного моделювання аналогових і цифрових пристроїв, таких як Micro-Cap 14, DesignLab 8.0, APLAC 8.10, Circuit Maker 6.2, Multisim 13 дозволяє ефективно розв’язувати практичні задачі аналізу і проектування цифрових і мікропроцесорних систем та їх компонентів з використанням електронно-обчислювальних машин.

Системи схемотехнічного моделювання автоматизовують розв’язання наступних задач:

- створення моделі принципової електричної схеми пристрою і її редагування;
- дослідження і розрахунок режимів роботи моделі;
- розрахунок частотних характеристик і перехідні процеси моделі;
- аналіз моделі;
- підготовка схем до наступної реалізації;
- підготовка науково-технічної документації.

Для прикладів розв’язування завдань і побудови функціональних схем використано систему Multisim 13 фірми National Instruments. Дана система характеризується наявністю бази компонентів, схем і контрольно-вимірювальних приладів зовнішньо та за характеристиками наближених до їх промислових аналогів і дозволяє здійснити моделювання і емуляцію схем, компонентів і пристроїв цифрових систем.

Лабораторна робота №1

Дослідження логічних елементів

Мета: Закріпити знання про основні булеві функції. Сформувати практичні навички та початкові уміння побудови та аналізу комбінаційних схем пристроїв. Дослідити роботу інтегральних схем, які виконують основні логічні функції.

1. Основні теоретичні відомості

1.1 Логічні елементи.

Теоретичною основою цифрової техніки є алгебра логіки. Основним предметом булевої алгебри є просте твердження, яке або істинне (позначають символом 1) або хибне (позначають символом 0).

Прості висловлювання позначають буквами, які у цифровій техніці називають змінними (аргументами). Змінну зі скінченним числом значень називають перемикальною, а з двома значеннями – булевою.

Функція, яка має скінченне число значень називається перемикальною (логічною). Логічна функція, число можливих значень якої дорівнює двом, називається булевою. Булеві функції двох змінних подано в табл. 1.1.

Двозначні логічні функції

Таблиця 1.1

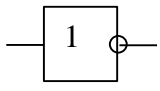
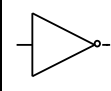
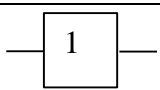
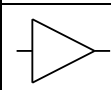
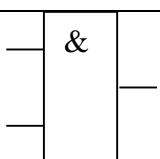
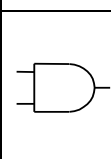
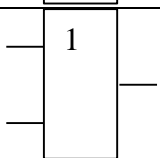
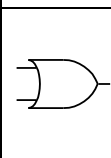
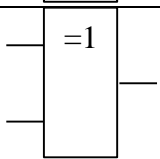
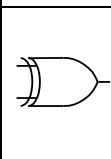
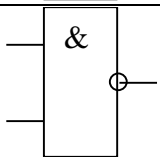
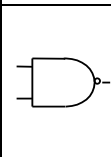
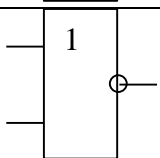
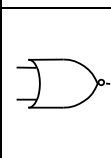
ПОЗНА- ЧЕННЯ	НАБІР АРГУМЕНТІВ				НАЗВА ЛОГІЧНОЇ ФУНКЦІЇ	ФУНКЦІЯ
	0 0	0 1	1 0	1 1		
f_1	0	0	0	0	Константа нуль	0
f_2	0	0	0	1	Кон'юнкція	$X_1 X_2$
f_3	0	0	1	0	Заборона X_2	$X_1 \bar{X}_2$
f_4	0	0	1	1	Повторення X_1	X_1
f_5	0	1	0	0	Заборона X_1	$\bar{X}_1 X_2$
f_6	0	1	0	1	Повторення X_2	X_2
f_7	0	1	1	0	Виключне АБО	$X_1 \oplus X_2 = X_1 \bar{X}_2 \vee \bar{X}_1 X_2$
f_8	0	1	1	1	Диз'юнкція	$X_1 \vee X_2$
f_9	1	0	0	0	Стрілка Пірса	$\bar{X}_1 \vee X_2$
f_{10}	1	0	0	1	Рівнозначність	$X_1 \sim X_2 = X_1 X_2 \vee \bar{X}_1 \bar{X}_2$
f_{11}	1	0	1	0	Інверсія X_2	\bar{X}_2
f_{12}	1	0	1	1	Імплікація від X_2 до X_1	$X_1 \vee \bar{X}_2$
f_{13}	1	1	0	0	Інверсія X_1	\bar{X}_1
f_{14}	1	1	0	1	Імплікація від X_1 до X_2	$\bar{X}_1 \vee X_2$
f_{15}	1	1	1	0	Штрих Шеффера	$\overline{X_1 X_2}$
f_{16}	1	1	1	1	Константа одиниця	1

Фундаментальними логічними схемами є логічні елементи, з яких складаються складні схеми і цифрові системи. Назви та позначення логічних елементів наведено в табл. 1.2.

Таблиця істинності – це спосіб подання залежності вихідних сигналів логічної схеми від логічних рівнів її вхідних сигналів. Таблиці істинності двозначних логічних функцій наведені у табл. 1.1.

Логічні елементи

Таблиця 1.2

Назва логічного елемента	Позначення		Логічна функція	Назва в розділі Standard Gates
	ГОСТ	ANSI		
НЕ (інвертор)			$\begin{array}{c} X \\ \downarrow \\ \boxed{1} \\ \uparrow \\ Y \end{array}$ $Y = \bar{X}$	Inverters
буферний елемент			$\begin{array}{c} X \\ \downarrow \\ \boxed{1} \\ \uparrow \\ Y \end{array}$ $Y = X$	Buffers
I			$\begin{array}{c} X \\ \downarrow \\ \boxed{\&} \\ \uparrow \\ Y \end{array}$ $Z = X \wedge Y$	And Gates
АБО			$\begin{array}{c} X \\ \downarrow \\ \boxed{1} \\ \uparrow \\ Y \end{array}$ $Z = X \vee Y$	Or Gates
ВИКЛЮЧНЕ АБО			$\begin{array}{c} X \\ \downarrow \\ \boxed{=1} \\ \uparrow \\ Y \end{array}$ $Z = X \oplus Y$	Xor Gates
I-НЕ			$\begin{array}{c} X \\ \downarrow \\ \boxed{\&} \\ \uparrow \\ Y \end{array}$ $Z = \overline{X \wedge Y}$	Nand Gates
АБО-НЕ			$\begin{array}{c} X \\ \downarrow \\ \boxed{1} \\ \uparrow \\ Y \end{array}$ $Z = \overline{X \vee Y}$	Nor Gates

1.2 Основні операції в середовищі Multisim 13.

Інтерфейс системи Multisim 13.

В інтегрованому пакеті *Multisim 13* після завантаження відображаються меню, панелі інструментів, панель контрольно-вимірювальних приладів, вікно редагування схеми.

Панель інструментів забезпечує доступ до наступних груп елементів:

- джерела (Sources);
- пасивні компоненти і комутаційні пристрої (Basic);
- діоди (Diodes);
- транзистори (Transistors);
- аналогові мікросхеми (Analog);
- цифрові мікросхеми TTL серії (TTL);
- цифрові мікросхеми КМОП серії (CMOS);
- окремі цифрові схеми, арифметико-логічні пристрої (АЛП), регістри, лічильники, мультиплексори, дешифратори, ОЗП і т. п. (Misc Digital);
- мікросхеми змішаного типу (Mixed);
- індикаторні пристрої (Indicators);
- компоненти змішаного типу (Miscellaneous);
- аналогові обчислювальні пристрої (Controls);

- радіочастотні компоненти (RF);
- електромеханічні елементи (Electro-Mechanical).

Панель контрольно-вимірювальних приладів (Instruments) містить:

- цифровий мультиметр (Multimeter);
- функціональний генератор (Function Generator);
- вимірювач потужності (Wattmeter);
- осцилограф (Oscilloscope);
- вимірювач АЧХ і ФЧХ (Bode Plotter);
- генератор слів (Word Generator);
- логічний аналізатор (Logic Analyzer);
- логічний перетворювач (Logic Converter);
- вимірювач нелінійних спотворень у діапазоні частот від 20 до 200000 Гц (Distortion Analyzer);
- спектральний аналізатор (Spectrum Analyzer);
- прилад для аналізу електричних кіл у загальному вигляді (Network Analyzer).

Вікно редактора схем призначене для створення і редагування принципових схем пристрою. Зміна налаштувань здійснюється за допомогою команди Options>Preferences.

Алгоритм технології підготовки та емуляція роботи електричних схем.

1. Вибір необхідних компонентів електричної схеми та розміщення їх у вікні редагування.

Компоненти, необхідні для створення схеми, об'єднані в групи. Кожній групі цифрових компонентів відповідає кнопка на панелі інструментів (рис. 1.1).



Рис. 1.1 Позначення груп елементів: цифрові мікросхеми TTL серії; цифрові мікросхеми серії CMOS; цифрові схеми (Misc Digital).

При натисканні на кнопку групи відкривається діалогове вікно Вибір компонента (Select Component, рис. 1.2), у якому необхідно вибрати компонент, натиснути кнопку ОК і вказати мишкою місце елемента на схемі. Після завершення вибору всіх компонентів необхідно натиснути кнопку Close. Розміщення компонентів також здійснюється за допомогою команди Place – Place Component.

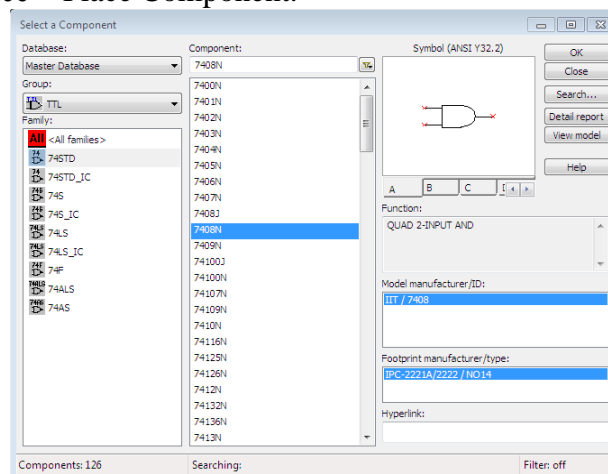


Рис. 1.2. Діалогове вікно Вибір компонента.

У базі даних Multisim містяться реальні і віртуальні схемотехнічні компоненти, які мають відмінності у моделях і у приєднанні до конструктивних параметрів, зокрема до корпусів. Моделі віртуальних елементів не враховують часові затримки поширення сигналів, а моделі реальних елементів – враховують, що необхідно при проектуванні з метою наступної апаратно-програмної реалізації схеми.

Реальний і віртуальний компоненти мають різне кольорне відображення в робочій області Circuit, реальний компонент відображається синім кольором, віртуальний – чорним.

2. Введення та зміна параметрів вибраних компонентів.

Подвійне клацання мишкою на компоненті у вікні редагування призводить до відображення вікна редагування властивостей компонента.

3. З'єднання компонентів схеми.

Після розміщення компонентів і встановлення параметрів здійснюється з'єднання їх виходів провідниками. Для виконання приєднання вказівник мишки підводиться до входу або виходу компонента і після появи точки вказівника з'єднання провідник проводиться між двома довільними точками мишею із натиснутою лівою кнопкою. Створення з'єднувача завершується клацанням мишки на вході другого елемента або подвійним клацанням за необхідності завершити з'єднувач в довільній точці схеми.

За необхідності розірвання з'єднання необхідно виділити з'єднувач і видалити його.

4. Вмикання електричної схеми.

Вмикання електричної схеми здійснюється за допомогою піктограми перемикача 0/1 в правому верхньому куті діалогового вікна: 0 – живлення вимкнено; 1 – живлення увімкнено. Після вмикання живлення здійснюється емуляція роботи схеми, і на контрольно-вимірювальних приладах реєструються характеристики.

Елементи переміщуються мишею або клавішами управління курсором.

Поворот виділеного елемента на 90° здійснюється за допомогою відповідних команд контекстного меню.

З метою видалення елемента чи провідника слід виділити його, після чого натиснути DEL на клавіатурі. Для редагування використовуються стандартні комбінації Ctrl+C (копіювання в буфер), Ctrl+V (вставлення із буфера), Ctrl+X (переміщення в буфер).

Дослідження і синтез логічних схем проводиться за допомогою логічного перетворювача (Logic Converter).

Приклад 1.1. Дослідити елемент І-НЕ, побудувати таблицю істинності.

Розв'язання. Дослідження логічного елемента здійснюється за допомогою логічного перетворювача. На рис. 1.3 наведено приклад приєднання елемента І-НЕ до входів (A, B) і виходу (Out) логічного перетворювача.

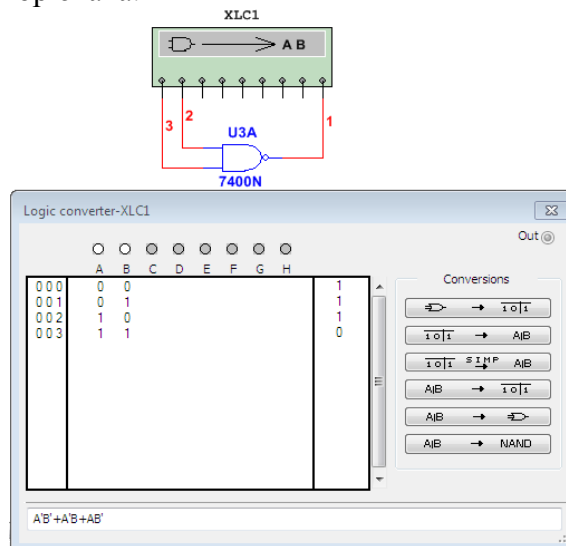
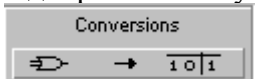



Рис. 1.3. Приєднання логічного елемента І-НЕ до логічного перетворювача.

За наявності двох входів можливі тільки чотири комбінації вхідних сигналів, що відображається у вигляді таблиці істинності, яка генерується після натискання кнопки



Для отримання булевого виразу функціонування досліджуваного елемента чи схеми необхідно натиснути кнопку перетворення від таблиці істинності до булевого виразу .

Одержаний вираз відображається у додатковому рядку виведення, розташованому в нижній частині вікна перетворювача. У логічному виразі використовуються наступні позначення: A' — інверсія A, B' – інверсія B, знак + відповідає логічній операції АБО.

У загальному випадку для синтезу схеми виконують наступні дії: відкрити логічний перетворювач; активізувати мишкою клеми-кнопки A, B...H (починаючи з A), кількість яких дорівнює кількості входів пристрою, який синтезується; внести необхідні зміни у стовпець Вихід (OUT); натиснути у вікні перетворювача кнопки перетворень. Результат відображається у вигляді схеми в робочій області, а булевий вираз – у вікні логічного перетворювача.

Приклад 1.2. Побудувати за допомогою логічного перетворювача схему пристрою, функціонування якого задане таблицею істинності

A	B	Out
0	0	1
0	1	1
1	0	0
1	1	1

Розв'язання. Відкрити логічний перетворювач і виділити входи A, B. Для внесення необхідних змін у стовпець OUT курсором виділити символ, який треба змінити, і ввести за допомогою клавіатури або змінити його багаторазовим виділенням мишкою. Після внесення



всіх змін послідовно натиснути на кнопки наступної групи



Кнопки використовуються для побудови схем в інших базисах логічних елементів.

Одержана логічна схема наведена на рис.1.4, а мінімізований логічний вираз – у полі редагування в нижній частині вікна перетворювача.

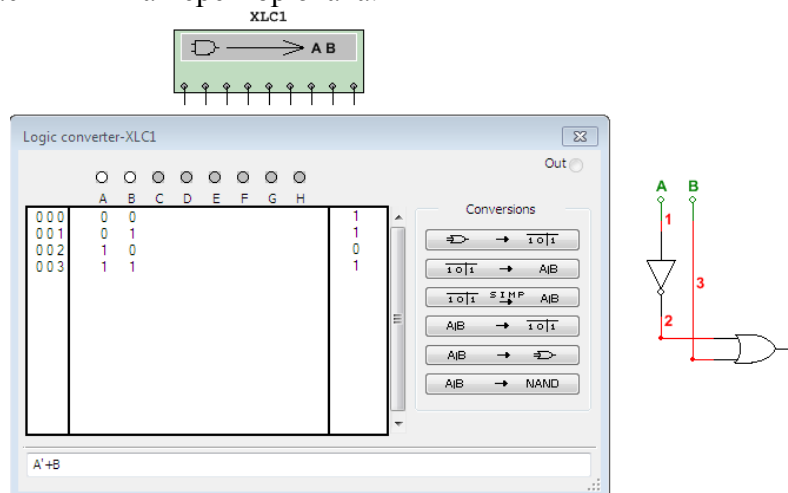


Рис. 1.4. Результат синтезу комбінаційної схеми за допомогою логічного перетворювача.

Подавання на вхід схеми логічних рівнів та імпульсних послідовностей здійснюється за допомогою компонента генератор слів (Word Generator) із панелі приладів (рис.1.5).

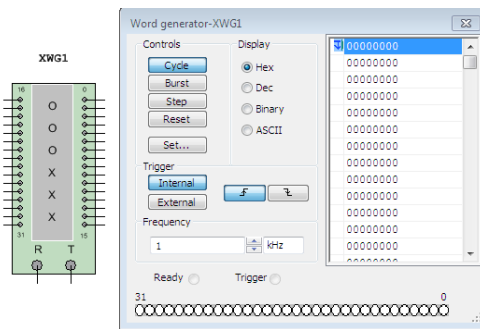


Рис 1.5. Генератор слів.

Програмування Генератора слів здійснюється у вертикальному полі редагування вхідних сигналів у шістнадцятковій системі (0, 1, 2, 3, 4, 5, 6, 7, 8, 9, A, B, C, D, E, F) або у двійковій системі у полі редагування Binary. Кожний стовпець вертикального поля редагування відповідає одному розряду у шістнадцятковій системі або чотирьом розрядам двійкового коду.

Приклади програмування генератора слів та індикації вхідних слів за допомогою семисегментного індикатора а також програмування генератора слів, приєднання та дослідження роботи логічного елемента І наведено на рис. 6 – рис. 7 відповідно.

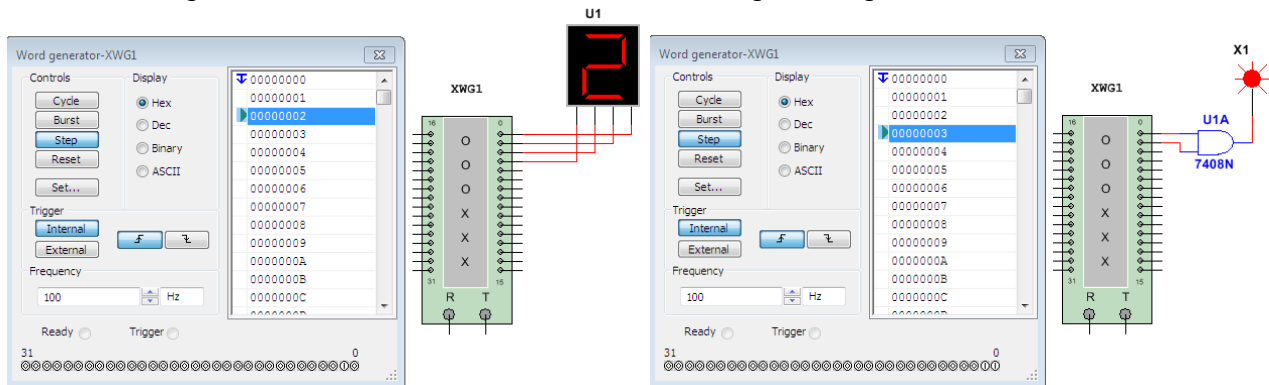


Рис.1.6. Приклад програмування генератора та індикації слів на виходах.

Рис 1.7. Приклад програмування генератора слів та приєднання логічного елемента.

Автоматичне заповнення генерованих слів зростаючою послідовністю здійснюється командою Set...– Up counter, встановлення початкового і кінцевого слова циклу – за допомогою контекстного меню – Set initial position, Set final position.

Для відображення часових діаграм вхідних і вихідних сигналів компонентів і схем необхідно вибрати прилад Логічний аналізатор (Logic Analyser) і подвійним клацанням відкрити область побудови часових діаграм.

Для аналізу комбінаційної схеми та побудови часових діаграм її необхідно приєднати до цифрового генератора слів (Word Generator) і логічного аналізатора.

Приклад 1.3 Аналіз логічного елемента І.

Аналіз логічного елемента І (7408N) здійснюється за допомогою генератора слів і логічного аналізатора. Один із варіантів приєднання елемента до генератора слів, програмування генератора слів і побудова часових діаграм роботи логічного елемента за допомогою логічного аналізатора наведені на рис. 1.8.

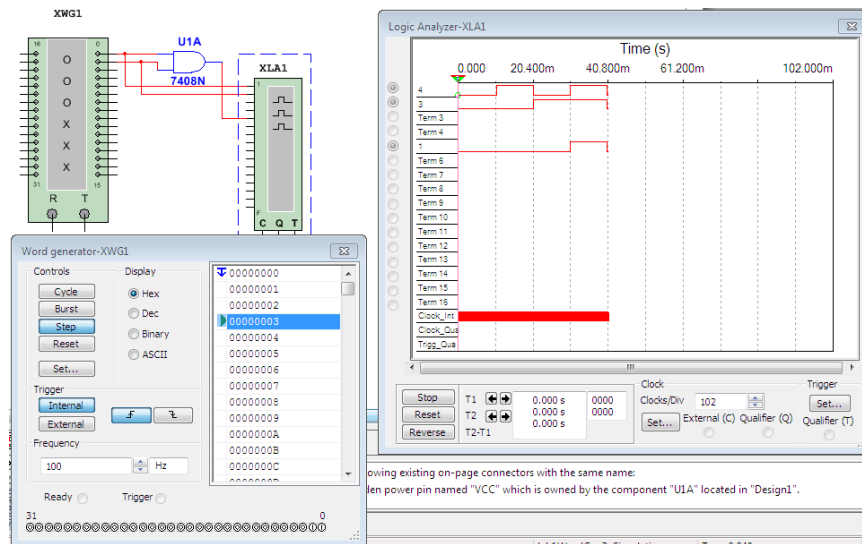


Рис. 1.8. Приклад побудови часових діаграм вхідних і вихідного сигналів логічного елемента І.

Приклад 1.4. Аналіз функціональної схеми.

Варіант приєднання та аналізу функціональної схеми пристрою до генератора слів та відображення рівнів сигналів на входах та виході за допомогою логічного аналізатора наведено на рис. 1.9.

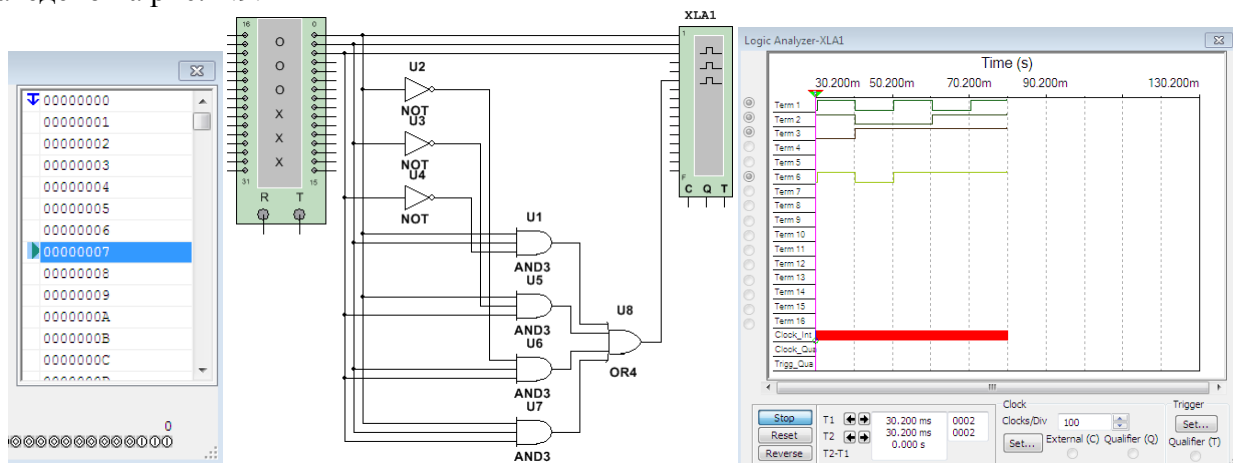


Рис. 1.9. Аналіз функціонування комбінаційної схеми.

Графіки, схеми і компоненти копіюються в буфер обміну як фрагмент області екрану (пункт меню Tools/Capture Screen Area) і можуть бути вставлені в інший додаток.

2. Порядок виконання роботи

1. Дослідити реальні логічні елементи І, АБО, НЕ, І-НЕ, АБО-НЕ, Виключаюче АБО за допомогою логічного перетворювача, побудувати таблиці істинності, логічні вирази.

2. Скласти схему, наведену на рис. 1.10. Проаналізувати схему за допомогою генератора слів і побудувати часові діаграми всіх вхідних і вихідних сигналів.

Визначити вихідний сигнал схеми

а) якщо всі вхідні сигнали відповідають 0;

б) якщо рівні вхідних сигналів схеми $A=0, B=1, C=1$ і $D=1$.

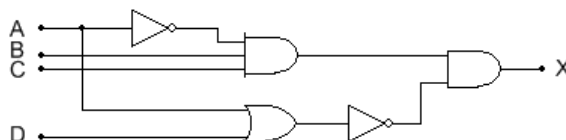


Рис. 1.10. Приклад логічної схеми.

3. У мікрокомп'ютері логічна схема, наведена на рис. 1.10, генерує вихідний сигнал MEM, який активізує мікросхеми пам'яті. Визначте входні умови, необхідні для активізації MEM.

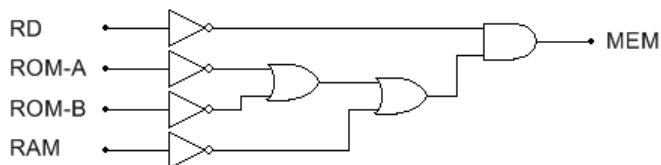


Рис. 1.10. Логічна схема активізації мікросхеми пам'яті.

Один із методів розв'язання задачі аналізу схем полягає в записі логічного виразу для вихідного сигналу, зокрема, сигналу на виході MEM з використанням входніх сигналів RD, ROM-A, ROM-B, RAM. Необхідно знайти значення логічного виразу для 16 можливих комбінацій входніх сигналів. Рациональніший метод полягає в аналізі вихідного сигналу кожного логічного елемента і формулюванні тверджень у формі: “вихідний сигнал буде мати високий рівень, коли...”

5. Скласти схему згідно індивідуального варіанту завдання (табл.1.3) та побудувати часові діаграми входніх і вихідніх сигналів.

Індивідуальний варіант завдання відповідає номеру студента у списку групи в журналі. Якщо номер більший 15, то варіант дорівнює номер – 15.

Варіанти завдань

Таблиця 1.3

Варіант	Схема	Варіант	Схема	Варіант	Схема
1.		6.		11.	
2.		7.		12.	
3.		8.		13.	
4.		9.		14.	
5.		10.		15.	

3. Звіт повинен містити:

1. Таблиці істинності, логічні вирази.
2. Схеми, часові діаграми.
3. Висновки.

4. Контрольні запитання

1. Дати означення логічних функцій.
2. Зобразити умовні позначення логічних елементів, таблиці істинності логічних функцій.
3. Визначити вихідний стан логічних елементів при заданих входніх сигналах.
4. Які логічні елементи можна використати як інвертори?
5. Як здійснюється аналіз логічних схем?

Лабораторна робота №2

Синтез комбінаційних схем

Мета: Закріпити знання про логічні елементи та бази. Сформувані практичні навички та уміння проектування, абстрактного синтезу та аналізу комбінаційних схем цифрових пристроїв.

1. Основні теоретичні відомості

2.1 Етапи абстрактного синтезу функціональних схем цифрових пристроїв.

Принцип функціонування комбінаційної схеми може задаватись словесним описом, таблицею істинності або сукупністю логічних функцій, що пов'язують стан виходів зі станом входів схеми. Як правило, послідовність синтезу комбінаційних схем включає перехід від словесного опису до таблиці істинності, а від неї – до логічних функцій. За логічними функціями складається схема комбінаційного пристрою на логічних елементах.

Функціональну схему логічного пристрою одержують у результаті абстрактного синтезу, який містить наступні етапи:

- 1) словесне подання функцій логічного пристрою;
- 2) складання таблиці істинності за словесним поданням;
- 3) запис логічного рівняння пристрою у формі досконалої диз'юнктивної нормальної форми (ДДНФ) або досконалої кон'юнктивної нормальної форми (ДКНФ);
- 4) мінімізація логічного рівняння;
- 5) вибір одного із базисів для реалізації функціональної схеми;
- 6) перетворення логічного рівняння за правилами де Моргана до вибраного базису;
- 7) побудова функціональної схеми цифрового пристрою.

Система функцій, за суперпозицією яких можна подати будь-яку булеву функцію, називається функціонально повною. Вона утворює базис у логічному просторі.

Функціонально повні системи утворюють такі набори функцій:

- 1) НЕ, АБО, І;
- 2) НЕ, АБО;
- 3) НЕ, І;
- 4) І-НЕ;
- 5) АБО-НЕ.

2.2 Мінімізація логічних виразів.

Мінімізація логічних виразів шляхом безпосередніх перетворень здійснюється послідовним застосуванням законів алгебри логіки (табл. 2.1) до складових логічного виразу.

Основні закони алгебри логіки.

Таблиця 2.1

	Для диз'юнкції	Для кон'юнкції
Комутативність	$X \vee Y = Y \vee X$	$X \wedge Y = Y \wedge X$
Асоціативність	$(X \vee Y) \vee Z = X \vee (Y \vee Z) = X \vee Y \vee Z$	$(X \wedge Y) \wedge Z = X \wedge (Y \wedge Z) = X \wedge Y \wedge Z$
Дистрибутивність	$(X \vee Y) \wedge Z = X \wedge Z \vee Y \wedge Z$	$X \wedge Y \vee Z = (X \vee Z) \wedge (Y \vee Z)$
Ідемпотентність (тавтологія)	$X \vee X = X$	$X \wedge X = X$
Поглинання	$X \vee X \wedge Y = X$	$X \wedge (X \vee Y) = X$
Склеювання	$X \wedge Y \vee X \wedge \bar{Y} = X$	$(X \vee Y) \wedge (X \vee \bar{Y}) = X$
Правила де Моргана	$\overline{X \vee Y} = \bar{X} \wedge \bar{Y}$	$\overline{X \wedge Y} = \bar{X} \vee \bar{Y}$
Операції з константами	$X \vee 0 = X, X \vee 1 = 1$	$X \wedge 0 = 0, X \wedge 1 = X$
Властивості інверсії	$X \vee \bar{X} = 1$	$X \wedge \bar{X} = 0$
	$\overline{\overline{X}} = X$	

Наприклад, заданий логічний вираз:

$$\overline{(\overline{X \vee X \wedge Y}) \wedge Y \wedge Z \vee X \wedge \overline{Y}}$$

1) за законом дистрибутивності $\overline{X \vee X \wedge Y} = (\overline{X \vee X}) \wedge (\overline{X \vee Y})$;

2) із властивостей операцій з константами і інверсією випливає $(\overline{X \vee X}) \wedge (\overline{X \vee Y}) = 1 \wedge (\overline{X \vee Y}) = \overline{X \vee Y}$;

3) за правилом де Моргана $\overline{X \vee Y} = \overline{X \wedge Y}$;

4) за правилом де Моргана $\overline{X \wedge Y \wedge Y \wedge Z} = X \wedge Y \vee Y \wedge Z$;

5) за правилом склеювання $X \wedge Y \vee X \wedge \overline{Y} = X$.

Таким чином,

$$\overline{(\overline{X \vee X \wedge Y}) \wedge Y \wedge Z \vee X \wedge \overline{Y}} = \overline{(\overline{X \vee Y}) \wedge Y \wedge Z \vee X \wedge \overline{Y}} = X \wedge Y \vee Y \wedge Z \vee X \wedge \overline{Y} = X \vee Y \wedge Z.$$

До інших методів мінімізації належать метод карт Карно та діаграми Вейча.

2.3 Приклад синтезу комбінаційних схем на логічних елементах.

Приклад 2.1. Спроектувати пристрій з трьома входами, вихідний сигнал якого співпадає з більшістю вхідних сигналів (мажоритарний елемент).

Етап 1. На основі даного словесного опису складається таблиця істинності (табл.2.2).

Таблиця істинності мажоритарного елемента з трьома вхідними змінними.

Таблиця 2.2.

Номер набору	Входи			Вихід
	x ₂	x ₁	x ₀	y
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	1
7	1	1	1	1

Функціонування даного пристрою описується функцією

$$y = \{3,5,6,7\}_{x_2 x_1 x_0}$$

Функція набуває значення логічної 1 тільки на наборах, вказаних у фігурних дужках.

На наборі з номером в круглих дужках значення функції 0 або 1.

Етап 2. Для запису логічних функцій за таблицею істинності використовується досконала кон'юнктивна нормальна форма (ДКНФ) або досконала диз'юнктивна нормальна форма (ДДНФ).

ДДНФ від N аргументів – це диз'юнкція 2^N членів, кожний із яких є кон'юнкцією всіх N аргументів, частина яких входить в нього з інверсією, а частина – без інверсії. Для її утворення необхідно записати диз'юнкцію стільки членів у вигляді кон'юнкцій всіх аргументів, скільки одиниць міститься у стовпчику, що відповідає вихідній змінній. Якщо у наборі значення вхідної змінної 1, вона входить в кон'юнкцію без інверсії, якщо 0 – з інверсією.

Відповідно до таблиці істинності (табл. 2.2) ДДНФ подається наступним виразом

$$y = (\overline{x_2} \wedge \overline{x_1} \wedge \overline{x_0}) \vee (\overline{x_2} \wedge \overline{x_1} \wedge x_0) \vee (\overline{x_2} \wedge x_1 \wedge \overline{x_0}) \vee (\overline{x_2} \wedge x_1 \wedge x_0) \quad (1)$$

ДКНФ від N аргументів – це кон'юнкція 2^N членів, кожен із яких є диз'юнкцією всіх N аргументів, частина яких входить в нього з інверсією, а частина – без інверсії. Для її утворення необхідно записати кон'юнкцію стільки членів у вигляді кон'юнкцій всіх аргументів, скільки нулів міститься у стовпчику, що відповідає вихідній змінній. Якщо у

наборі значення вхідної змінної 0, вона входить в диз'юнкцію без інверсії, якщо 1 – з інверсією.

Якщо вихідна змінна частіше приймає значення 0, ніж 1, доцільно використовувати ДКНФ, інакше – ДДНФ. У даному прикладі кількість 0 і 1 рівна, тому запишемо також ДКНФ:

$$y = (x_2 \vee x_1 \vee x_0) \wedge (x_2 \vee x_1 \vee x_0) \wedge (x_2 \vee x_1 \vee x_0) \wedge (x_2 \vee x_1 \vee x_0) \quad (2)$$

Етап 3. Мінімізація рівнянь (1) – (2) здійснюється шляхом використання законів алгебри логіки.

Обидві функції після мінімізації перетворюються до виразу

$$y = (x_2 \wedge x_1) \vee (x_2 \wedge x_0) \vee (x_1 \wedge x_0). \quad (3)$$

З метою мінімізації і аналізу схеми у програмі Multisim використовується логічний перетворювач.

Для мінімізації логічної функції необхідно за ДДНФ або ДКНФ побудувати комбінаційну схему, приєднати входи та вихід комбінаційної схеми відповідно до входів та виходу логічного перетворювача (Logic Converter), побудувати таблицю істинності за допомогою першої кнопки в групі Conversions та виконати спрощення. Приклад приєднання функціональної схеми, побудованої за ДДНФ (1), наведено на рис. 2.1.

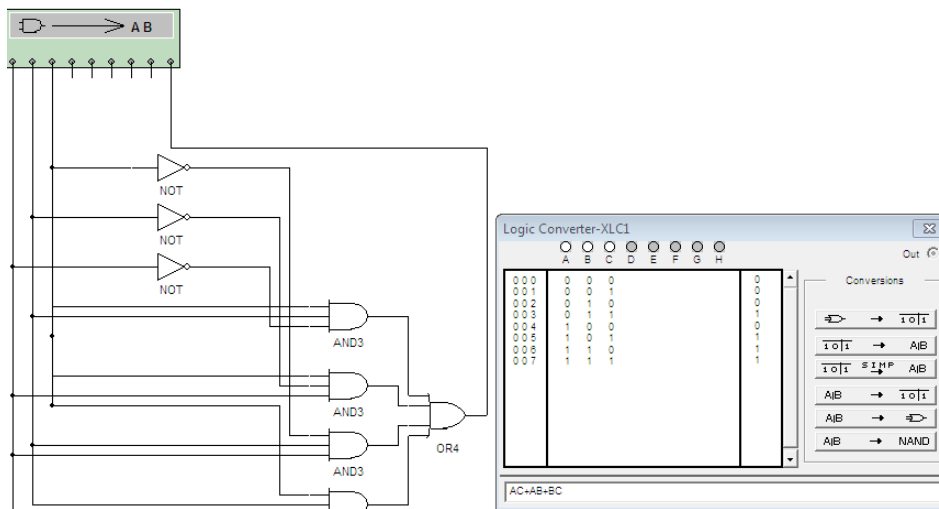


Рис. 2.1. Аналіз комбінаційної схеми за допомогою логічного перетворювача.

Мінімізація виразу здійснюється за допомогою кнопки логічного перетворювача. Мінімізований вираз відображається в нижній частині перетворювача (рис. 2.2).

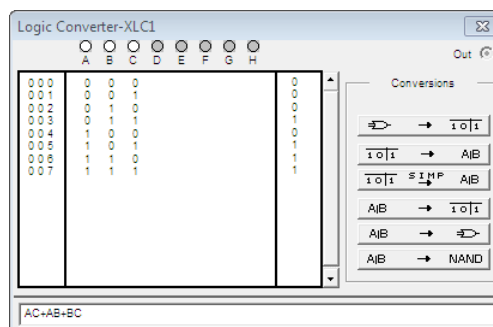


Рис. 2.2. Мінімізація виразу за допомогою логічного перетворювача.

Побудова комбінаційної схеми за мінімізованим виразом здійснюється кнопкою логічного перетворювача. Результат побудови схеми за мінімізованим виразом із рис. 2.2 поданий на рис. 2.3.

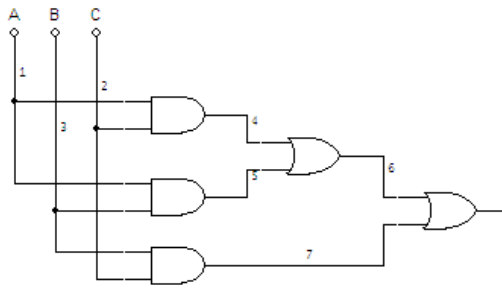


Рис. 2.3. Комбінаційна схема, побудована за мінімізованим виразом.

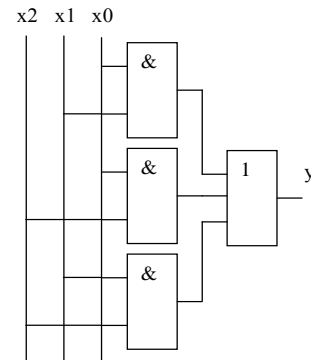


Рис.2.4. Схема пристрою для прикладу 2.1.

Схема пристрою після мінімізації наведена на рис.2.4.

Приклад приєднання та аналізу функціональної схеми пристрою, заданого таблицею істинності (табл.2.2) до генератора слів та відображення рівнів сигналів на входах та виході наведено на рис. 2.5.

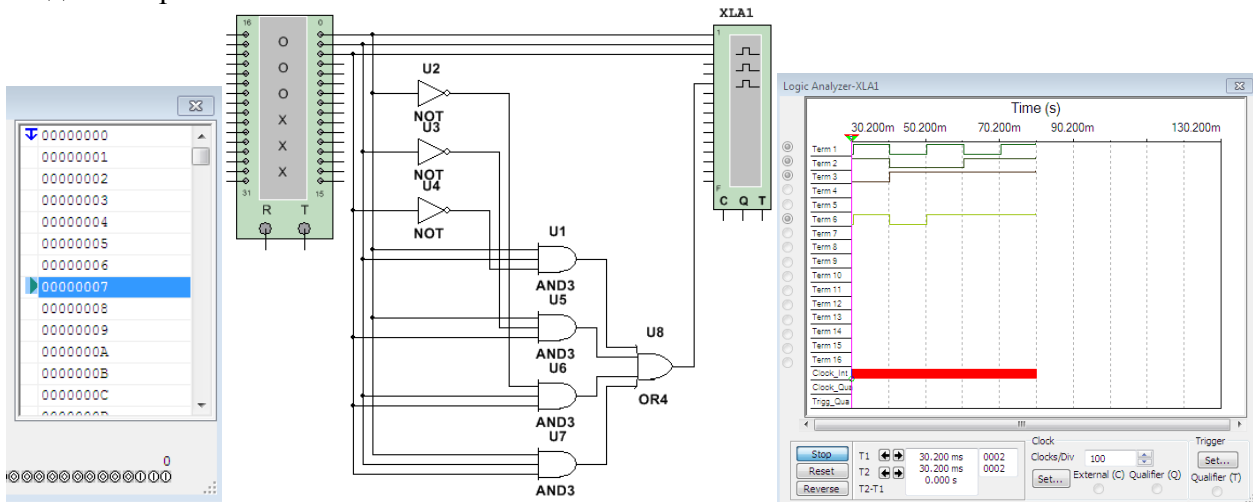


Рис. 2.5. Аналіз функціонування комбінаційної схеми.

2. Порядок виконання роботи

Завдання 1. Синтезувати комбінаційну схему пристрою для реалізації функцій, заданих числовим способом відповідно до варіанту (табл. 2.3).

1. Функції, задані числовим способом згідно індивідуального завдання подати таблицею істинності. Записати логічні рівняння пристроїв у формі ДДНФ або ДКНФ.
2. Побудувати функціональні схеми реалізації функцій.
3. Мінімізувати логічні рівняння, побудувати таблицю істинності для мінімізованих рівнянь, порівняти таблиці істинності.
4. Побудувати функціональні схеми пристроїв за мінімізованим рівнянням.
5. Побудувати часові діаграми сигналів на входах і виходах схеми.

Завдання 2. Синтезувати комбінаційну схему пристрою, поданого логічним виразом відповідно до варіанту (табл. 2.4).

6. Побудувати функціональну схему згідно заданого логічного виразу.
7. Записати таблицю істинності, мінімізувати логічний вираз.
8. Побудувати схему для мінімізованого виразу.
9. Виконати завдання №3 синтезу логічної схеми.

Завдання 3. На рис. 2.7 зображено систему керування копіювального апарату. У даній системі перемикачі знаходяться в різних місцях паперопровідного тракту на шляху паперу

через апарат. Кожний вимикач у нормальному стані відкритий, а коли повз нього проходить папір, він закривається. Неможливо одночасно замкнути перемикачі SW1 і SW4.

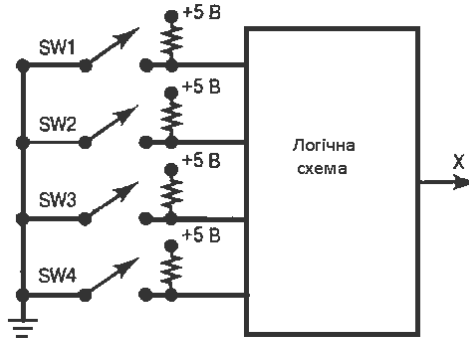


Рис. 2.7. Схема системи керування копіювального апарату.

Синтезуйте логічну схему, яка має на виході високий рівень, коли одночасно замкнуті два або декілька перемикачів. Здійсніть моделювання схеми.

10. Виконати завдання №4 проектування логічної схеми.

Завдання 4. На рис. 2.8 зображена схема пристрою множення двох двійкових чисел x_1x_0 і y_1y_0 . На виходах схеми формується двійкове число $z_3z_2z_1z_0$, яке дорівнює арифметичному добутку вхідних чисел. Спроектуйте логічну схему даного пристрою множення.



Рис. 2.8. Схема помножувача до завдання 4.

Варіанти до завдання №1.

Таблиця 2.3

Номер варіант а	Функції
1	$f = \{ 0, 1, 2, 3, 4, 5 \} x_2x_1x_0.$ $f = \{ 0, 4, (1, 6) \} x_2x_1x_0.$
2	$f = \{ 0, 1, 4, (5) \} x_2x_1x_0.$ $f = \{ 0, 1, 2, 3, 5, 7 \} x_2x_1x_0.$
3	$f = \{ 1, 4, 5, 6, 7 \} x_2x_1x_0.$ $f = \{ 1, 3, 5 \} x_2x_1x_0.$
4	$f = \{ 3, 7, (4, 5) \} x_2x_1x_0.$ $f = \{ 3, 4, 5, 6, 7, (1) \} x_2x_1x_0.$
5	$f = \{ 0, 1, 2, 3, 4, 6 \} x_2x_1x_0.$ $f = \{ 2, 6 (4, 5) \} x_2x_1x_0.$
6	$f = \{ 2, 3, 6, (1) \} x_2x_1x_0.$ $f = \{ 0, 2, 4, 6, (1, 5) \} x_2x_1x_0.$
7	$f = \{ 1, 3, 5, 7 \} x_2x_1x_0.$ $f = \{ 0, 1, 4, 5, (7) \} x_2x_1x_0.$
8	$f = \{ 0, 4, (3) \} x_2x_1x_0.$ $f = \{ 0, 4, 5, 6, 7 \} x_2x_1x_0.$
9	$f = \{ 0, 1, 2, 3, 5, 7 \} x_2x_1x_0.$ $f = \{ 1, 5, (0) \} x_2x_1x_0.$

10	$f = \{ 1, 3, 5 \} x_2 x_1 x_0$ $f = \{ 0, 1, 2, 3, 6, 7 \} x_2 x_1 x_0$
11	$f = \{ 3, 4, 5, 6, 7, (0, 1) \} x_2 x_1 x_0$ $f = \{ 2, 3, 7, (0) \} x_2 x_1 x_0$
12	$f = \{ 2, 6, (4) \} x_2 x_1 x_0$ $f = \{ 2, 4, 5, 6, 7, (0) \} x_2 x_1 x_0$
13	$f = \{ 0, 2, 4, 6, (1) \} x_2 x_1 x_0$ $f = \{ 2, 3, 4, 6, (0) \} x_2 x_1 x_0$
14	$f = \{ 1, 3, 5, 7, (0) \} x_2 x_1 x_0$ $f = \{ 0, 4, (1, 6) \} x_2 x_1 x_0$
15	$f = \{ 0, 1, 4, (5) \} x_2 x_1 x_0$ $f = \{ 0, 1, 2, 3, 5, 7 \} x_2 x_1 x_0$

Варіанти до завдання №2.

Таблиця 2.4

Номер варіанта	Логічний вираз
1	$ABC + A(\overline{BC} + \overline{C}) + \overline{BC}$
2	$\overline{A} + B + \overline{BC} + AC + A + \overline{C}$
3	$(A + B)A + \overline{C} + ABC + A + \overline{BC}$
4	$\overline{A} + B + \overline{AC}(BC + \overline{B} + C)$
5	$(A + B)(A + B + \overline{C})(C + \overline{BC})$
6	$\overline{A}(A + B + \overline{AB}) + \overline{BC}$
7	$B(\overline{A} + C) + (A + B)(A + \overline{B} + C)$
8	$A + \overline{AB} \cdot \overline{BC} \cdot B + \overline{C}$
9	$A\overline{B} + (\overline{A} + B + C)(B + \overline{C})$
10	$AB + B + \overline{C} + C(B + \overline{A} + \overline{B} + BC)$
11	$(A + B + \overline{AB})(B + C) + \overline{BC}$
12	$(A + C)(A + \overline{BC} + \overline{B} + \overline{C}) + B + \overline{C} + AB$
13	$(A + \overline{ABC} + \overline{BC})(B + \overline{C})$
14	$\overline{A} + \overline{B} + \overline{BC} + AC + A + \overline{C}$
15	$AB + A + \overline{C} + C(A + \overline{A} + B + AC)$

3. Звіт повинен містити:

1. Завдання.
2. Таблиці істинності функцій.
3. ДДНФ або ДКНФ.
4. Аналітичні вирази перетворень або таблиці для спрощення та мінімізації функцій (вказати закони алгебри логіки, що були використані при мінімізації).
5. Комбінаційні схеми для заданих та мінімізованих функцій.
6. Часові діаграми сигналів на входах і виході схеми.
7. Аналітичні вирази перетворень процедури мінімізації логічного виразу (вказати закони алгебри логіки, що були використані при мінімізації)

8. Схеми для заданого та мінімізованого логічного виразу
9. Таблицю істинності логічного виразу.
10. Часові діаграми сигналів на входах і виході схеми.
11. Висновки.

4. Контрольні запитання

1. Назвати етапи синтезу цифрових комбінаційних пристроїв.
2. Назвати методи та способи мінімізації логічних виразів.
3. Назвіть функціонально повні системи елементів.
4. Охарактеризуйте основні закони алгебри логіки.
5. Як записується досконала диз'юнктивна нормальна форма?
6. Як записується досконала кон'юнктивна нормальна форма?

Лабораторна робота № 3

Дослідження шифраторів і дешифраторів

Мета: Закріпити знання етапів і процедур синтезу комбінаційних схем. Сформувані практичні навички та уміння проектування, абстрактного синтезу та аналізу комбінаційних схем шифраторів та дешифраторів.

1. Основні теоретичні відомості

3.1. Дешифратори.

Цифрові системи здійснюють обробку інформації у двійковому коді. До основних операцій належать кодування і декодування, мультиплексування, демультимплексування, порівняння, перетворення кодів. Наведені операції виконуються інтегральними схемами (ІС) середнього ступеню інтеграції (ССІ).

У комбінаційних схемах вихідний стан схеми залежить тільки від комбінації значень вхідних сигналів. До комбінаційних схем належать шифратори, дешифратори, мультиплексори, демультимплексори, комбінаційні суматори, цифрові компаратори та деякі інші пристрої.

Дешифратор – це комбінаційний пристрій, який перетворює комбінацію вхідних змінних в активний сигнал “лог. 1” або “лог. 0” тільки на одному із виходів.

Дешифратор перетворює двійковий код числа на вході в активний сигнал на тому виході, номер якого відповідає десятковому еквіваленту двійкового коду на вході.

Повним дешифратором називають дешифратор, який має n входів і $m=2^n$ виходів. У неповного дешифратора кількість виходів $m < 2^n$. Наприклад, якщо дешифратор має 3 входи, то максимальна кількість виходів дорівнюватиме $2^3=8$.

В умовних позначеннях дешифраторів і шифраторів використовують сполучення букв DC (decoder) і CD (coder).

Деякі дешифратори мають один або декілька входів дозволу, які використовуються для управління роботою дешифратора. При наявності активного сигналу на вході дозволу робота дешифратора дозволена (на одному з виходів є активний сигнал), інакше на всіх виходах дешифратора присутні неактивні сигнали.

Активним сигналом може бути 0 або 1 в залежності від типу входів чи виходів (відповідно інверсні або прямі). Інверсні входи і виходи позначаються кружком. Наприклад, на рис.3.1(а) показано двовходовий дешифратор з прямим входом дозволу OE та інверсними виходами (тобто при наявності 1 на OE на одному з виходів буде "0", на всіх інших "1", інакше на всіх виходах буде "1"), на рис.3.1(б) вхід OE інверсний, виходи прямі (див. часові діаграми), на рис.3.1(в) вхід OE та виходи інверсні, на рис.3.1(г) вхід OE і виходи прямі.

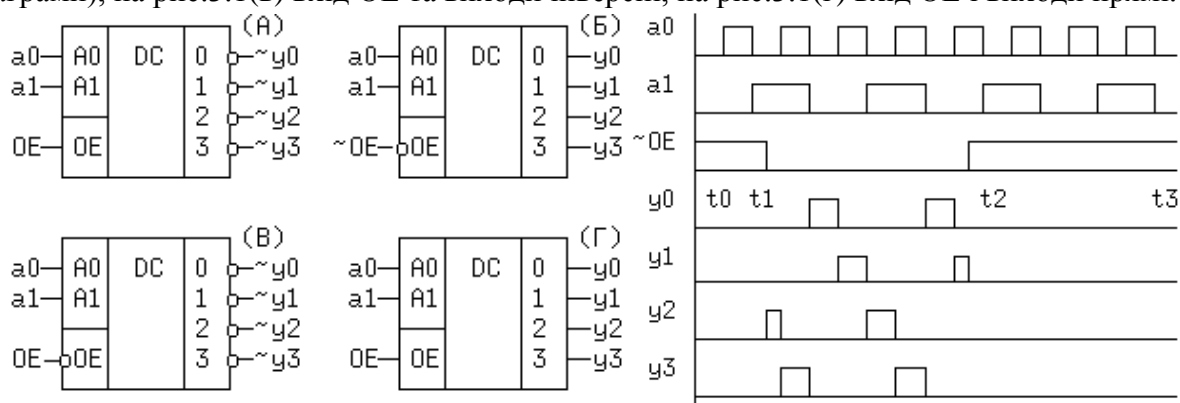


Рис. 3.1. Позначення дешифраторів та приклад часових діаграм для дешифратора.

Робота двовходового дешифратора (2:4) описується системою рівнянь, складених на основі таблиці істинності (табл.3.1).

Таблиця істинності двовходового дешифратора.

Таблиця 3.1

DEC число	Входи			Виходи							
	a_1	a_0	OE	y_0	y_1	y_2	y_3	$\overline{y_0}$	$\overline{y_1}$	$\overline{y_2}$	$\overline{y_3}$
0	0	0	1	1	0	0	0	0	1	1	1
1	0	1	1	0	1	0	0	1	0	1	1
2	1	0	1	0	0	1	0	1	1	0	1
3	1	1	1	0	0	0	1	1	1	1	0

Рівняння виходів, складені на основі таблиці істинності (табл. 3.1):

$$y_0 = \overline{a_0} \wedge \overline{a_1}; y_1 = a_0 \wedge \overline{a_1}; y_2 = \overline{a_0} \wedge a_1; y_3 = a_0 \wedge a_1.$$

Робота дешифратора із трьома входами подається таблицею істинності (табл. 3.2) і системою логічних рівнянь, складених на основі таблиці істинності.

Таблиця істинності дешифратора із трьома входами.

Таблиця 3.2

DEC число	Входи			Виходи							
	a_2	a_1	a_0	y_0	y_1	y_2	y_3	y_4	y_5	y_6	y_7
0	0	0	0	1	0	0	0	0	0	0	0
1	0	0	1	0	1	0	0	0	0	0	0
2	0	1	0	0	0	1	0	0	0	0	0
3	0	1	1	0	0	0	1	0	0	0	0
4	1	0	0	0	0	0	0	1	0	0	0
5	1	0	1	0	0	0	0	0	1	0	0
6	1	1	0	0	0	0	0	0	0	1	0
7	1	1	1	0	0	0	0	0	0	0	1

Рівняння виходів, складені на основі таблиці істинності:

$$y_0 = \overline{a_0} \wedge \overline{a_1} \wedge \overline{a_2}; y_1 = \overline{a_0} \wedge \overline{a_1} \wedge a_2; y_2 = \overline{a_0} \wedge a_1 \wedge \overline{a_2}; y_3 = \overline{a_0} \wedge a_1 \wedge a_2;$$

$$y_4 = a_0 \wedge \overline{a_1} \wedge \overline{a_2}; y_5 = a_0 \wedge \overline{a_1} \wedge a_2; y_6 = a_0 \wedge a_1 \wedge \overline{a_2}; y_7 = a_0 \wedge a_1 \wedge a_2.$$

Дешифратори на велику кількість виходів будуються на базі дешифраторів з меншим числом виходів, при цьому застосовують принцип каскадування. Під каскадуванням розуміють спосіб з'єднання дешифраторів у вигляді мікросхем середнього ступеню інтеграції для одержання більшої розрядності вхідного коду. При цьому всі дешифратори повинні бути керованими, тобто мати входи дозволу або вільний вхід старшого розряду. З'єднання двох три розрядних дешифраторів для декодування чотирирозрядного коду наведено на рис.3.2.

3.2. Шифратори.

Шифратор перетворює код "1 із N" у двійковий. Шифратор виконує функцію, обернену до функції дешифратора, і може бути неперіоритетним, якщо допускається подавання тільки одного активного сигналу, або пріоритетним, якщо допускається подавання одночасно декількох активних сигналів на входи.

Неперіоритетний шифратор здійснює перетворення номера

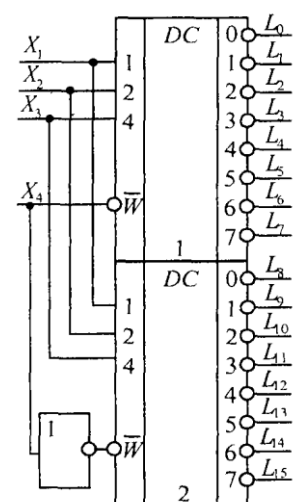


Рис.3.2. Каскадування дешифраторів

активного входу у двійковий код. У пріоритетному шифраторі відбувається перетворення максимального номера активного входу в двійковий код. Кількість входів n і виходів m пов'язана співвідношенням $m=2^n$.

На рис. 3.3 наведено приклад використання 4-входового шифратора для кодування номера натиснутої клавіші (кл). Якщо, наприклад, буде натиснута клавіша 0 ("1" на вході x_0), то на виходах буде комбінація 00 (0 на y_1 , 0 на y_0); якщо буде натиснута клавіша 2 ("1" на вході x_2), то на виходах буде комбінація 10 (1 на y_1 , 0 на y_0); якщо буде натиснута клавіша 3 ("1" на вході x_3), то на виходах буде комбінація 11 (1 на y_1 , 1 на y_0).

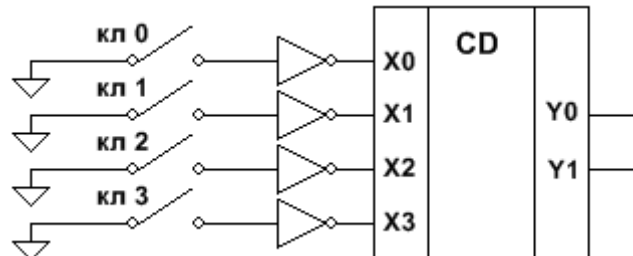


Рис. 3.3. Приклад використання шифратора.

3.3 Мікросхеми дешифраторів і шифраторів

Мікросхеми дешифраторів і шифраторів

Таблиця 3.3

Найменування	Функціональний опис
7442	4-входовий дешифратор, 10 інверсних виходів. Перетворює двійково-десятковий код в двійковий. Аналогічні ІС інших серій ТТЛ: 74LS42, 74НС42.
7445	Дешифратор перетворює двійково-десятковий код в десятковий.
74138	3-входовий дешифратор, 8 інверсних виходів
74139	два 2-входових дешифратора з інверсними виходами
74141	4-входовий дешифратор, 10 інверсних виходів
74145	4-входовий дешифратор, 10 інверсних виходів
74154	4-входовий дешифратор, 16 інверсних виходів
74155	два 2-входових дешифратора з інверсними виходами
74147	10-входовий шифратор, 4 виходи
74148	8-входовий шифратор, інверсні входи, 3 інверсні виходи

2. Порядок виконання роботи.

1. Скласти схему згідно рис.3.6 і проаналізувати роботу мікросхеми дешифратора 74ALS138.

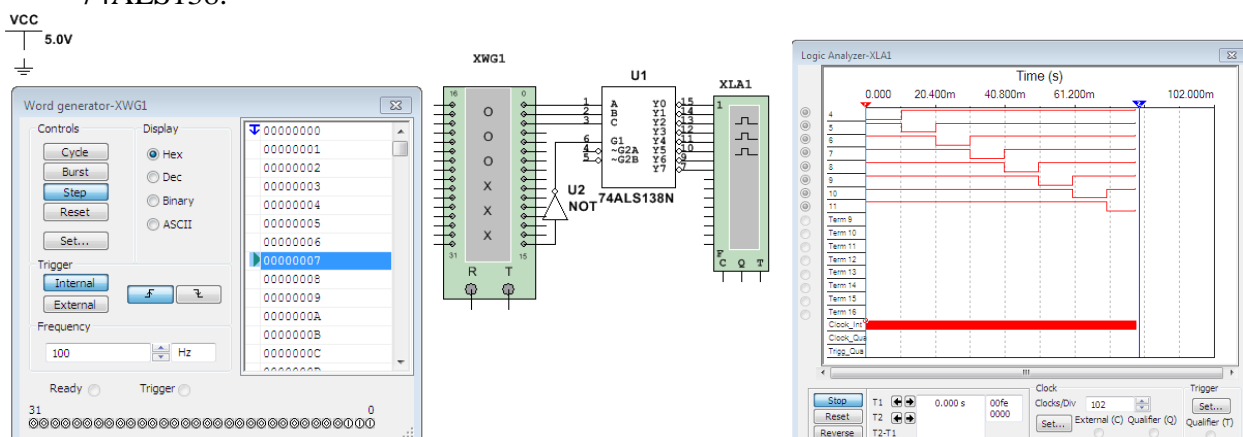


Рис. 3.6. Аналіз мікросхеми дешифратора.

2. Запрограмувати цифровий генератор на циклічне подання на входи схеми 74ALS138 чисел від 0 до 7 або таким чином, як подано на рис. 3.6.
3. Здійснити моделювання роботи схеми. Активізувати вікно логічного аналізатора і ввімкнути живлення схеми. Проаналізувати роботу дешифратора в покроковому (Step) та циклічному (Cycle) режимах. Скласти таблицю істинності дешифратора та часові діаграми роботи, записати їх у звіт.
4. Синтезувати комбінаційну схему дешифратора на логічних елементах. Здійснити моделювання роботи схеми (рис. 3.7).

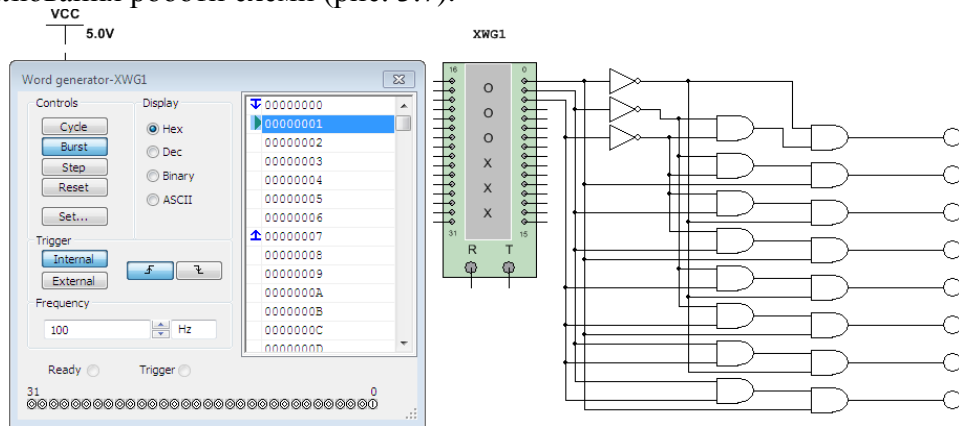


Рис. 3.7. Функціональне моделювання схеми дешифратора.

5. Проаналізувати рівні сигналів на виходах схеми за допомогою індикаторів або логічного аналізатора, переконатись в ідентичності роботи обох схем.
6. Дослідити роботу мікросхеми шифратора 74148. Здійснити моделювання роботи схеми згідно рис. 3.8.

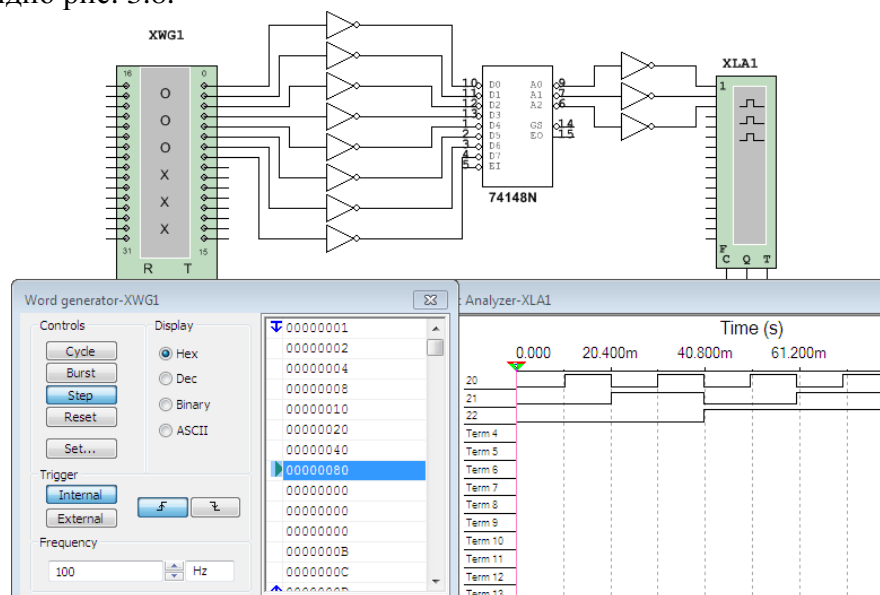


Рис. 3.8. Дослідження мікросхеми шифратора.

7. Побудувати таблицю істинності шифратора, часові діаграми роботи, записати їх у звіт.
8. Синтезувати функціональну схему реалізації дешифратора чотирирозрядного двійкового коду за допомогою двох дешифраторів 74ALS138.
10. Цифрова схема містить три пристрої з заданими адресами. Спроектувати фрагмент схеми – дешифратор адрес з виходами заданого типу відповідно до варіанту:
 - 1) на логічних елементах;
 - 2) використовуючи стандартні мікросхеми дешифраторів.

Варіанти завдань.

Таблиця 3.4

Варіант	Тип виходів дешифратора	Адреси		
1.	прямі	0000	1001	1101
2.	інверсні	0001	1010	1011
3.	прямі	0010	1011	1110
4.	інверсні	0011	1100	1111
5.	прямі	0100	0111	1101
6.	інверсні	0101	1001	1111
7.	прямі	0110	1011	1101
8.	інверсні	0001	0111	0110
9.	прямі	0010	1001	1100
10.	інверсні	0011	0111	1001
11.	прямі	0100	1011	1100
12.	інверсні	0101	1001	1101
13.	прямі	0110	0100	0011
14.	інверсні	0001	1101	1111
15.	прямі	0111	1001	1011

3. Звіт повинен містити:

1. Завдання
2. Таблиці істинності шифратора та дешифратора.
3. Функціональні схеми шифраторів і дешифраторів.
4. Часові діаграми сигналів на входах і виходах схем.
5. Структурну і функціональну схеми дешифратора чотирирозрядного двійкового коду.

4. Контрольні запитання

1. Чим шифратор відрізняється від дешифратора?
2. Чим відрізняється пріоритетний шифратор від звичайного?
3. Яке призначення входів дозволу дешифратора?
4. Чим відрізняється інтегральна схема 7445 від інтегральної схеми 7442?
5. У чому полягає принцип каскадування дешифраторів?

Лабораторна робота № 4

Дослідження мультиплексорів і демультиплексорів

Мета: закріпити знання етапів проектування комбінаційних схем. Навчитись проектувати й аналізувати схеми мультиплексорів і демультиплексорів, застосовувати мікросхеми.

1. Основні теоретичні відомості

4.1 Мультиплексори.

Цифровий *мультиплексор* або селектор даних – це логічна схема, яка приймає декілька цифрових сигналів, вибирає один із них і передає на вихід. Призначення мультиплексора – комутувати в певному порядку на один вихід один із декількох вхідних сигналів залежно від стану адресних входів.

Мультиплексори мають один або два взаємодоповнюючих (прямий і інвертований) виходи і дві групи входів: інформаційні і керуючі (адресні входи і входи дозволу).

Якщо мультиплексор має n адресних входів, то кількість інформаційних входів дорівнюватиме 2^n .

Набір сигналів на адресних входах визначає конкретний інформаційний вхід, який буде з'єднуватись з виходом мультиплексора.

Вхід дозволу (стробуючий) керує одночасно всіма інформаційними входами незалежно від стану адресних входів. Сигнал заборони на цьому вході блокує роботу всього пристрою. Наявність входу дозволу розширює функціональні можливості мультиплексора і дає можливість синхронізувати його роботу з роботою інших вузлів. Вхід дозволу застосовується також для нарощування розрядності мультиплексорів.

На рис. 4.1. наведено графічні позначення мультиплексора та демультиплексора. Адресні входи позначено A_i , інформаційні - D_i (D), виходи – Y (Y_i).

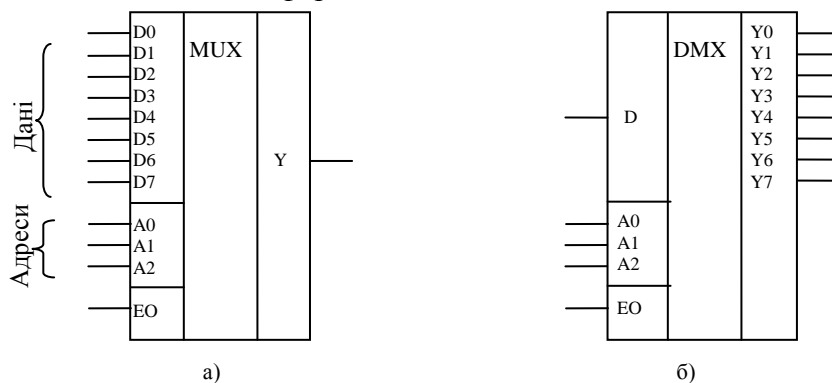


Рис. 4.1. Мультиплексор (а) та демультиплексор (б)

Приклад таблиці істинності мультиплексора з 4 входами даних та прямим входом дозволу (табл. 4.1).

Таблиця істинності мультиплексора 4:1

Таблиця 4.1

Десятковий еквівалент адреси	Входи				Вихід Y			
	A1	A0	EO	D0 D1 D2 D3				
0	0	0	1	0	x	x	x	0
				1	x	x	x	1
1	0	1		x	0	x	x	0
				x	1	x	x	1
2	1	0		x	x	0	x	0
				x	x	1	x	1
3	1	1		x	x	x	0	0
				x	x	x	1	1
	x	x	0	x	x	x	x	0

Величина x може приймати довільне значення. При утворенні логічного виразу із рядка таблиці змінні із значенням "x" не повинні в ньому фігурувати.

Робота мультиплектора 4:1 подається логічним рівнянням, складеним на основі таблиці істинності

$$Y = \overline{A_1} \wedge \overline{A_0} \wedge D_0 \vee \overline{A_1} \wedge A_0 \wedge D_1 \vee A_1 \wedge \overline{A_0} \wedge D_2 \vee A_1 \wedge A_0 \wedge D_3.$$

5.1. Демультимплектори.

Демультимплектор – це комбінаційна схема, яка комутує сигнал з інформаційного входу на один з кількох виходів залежно від стану адресних входів.

Сигнали з одного інформаційного входу розподіляються по декількох виходах. Вибір потрібної вихідної шини, як і в мультиплексорі, забезпечується кодом на адресних входах: номер виходу дорівнює десятковому еквівалентові двійкового коду на адресних входах. При n адресних входах демультимплектор може мати в залежності від конструкції до 2^n виходів.

У якості демультимплектора може використовуватися дешифратор, у якого на вхід дозволу подається інформаційний сигнал.

Таблицю істинності демультимплектора 1:4 подано у табл.4.2.

Таблиця істинності демультимплектора 1:4

Таблиця 4.2

Входи				Виходи			
A1	A0	D	\overline{EO}	Y0	Y1	Y2	Y3
0	0	0/1	0	D	0	0	0
0	1	0/1	0	0	D	0	0
1	0	0/1	0	0	0	D	0
1	1	0/1	0	0	0	0	D
0	0	x	1	0	0	0	0
0	1	x	1	0	0	0	0
1	0	x	1	0	0	0	0
1	1	x	1	0	0	0	0

Робота демультимплектора 1:4 з дозволяючим входом \overline{EO} подається наступними логічними рівняннями, складеними на основі таблиці істинності:

$$Y0 = \overline{A_1} \wedge \overline{A_0} \wedge D \wedge \overline{EO}, Y1 = \overline{A_1} \wedge A_0 \wedge D \wedge \overline{EO},$$

$$Y2 = A_1 \wedge \overline{A_0} \wedge D \wedge \overline{EO}, Y3 = A_1 \wedge A_0 \wedge D \wedge \overline{EO}.$$

Одержані рівняння перетворюють до заданого базису і будують функціональну схему.

5.2 Приклади мікросхем мультиплексорів (табл.4.3)

Таблиця 4.3

Найменування	Функціональний опис
74150	мультиплексор на 16 входів даних з інверсним виходом
74151	мультиплексор на 8 входів даних з прямим та інверсним виходами
74251	(74251 – вихід з третім станом)
74152	мультиплексор на 8 входів даних з інверсним виходом
74153	два мультиплексори на 4 входи даних із спільними адресними входами та прямими виходами
74253	(74253 – виходи з третім станом)
74257	чотири мультиплексори на 2 входи даних із спільним адресним входом та прямими виходами
74258	чотири мультиплексори на 2 входи даних із спільним адресним входом та інверсними виходами

2. Порядок виконання роботи

1. Вибрати мікросхему мультиплектора 74151 та побудувати схему згідно рис. 4.2.

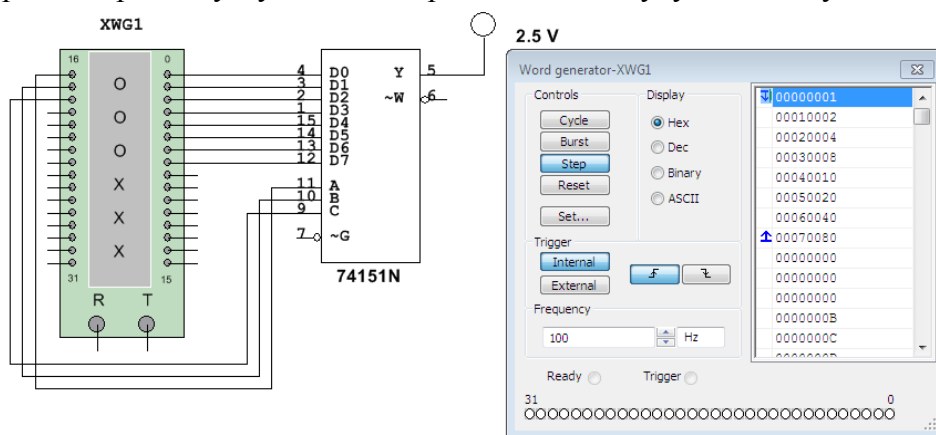


Рис. 4.2. Аналіз мікросхеми мультиплектора 74151N.

2. На вхід схеми подати сигнали таким чином, щоб на адресні входи мультиплектора послідовно надходили всі можливі комбінації відповідної розрядності (тобто для 3 входів – 8 комбінацій від $0_{10}=000_2$ до $7_{10}=111_2$), а на входи даних послідовно у кожному такті на входи мультиплектора подавався високий рівень сигналу. Відповідно запрограмувати генератор слів.

3. Здійснити моделювання роботи схеми, побудувати таблицю істинності. За допомогою логічного аналізатора відобразити часові діаграми.

4. Вибрати мікросхему демультимплектора 74138 та побудувати схему згідно рис. 4.3.

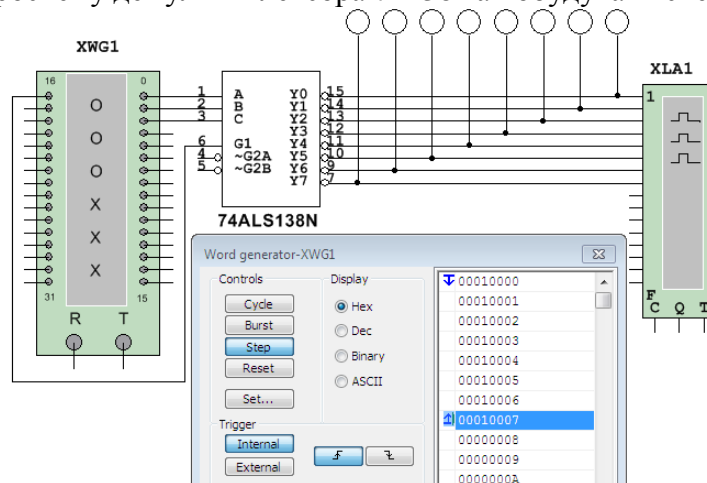


Рис. 4.3. Аналіз мікросхеми демультимплектора 74НС138.

5. Запрограмувати генератор слів: на вхід схеми подаються сигнали так, щоб на адресні входи демультимплектора послідовно надходили всі можливі комбінації відповідної розрядності (тобто для 3 входів – 8 комбінацій від $0_{10}=000_2$ до $7_{10}=111_2$), а на вхід даних демультимплектора подавався низький рівень сигналу. Здійснити моделювання та проаналізувати роботу схеми, побудувати таблицю істинності. За допомогою логічного аналізатора відобразити часові діаграми.

6. Скласти схему реалізації мультиплектора з чотирирозрядним адресним входом за допомогою двох мультиплекторів 74151.

7. На промисловому підприємстві використовується електронна система спостереження, яка повинна контролювати стани відчинено/зачинено певної кількості дверей. Кожні двері управляються станом ключа, який необхідно відображати за допомогою світловипромінюючих діодів, прикріплених на панелі управління в кімнаті служби контролю. У даній системі використовується комбінація мультиплектор/ демультимплектор

для зменшення кількості провідників від кожного ключа до панелі управління. На рис. 4.4 наведена схема системи управління 8 дверима.

Проаналізувати роботу схеми. Здійснити моделювання роботи системи, використовуючи в якості лічильника запрограмований на генерацію двійкових кодів від 000_2 до 111_2 генератор слів.

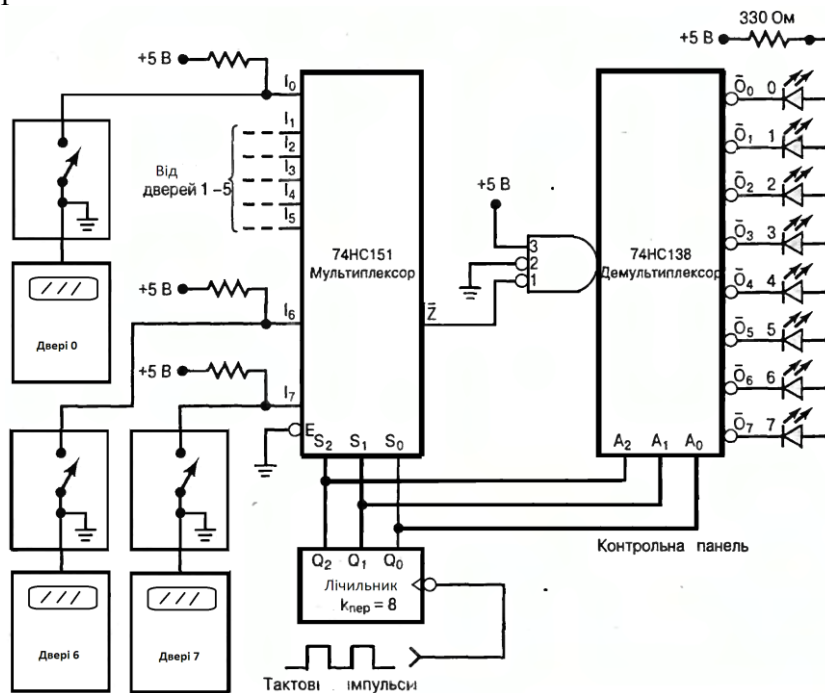


Рис. 4.4. Схема системи спостереження за безпекою.

8. Спроекувати схему комбінаційного пристрою на логічних елементах відповідно до варіанту (табл. 4.4).

Варіанти завдань.

Таблиця 4.4

Варіант	Тип пристрою
1	Мультиплексор з 2 входами даних з прямим входом дозволу та інверсним виходом
2	Мультиплексор з 2 входами даних з прямим входом дозволу та виходом
3	Мультиплексор з 3 входами даних з прямим виходом
4	Мультиплексор з 4 входами даних з прямим виходом
5	Демюльтиплексор з 2 виходами даних
6	Мультиплексор з 2 входами даних з інверсним входом дозволу та прямим виходом
7	Мультиплексор з 4 входами даних з інверсним виходом
8	Мультиплексор з 2 входами даних з інверсним входом дозволу та інверсним виходом
9	Демюльтиплексор з 4 інверсними виходами
10	Мультиплексор з 3 входами даних з інверсним виходом
11	Пристрій для визначення кількості нулів у 2-розрядному двійковому коді.
12	Демюльтиплексор з 3 виходами даних
13	Мультиплексор з 3 входами даних з прямим виходом
14	Мультиплексор з 2 входами даних з прямим входом дозволу та прямим виходом
15	Демюльтиплексор з 2 інверсними виходами даних

3. Звіт повинен містити:

1. Завдання.
2. Таблиці істинності комбінаційних пристроїв.
3. Функціональні схеми.
4. Часові діаграми сигналів на входах і виходах схем.

4. Контрольні запитання

1. Дати означення мультиплексора.
2. Дати означення демультиплексора.
3. Як називають входи мультиплексора?
4. Яка максимальна кількість інформаційних входів у мультиплексора з трьома адресними входами?
5. Поясніть різницю між мультиплексором і демультиплексором.

Лабораторна робота № 5

Реалізація логічних функцій на дешифраторах та мультиплексорах

Мета: навчитись проектувати логічні функції на дешифраторах та мультиплексорах, застосовувати мікросхеми дешифраторів та мультиплексорів при реалізації цифрових пристроїв.

1. Основні теоретичні відомості.

5.1 Реалізація логічних функцій на дешифраторах та мультиплексорах

Дешифратори та мультиплексори можуть використовуватись в якості універсального логічного елемента для реалізації логічних функцій n логічних змінних, де n – кількість адресних входів мультиплексора або дешифратора, при цьому спрощувати вирази не потрібно. Дана можливість використовується при великій кількості логічних змінних, оскільки одна мікросхема мультиплексора чи дешифратора може замінити декілька корпусів мікросхем логічних елементів. Для даної реалізації логічна функція повинна бути представлена у досконалій диз'юнктивній або кон'юнктивній нормальній формі.

При реалізації логічної функції на мультиплексорі входи адрес використовуються в якості логічних змінних, а на кожний вхід даних подається сигнал з фіксованим високим або низьким рівнем в залежності від таблиці істинності. Сигнал з фіксованим рівнем на вході відповідає вихідному сигналу при вхідній керуючій комбінації, рівній адресі цього входу.

Приклад 5.1. Нехай задана логічна функція $y = x_2 \bar{x}_1 \wedge x_0 \vee x_2 \wedge x_1 \bar{x}_0$ або $y = \{3,4,5,(7)\}_{x_2x_1x_0}$. Реалізувати функцію на дешифраторі і мультиплексорі.

Задану функцію необхідно подати у ДДНФ або ДКНФ. У даному випадку ДДНФ записується наступним чином:

$$y = x_2 \bar{x}_1 \wedge x_0 \vee x_2 \wedge x_1 \bar{x}_0 \vee x_2 \wedge x_1 \bar{x}_0 \vee x_2 \wedge x_1 \bar{x}_0.$$

На основі подання логічної функції запишемо таблицю істинності (табл.5.1).

Таблиця істинності функції

Таблиця 5.1

Номер набору	Входи			Вихід
	x_2	x_1	x_0	y
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	1
4	1	0	0	1
5	1	0	1	1
6	1	1	0	0
7	1	1	1	0

Відповідно до таблиці істинності для вхідних комбінацій $011_2=3_{10}$, $100_2=4_{10}$ та $101_2=5_{10}$ вихідний сигнал повинен бути "1", а для всіх інших комбінацій – "0". Відповідно на входи D3, D4 та D5 мультиплексора слід подати "1", на всі інші – "0", якщо вихід мультиплексора прямий (рис. 5.1 а), якщо ж інверсний – навпаки, "0" на D3, D4, D5 та "1" на інші входи.

При використанні дешифратора слід об'єднати ті виходи, номери яких відповідають вхідним комбінаціям, що дають на виході "1", за допомогою логічного елемента АБО (для прямих виходів) чи І-НЕ (для інверсних виходів).

Для прикладу 5.1 результат реалізації логічної функції на дешифраторі показано на рис. 5.1 б.

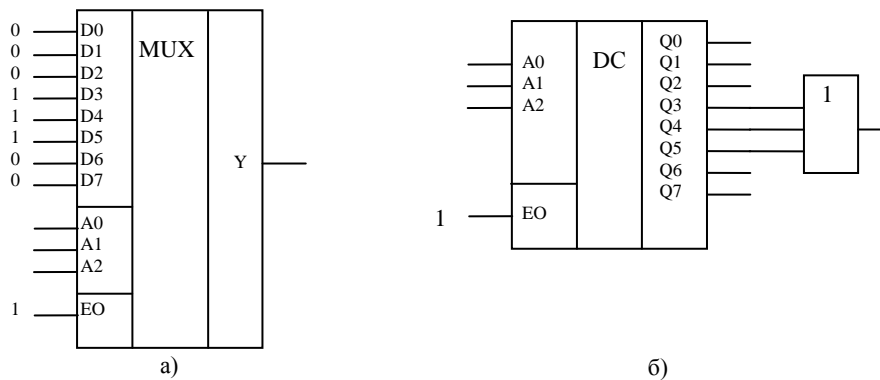


Рис. 5.1. Реалізація логічної функції на мультиплексорі (а) та дешифраторі (б).

2. Порядок виконання роботи

1. Реалізувати логічну функцію відповідно до варіанту (табл.5.2) на дешифраторі 74138.
2. Реалізувати логічну функцію відповідно до варіанту (табл.5.2) на мультиплексорі 74151.
3. Побудувати схему реалізації дешифратора чотирирозрядного двійкового коду за допомогою двох дешифраторів 74138.
4. Скласти схему реалізації мультиплексора з чотирирозрядним адресним входом за допомогою двох мультиплексорів 74151.
5. Записати таблицю істинності заданих числовим способом функцій відповідно до варіанту (табл.5.3) і зробити схемну реалізацію функцій на 3 – входових дешифраторах.
6. Записати таблицю істинності заданих числовим способом функцій відповідно до варіанту (табл.5.3) і зробити схемну реалізацію функції на 8 – входових мультиплексорах.
7. Сформувати логічну функцію $y = AB + BC + AC$ використовуючи інтегральну схему 74151.

Варіанти до завдань №1, №2.

Задану числовим способом функцію подати таблицею істинності та зробити схемну реалізацію на 3 – входових дешифраторах і 8 – входових мультиплексорах.

Таблиця 5.2

Номер варіанта	Функції
1.	$f = \{ 0,1,2,3,4,5 \} x_2x_1x_0.$
2.	$f = \{ 0,1,4,(5) \} x_2x_1x_0.$
3.	$f = \{ 1,4,5,6,7 \} x_2x_1x_0.$
4.	$f = \{ 3,7,(4,5) \} x_2x_1x_0.$
5.	$f = \{ 0,1,2,3,4,6 \} x_2x_1x_0.$
6.	$f = \{ 2,3,6, (1) \} x_2x_1x_0.$
7.	$f = \{ 1,3,5,7 \} x_2x_1x_0.$
8.	$f = \{ 0,4,(3) \} x_2x_1x_0.$
9.	$f = \{ 0,1,2,3,5,7 \} x_2x_1x_0.$
10.	$f = \{ 1,3,5 \} x_2x_1x_0.$
11.	$f = \{ 3,4,5,6,7,(0,1) \} x_2x_1x_0.$
12.	$f = \{ 2,6,(4) \} x_2x_1x_0.$
13.	$f = \{ 0,2,4,6,(1) \} x_2x_1x_0.$
14.	$f = \{ 1,3,5,7, (0) \} x_2x_1x_0.$
15.	$f = \{ 0,1,4,(5) \} x_2x_1x_0.$

Варіанти до завдань №4, №5.

Задану числовим способом функцію подати таблицею істинності та зробити схемну реалізацію на 3 – входових дешифраторах і 8 – входових мультиплексорах.

Таблиця 5.3

Номер варіанта	Функції
1	$f = \{1,4,5,6,7,8,11,12,14\}_{X_3X_2X_1X_0}$. $f = \{1,2,5,7,8,12,13\}_{X_3X_2X_1X_0}$.
2	$f = \{1,2,5,7,8,12,13\}_{X_3X_2X_1X_0}$. $f = \{0,1,3,5,9,13,14\}_{X_3X_2X_1X_0}$.
3	$f = \{0,1,3,5,9,13,14\}_{X_3X_2X_1X_0}$. $f = \{2,3,4,6,8,12,15\}_{X_3X_2X_1X_0}$.
4	$f = \{2,3,4,6,8,12,15\}_{X_3X_2X_1X_0}$. $f = \{0,1,3,4,8,13,14,15\}_{X_3X_2X_1X_0}$.
5	$f = \{0,1,3,4,8,13,14,15\}_{X_3X_2X_1X_0}$. $f = \{0,2,3,7,9,12,15\}_{X_3X_2X_1X_0}$.
6	$f = \{0,2,3,7,9,12,15\}_{X_3X_2X_1X_0}$. $f = \{1,2,3,6,8,11,13\}_{X_3X_2X_1X_0}$.
7	$f = \{1,2,3,6,8,11,13\}_{X_3X_2X_1X_0}$. $f = \{0,3,5,7,8,10\}_{X_3X_2X_1X_0}$.
8	$f = \{0,3,5,7,8,10\}_{X_3X_2X_1X_0}$. $f = \{3,5,6,7,8,12,15\}_{X_3X_2X_1X_0}$.
9	$f = \{3,5,6,7,8,12,15\}_{X_3X_2X_1X_0}$. $f = \{0,4,5,6,8,12,13\}_{X_3X_2X_1X_0}$.
10	$f = \{0,4,5,6,8,12,13\}_{X_3X_2X_1X_0}$. $f = \{0,2,3,4,8,12,14\}_{X_3X_2X_1X_0}$.
11	$f = \{0,2,3,4,8,12,14\}_{X_3X_2X_1X_0}$. $f = \{1,2,3,7,8,10,11,15\}_{X_3X_2X_1X_0}$.
12	$f = \{1,2,3,7,8,10,11,15\}_{X_3X_2X_1X_0}$. $f = \{0,5,6,7,8,10,14,15\}_{X_3X_2X_1X_0}$.
13	$f = \{0,5,6,7,8,10,14,15\}_{X_3X_2X_1X_0}$. $f = \{1,3,5,7,8,9,13,15\}_{X_3X_2X_1X_0}$.
14	$f = \{1,3,5,7,8,9,13,15\}_{X_3X_2X_1X_0}$. $f = \{0,4,5,7,8,10,13,15\}_{X_3X_2X_1X_0}$.
15	$f = \{0,4,5,7,8,10,13,15\}_{X_3X_2X_1X_0}$. $f = \{2,4,6,8,10,12,14\}_{X_3X_2X_1X_0}$.

3. Звіт повинен містити:

1. Завдання.
2. Таблицю істинності комбінаційного пристрою та логічної функції.
3. Функціональні схеми.
4. Часові діаграми сигналів на входах і виходах схем.

4. Контрольні запитання.

1. Назвіть основні галузі застосування мультиплексорів.
2. Як реалізувати логічні функції на дешифраторах?
3. Як реалізувати логічні функції на мультиплексорах?
4. Перевірте істинність висловлення. Коли мультиплексор використовується для реалізації логічної функції, логічні змінні подаються на входи даних.
5. Чи можна застосувати мультиплексори з трьома адресними входами для реалізації логічних функцій з чотирма змінними?

Лабораторна робота №6

Моделювання суматорів і компараторів

Мета: навчитись проектувати і моделювати суматори і компаратори багаторозрядних чисел, перетворювачі.

1. Основні теоретичні відомості

6.1 Суматори та компаратори.

Суматор – логічний комбінаційний пристрій, який виконує арифметичне додавання кодів двох чисел.

За кількістю входів і виходів однорозрядних двійкових суматорів суматори поділяють на чвертьсуматори (елементи “сума за модулем 2” або “виключаюче АБО”), напівсуматори і повні однорозрядні двійкові суматори.

Чвертьсуматори характеризуються наявністю двох входів, на які подаються однорозрядні числа і одним виходом, на якому реалізується сума.

Напівсуматор – це пристрій (рис. 6.1), який має два входи (для доданків a і b) і два виходи (суми S і переносу P) і призначений для виконання арифметичних дій за правилами, наведеними у таблиці істинності (табл. 6.1). Позначають напівсуматор буквами HS (half sum – половина суми).

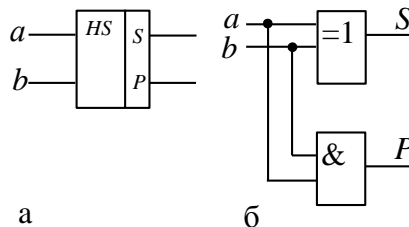


Рис. 6.1. Графічне позначення (а) та схема (б) напівсуматора.

Таблиця істинності напівсуматора.

Таблиця 6.1

a	b	P	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

Напівсуматор виконує додавання двох однорозрядних двійкових чисел та формує перенос у наступний старший розряд. Роботу напівсуматора відображають наступні рівняння

$$S = a\bar{b} \vee \bar{a}b = a \oplus b;$$

$$P = ab$$

У логіці роботи напівсуматора не передбачено входу і додавання переносу з сусіднього молодшого розряду, тому напівсуматор може здійснювати додавання тільки у молодшому розряді двійкових чисел.

Повний однорозрядний двійковий суматор (рис. 6.2) реалізує процедуру додавання двох однорозрядних двійкових чисел з урахуванням переносу з молодшого розряду. Повний однорозрядний двійковий суматор має три входи (a_i , b_i , P_i) і два виходи (S_i і P_{i+1}), де a_i , b_i – доданки двійкових чисел в i -му розряді; P_i , P_{i+1} – переноси, відповідно з молодшого розряду i в сусідній старший розряд $i+1$; S – утворена сума в i -му розряді. Таблиця істинності повного суматора відображена у табл. 6.2.

Для додавання двох n -розрядних двійкових чисел A і B використовуються n однорозрядних повних суматорів. При цьому можуть бути два способи підсумовування – послідовне і паралельне. Додавання чисел в послідовних суматорах відбувається порозрядно,

послідовно в часі. У паралельних суматорах додавання всіх розрядів багаторозрядних чисел відбувається одночасно, що забезпечується схемами генерування перенесення і схемами прискореного перенесення.

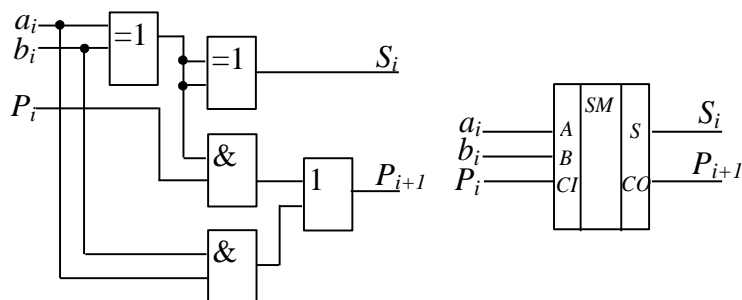


Рис.6.2. Схема та графічне позначення повного однорозрядного двійкового суматора.

Таблиця істинності однорозрядного двійкового суматора.

Таблиця 6.2

a_i	b_i	P_i	P_{i+1}	S_i
0	0	0	0	0
0	1	0	0	1
1	0	0	0	1
1	1	0	1	0
0	0	1	0	1
0	1	1	1	0
1	0	1	1	0
1	1	1	1	1

Багаторозрядний суматор створюється на базі одного напівсуматора і повних суматорів.

7.1 Цифрові компаратори

До сімейства інтегральних схем середнього ступеню інтеграції належить компаратор величин.

Цифрові компаратори – це комбінаційні схеми, призначені для порівняння величин двох чисел, поданих у двійковому або двійково-десятковому коді, і формування сигналів результату порівняння. Найпростіший компаратор виявляє лише факт рівності або нерівності двох поданих на його входи n -розрядних чисел (операндів) A і B і формує на виході однобітовий сигнал рівності (1) або нерівності (0) цих чисел.

Рівність двох однорозрядних операндів a і b визначається логічною операцією рівнозначності, або еквівалентності

$$Y = \begin{cases} 1 & \text{при } a = b; \\ 0 & \text{при } a \neq b, \end{cases}$$

тобто логічною операцією (виключне АБО)-НЕ.

Синтез компараторів для порівняння n -розрядних чисел здійснюється за двома принципами – логічним та арифметичним. Перший принцип (логічний) базується на синтезі за таблицею істинності, другий (арифметичний) – на синтезі схеми, що виконує дію віднімання з наступним аналізом результату на рівність нулю та наявність переносу з найстаршого розряду.

Наприклад, інтегральна схема 74HC85 (а також 74LS85) здійснює порівняння двох чотирирозрядних чисел без знаків.

Схема порівняння двох чотирирозрядних чисел A і B наведена на рис. 6.4.

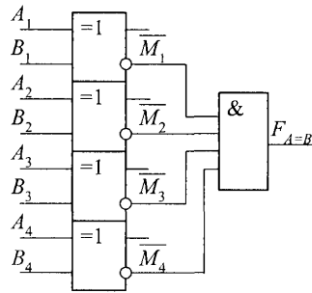


Рис. 6.4. Схема порівняння двох чотирирозрядних чисел A і B .

7.2 Перетворювачі кодів.

Перетворювачем кодів називається функціональний вузол, призначений для перетворення двійкового коду із одної форми в іншу.

Найчастіше використовуються наступні кодові перетворення: прямий код в обернений, прямий в доповнювальний, двійковий в код Грея, двійково-десятковий код в семисегментний, двійково-десятковий в двійковий, двійковий в двійково-десятковий.

Приклад 6.1. Перетворювач прямого коду в обернений.

У прямому двійковому коді старший розряд відображає знак числа. Для додатного числа старший розряд дорівнює 0, для від'ємного – дорівнює 1. Обернений код додатного числа співпадає з прямим кодом, а для від'ємного числа цифрові розряди інвертуються.

Значення розрядів числа X в оберненому коді одержують згідно співвідношень

$$Y_i = X_i \overline{X_{zn}} \vee \overline{X_i} X_{zn} = X_i \oplus X_{zn},$$

де X_i – значення i -го розряду, X_{zn} – знак числа.

Схема п'ятирозрядного перетворювача прямого коду в обернений, побудована на елементах Виключаюче АБО, наведена на рис. 6.5.

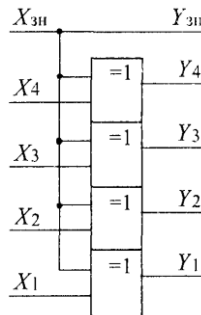


Рис. 6.5. Схема перетворювача прямого коду в обернений.

Приклад 6.2. Перетворювач прямого коду в доповнювальний.

Прямий код додатного числа співпадає з його оберненим і доповнювальним кодом.

Доповнювальний код числа утворюється із оберненого додаванням одиниці до його молодшого розряду. Значення розрядів числа X в доповнювальному коді одержують згідно співвідношень

$$Y_i = X_i \oplus (X_{i-1} \vee X_{i-2} \vee \dots \vee X_1) X_{zn}.$$

На рис. 6.6 наведена схема перетворювача прямого коду в доповнювальний.

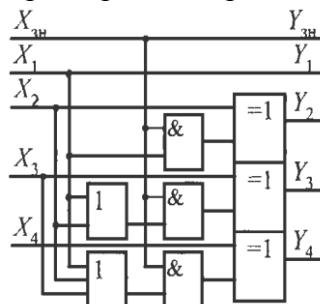


Рис. 6.6. Схема перетворювача прямого коду в доповнювальний.

2. Порядок виконання роботи

1. Змоделювати схему однорозрядного цифрового компаратора згідно рис. 6.5.

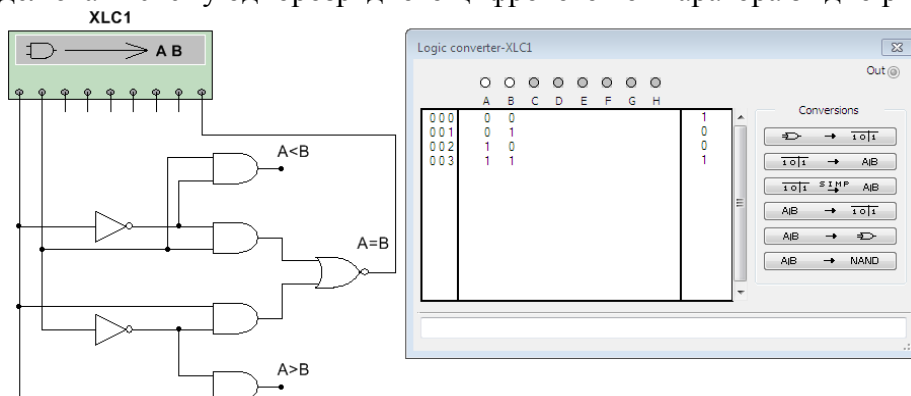


Рис. 6.5. Моделювання схеми однорозрядного цифрового компаратора.

2. Сформулювати таблицю істинності для трьох режимів роботи компаратора: випадки $A=B$, $A>B$, $A<B$, під'єднуючи вихід логічного перетворювача до кожного виходу компаратора.

3. Дослідити роботу однорозрядного напівсуматора.

З метою побудови таблиці істинності і логічного виразу необхідно під'єднати напівсуматор до перетворювача згідно рис.6.6 і послідовно натиснути кнопки

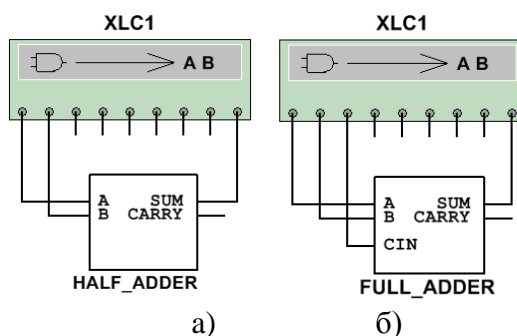
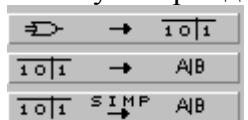


Рис. 6.6. Приклад під'єднання напівсуматора (а) та повного суматора (б) до логічного перетворювача.

4. Дослідити роботу однорозрядного повного суматора, змоделювати схему згідно рис.6.6 (б).

5. Спроекувати та здійснити моделювання трирозрядного суматора з послідовним перенесенням. Приклад моделювання дворозрядного суматора наведено на рис. 6.7.

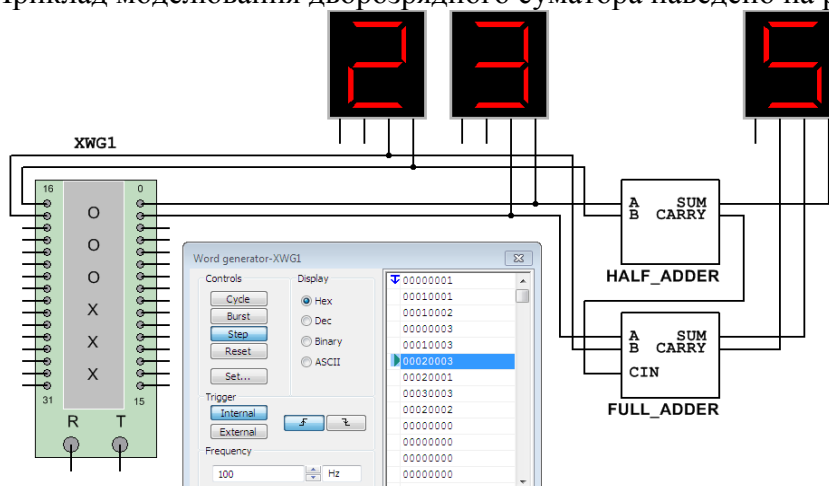


Рис. 6.7. Моделювання дворозрядного суматора.

7. Синтезувати схему і змодельовати компаратор для порівняння двох дворозрядних чисел з трьома виходами: якщо перше число більше другого, якщо перше число дорівнює другому, якщо перше число менше другого,

8. Здійснити моделювання трирозрядного перетворювача прямого коду в обернений відповідно до прикладу 6.1. Побудувати часові діаграми рівнів сигналів на входах і виходах схеми.

9. Реалізувати схему комбінаційного пристрою відповідно до варіанту (табл.6.3).

Варіанти завдань

Таблиця 6.3

Вар.	Тип пристрою
1	Суматор двох 4-розрядних двійкових чисел
2	Компаратор двох 2-розрядних двійкових чисел (при рівності на виході 0, інакше 1)
3	Суматор двох 4-розрядних двійкових чисел
4	Суматор двох 2-розрядних двійкових чисел з формуванням переносу на додатковому виході (1, якщо сума перевищує 3, інакше 0)
5	Компаратор двох 3-розрядних двійкових чисел (при рівності на виході 1, інакше 0)
6	Перетворювач 3-розрядного прямого коду в доповнювальний.
7	Суматор двох 2-розрядних двійкових чисел, якщо 1-ше в прямому коді, а 2-ге в доповнювальному коді
8	Компаратор двох 3-розрядних двійкових чисел (якщо 1-ше число більше 2-го, на виході 1, інакше 0)
9	Перетворювач 4-розрядного двійкового коду в обернений.
10	Компаратор двох 3-розрядних двійкових чисел (якщо 1-ше число менше 2-го, на виході 1, інакше 0)
11	Перетворювач 4-розрядного двійкового коду в доповнювальний.
12	Суматор двох 3-розрядних двійкових чисел, якщо 1-ше в прямому коді, а 2-ге в доповнювальному коді
13	Суматор по модулю 4 двох 2-розрядних двійкових чисел
14	Перетворювач 5-розрядного двійкового коду в обернений.
15	Пристрій для визначення кількості нулів у 3-розрядному двійковому коді

3. Звіт повинен містити:

1. Завдання.
2. Таблиці істинності компараторів.
3. Функціональні і структурні схеми пристроїв.
4. Висновки.

4. Контрольні питання

1. Дати означення чверть суматора, напівсуматора, повного суматора.
2. Назвіть відмінності напівсуматора і повного суматора.
3. Які є способи побудови n-розрядних суматорів.
4. Які функції компаратор?
5. Назвіть способи синтезу схем компараторів.

Лабораторна робота №7

Моделювання арифметико-логічного пристрою.

Мета: ознайомитись і навчитись моделювати режими роботи і функції арифметико-логічного пристрою, які використовуються в мікропроцесорах.

1. Основні теоретичні відомості

7.1 Арифметико-логічний пристрій.

Арифметико-логічний пристрій (АЛП) (англ. Arithmetic Logic Unit, ALU) – блок процесора, що використовується для виконання арифметичних та логічних перетворень над даними, які називаються операндами. Цей пристрій є фундаментальною частиною будь-якого обчислювача. Центральний процесор та відеопроцесор можуть мати декілька АЛП, які відрізняються своїм функціональним призначенням або типом оброблюваних даних.

Інтегральна мікросхема арифметико-логічного пристрою 74181 (рис. 7.1) забезпечує 32 режими роботи АЛП залежно від стану управляючих сигналів на входах M, S0...S3.

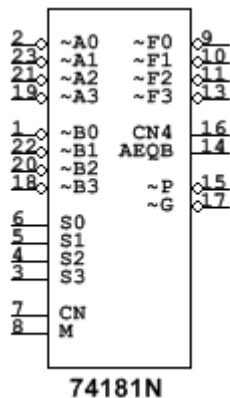


Рис. 7.1 Мікросхема арифметико-логічного пристрою.

Зміною станів сигналів на управляючих входах моделюються більшість функцій АЛП, які використовуються в мікропроцесорах.

Режими задаються подаванням сигналів 0 або 1 на входи управління S0, S1, S2, S3. У положенні перемикача M=0 (сигнал 0), виконуються 16 арифметичних операцій (16 комбінацій сигналів S0...S3) з урахуванням перенесення на вході CN (CN=1) або без урахування перенесення (CN=0). При M=1 виконуються 16 логічних операцій, коди яких задаються на входах S0, S1, S2, S3.

Логічні операції з операндами $A = (A_3, A_2, A_1, A_0)$ і $B = (B_3, B_2, B_1, B_0)$ виконуються порозрядно: $A * B = (A_3 * B_3, A_2 * B_2, A_1 * B_1, A_0 * B_0)$, де * – довільна двомісна операція алгебри логіки. При виконанні арифметичних операцій АЛП є чотирирозрядним суматором з паралельним перенесенням.

Використовуються дві форми подання АЛП – для роботи з прямими й інверсними операндами. Якщо змінні A_i , B_i і CN інверсні, то і функції F_i і CN4 також змінюються на інверсні.

Функції і режими роботи мікросхеми АЛП для прямих і інверсних операндів наведені в табл. 7.1.

S3 S2 S1 S0	Арифметичні операції M=0	Логічні операції M=1
0 0 0 0	$F = A + 1 + CN$	$F = \overline{A}$
0 0 0 1	$F = A \wedge B + 1 + CN$	$F = \overline{A \wedge B}$
0 0 1 0	$F = A \wedge \overline{B} + 1 + CN$	$F = \overline{A} \vee B$
0 0 1 1	$F = 1 + CN$	$F = 1$
0 1 0 0	$F = A + (A \vee \overline{B}) + CN$	$F = \overline{A \vee B}$
0 1 0 1	$F = (A \wedge B) + (\overline{A \vee B}) + CN$	$F = \overline{B}$
0 1 1 0	$F = A + \overline{B} + CN$	$F = \overline{A \oplus B}$
0 1 1 1	$F = (A \vee \overline{B}) + CN$	$F = A \vee \overline{B}$
1 0 0 0	$F = A + (A \vee B) + CN$	$F = \overline{A} \wedge B$
1 0 0 1	$F = A + B + CN$	$F = A \oplus B$
1 0 1 0	$F = (A \wedge \overline{B}) + (A \vee B) + CN$	$F = B$
1 0 1 1	$F = (A \vee B) + CN$	$F = A \vee B$
1 1 0 0	$F = A + A + CN$	$F = 0$
1 1 0 1	$F = A + (A \wedge B) + CN$	$F = A \wedge \overline{B}$
1 1 1 0	$F = A + (A \wedge \overline{B}) + CN$	$F = A \wedge B$
1 1 1 1	$F = A + CN$	$F = A$

2. Порядок виконання роботи

1. Здійснити моделювання арифметичних операцій додавання і віднімання арифметико-логічного пристрою.

Приклад моделювання режиму арифметичного додавання наведено на рис.7.1.

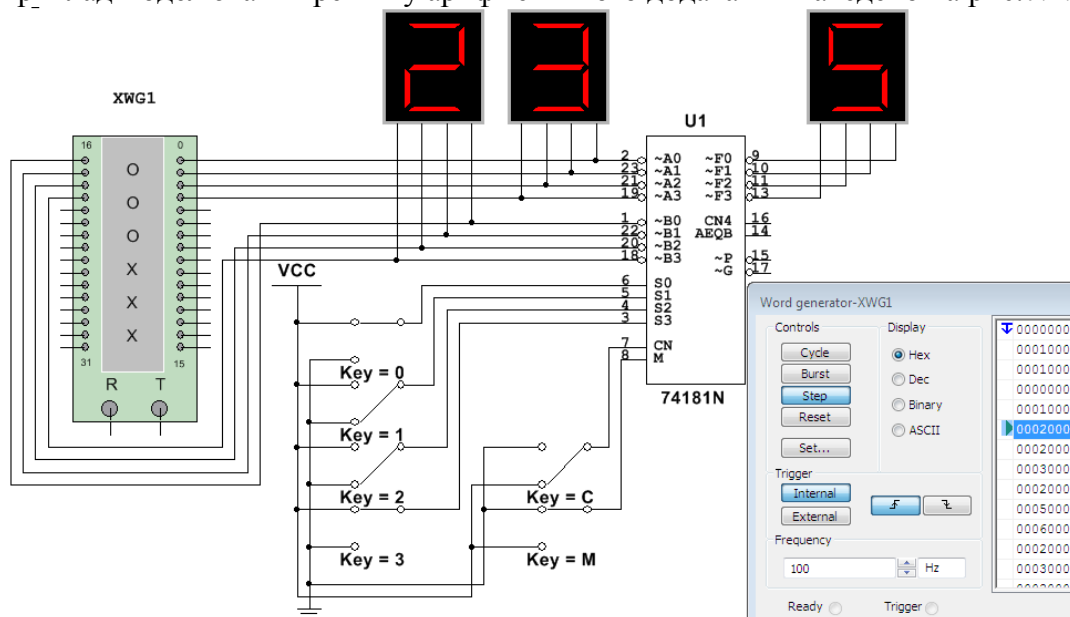


Рис. 7.1. Моделювання АЛП на ІМС 74181.

Значення чотирирозрядних операндів А і В задаються за допомогою генератора слів і в шістнадцятковому коді відображаються на алфавітно-цифрових індикаторах. Результат операції відображається на виходах F0...F3.

Режими задаються за допомогою перемикачів 0, 1, 2, 3 для подавання сигналів 0 або 1 на входи управління S0, S1, S2, S3. У положенні перемикача M=0 (сигнал 0), виконуються 16 арифметичних операцій (16 комбінацій сигналів S0...S3) з урахуванням перенесення на вході CN (CN=1) або без урахування перенесення (CN=0). При M=1 виконуються 16 логічних операцій, що задаються на входах S0, S1, S2, S3.

2. Здійснити моделювання виконання логічної операції інверсії першого операнда.

3. Визначити стан виходів схеми, якщо $S_3S_2S_1S_0=0001$, $A_3A_2A_1A_0=1110$, $B_3B_2B_1B_0=1001$, CN=1.

4. Об'єднати дві чотирирозрядні схеми 74181 і здійснити моделювання операції додавання восьмибітових чисел.

5. Здійснити моделювання режимів роботи відповідно до варіанту (табл.7.2).

Варіанти завдань

Таблиця 7.2

Варіант	M=1	M=0		
	S3 S2 S1 S0	S3 S2 S1 S0	CN	
1	0 0 0 0	0 0 1 0	CN=1	
2	0 0 0 1	0 0 0 1	CN=0	
3	0 0 1 0	0 0 0 0	CN=1	
4	0 0 1 1	0 1 0 1	CN=0	
5	0 1 0 0	0 0 1 1	CN=1	
6	0 1 0 1	0 1 1 0	CN=0	
7	0 1 1 0	0 0 1 0	CN=1	
8	0 1 1 1	1 0 1 0	CN=0	
9	1 0 0 0	1 0 1 1	CN=1	
10	1 0 0 1	1 1 0 1	CN=0	
11	1 0 1 0	1 1 0 0	CN=1	
12	1 0 1 1	1 1 1 0	CN=0	
13	1 1 0 0	1 1 1 1	CN=1	
14	1 1 0 1	1 0 0 0	CN=0	
15	1 1 1 0	1 0 1 0	CN=1	

3. Звіт повинен містити:

1. Завдання.
2. Функціональні схеми пристроїв для різних режимів роботи.
3. Коды операцій з поясненнями і результати їх виконання.
4. Висновки.

4. Контрольні питання

1. Які функції АЛП?
2. Інтегральні схеми АЛП Умовні позначення, принцип роботи, призначення виходів.
3. Режими роботи інтегральних схем АЛП.
4. Яке призначення виходу CN4?
5. Скільки ІС 74181 необхідно для додавання двох 32-розрядних чисел?

Лабораторна робота №8

Дослідження тригерів і лічильників

Мета: навчитись розробляти послідовнісні схеми цифрових пристроїв на основі тригерів.

1. Основні теоретичні відомості

У послідовнісних схемах вихідні сигнали залежать не тільки від комбінацій вхідних, але і від значень самих вихідних сигналів в попередній момент часу. На основі тригерів будуються регістри, лічильники, накопичуючі суматори та інші послідовнісні пристрої.

8.1. Тригери

Тригер – це цифровий автомат, який має два стійких стани 0 або 1 і призначений для зберігання одного біту даних. Стан тригера визначається сигналами на його входах. Під дією вхідного сигналу тригер стрибкоподібно переходить з одного стійкого стану в інший.

В загальному випадку тригер може мати асинхронні входи попередньої установки, тактовий (синхронізуючий), та інформаційні входи.

Основні типи тригерів:

- тригер з роздільною установкою станів (RS-тригер),
- D - тригер,
- універсальний тригер (JK - тригер),
- тригер з рахунковим входом (T - тригер).

За способом запису інформації тригери поділяються на асинхронні і синхронні, або тактовані, за способом управління – на тригери із статичним управлінням і тригери з динамічним управлінням.

При асинхронному записі інформації у тригер сигнал на його виході змінюється через час затримки розповсюдження $t_{з.р}$ після надходження вхідного сигналу на інформаційні входи. При синхронному записі сигнал на виході змінюється лише за умови наявності активного сигналу на вході синхронізації. Якщо сигналом синхронізації є нульовий або одиничний рівень, то тригер має статичне управління (статичний тригер), а якщо перепад з 1 в 0 або з 0 в 1 – динамічне управління (динамічний тригер).

Асинхронний RS-тригер.

Входи: S(Set) – установлення тригера в 1:

R(Reset) – скидання тригера в 0.

Виходи: прямий – Q і інверсний – $\sim Q$.

Тригер переходить з активного стану X на виході до стану 1 при подаванні на вхід S одиниці і на вхід R нуля (табл.8.1). При подаванні на вхід S нуля і на вхід R одиниці тригер переходить до стану 0. При нульових значеннях, коли S=R=0, тригер зберігає попередній стан. Комбінація сигналів S=R=1 невизначена і заборонена.

Таблиця переходів RS- тригера.

Таблиця 8.1

Входи		Вихід	Режим роботи
S	R	Q_{i+1}	
0	0	Q_i	Зберігання
1	0	1	Встановлення в "1"
0	1	0	Скидання в "0"
1	1	-	Заборонений стан

Схема RS-тригера наведена на рис.8.1. На рис. 8.1(а) наведено графічне позначення тригера з прямими входами, на рис. 8.1 (б) - позначення RS-тригера з інверсними входами.

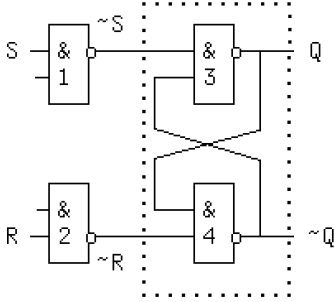


Рис. 8.1. Схема та умовне позначення RS – тригера

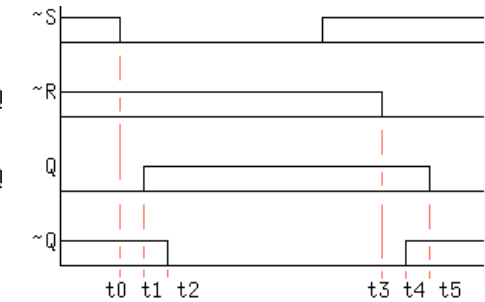
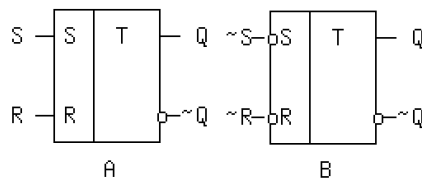


Рис. 8.2. Часові діаграми RS-тригера

Якщо на тригер з прямими входами подати сигнали $R=S=1$ або на входи інверсного - нулі, то обидва виходи Q і $\sim Q$ будуть встановлені в 1, що суперечить аксіомі $Q \cdot \sim Q = 0$. Тому такий режим іноді називають забороненим.

Часові діаграми RS-тригера з інверсними входами приведені на рис.8.2.

Тригер називається *синхронним*, якщо в нього крім інформаційних входів є тактовий вхід.

Синхронний RS - тригер із статичним управлінням одержують при з'єднанні незадіяних входи елементів I-HE 1 і 2 разом. Схема і умовне позначення наведені на рис.8.3

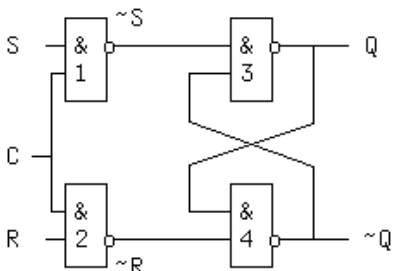


Рис. 8.3. Синхронний RS-тригер

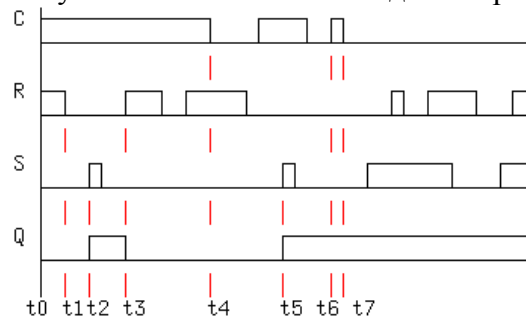
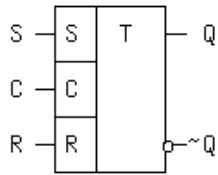


Рис. 8.4. Часові діаграми синхронного RS-тригера

Синхронний тригер зі статичним управлінням змінює свій стан при логічній 1 на вході C. При $C=1$ він функціонує як асинхронний RS-тригер. У синхронного тригера при $C=0$ сигнал $Q = \sim(\sim Q * 1) = Q$, а $\sim Q = \sim(Q * 1) = \sim Q$ незалежно від значень S і R виходи зберігають попередні значення і тригер знаходиться в режимі зберігання. При активному рівні синхросигнала C інформація з входів передається на виходи. Часові діаграми наведені на рис.8.4.

D-тригер має два входи: інформаційний вхід D(Data) і вхід управління записом L(Load) (рис.8.5), що обумовлює його другу назву "защівка". Останній вхід часто позначають символом C(lock). Вихідний сигнал Q набуває вхідне значення D, при $C = 1$ і зберігає попереднє значення $Q_{i+1} = Q_i$ при $C = 0$.

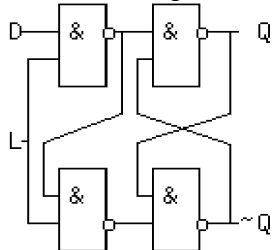
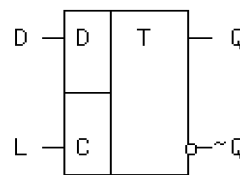


Рис. 8.5 D-тригер.



Таблиця переходів D - тригера.

Таблиця 8.2

Входи		Вихід	Режим роботи
C	D	Q_{i+1}	
0	X	Q	Зберігання
1	0	0	Скидання в "0"
1	1	1	Встановлення в "1"

Асинхронних D-тригерів не існує, і визначення "синхронний" до D-тригера є надлишковим.

D-тригер з динамічним управлінням відрізняється від статичного D-тригера властивостями входу C. Запис інформації відбувається тільки у момент переходу тактового сигналу C з 0 в 1. При постійному значенні C=0, C=1 або негативному перепаді тригер зберігає попередню інформацію, тобто не володіє властивістю прозорості.

Універсальний JK-тригер має два інформаційні входи J і K, тактовий динамічний вхід (прямий або інверсний) і два асинхронні входи установки і скидання. Умовні позначення JK-тригера з інверсним динамічним входом наведено на рис.8.6. Часові діаграми подано на рис. 8.7.

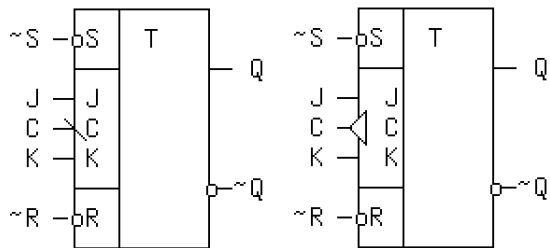


Рис. 8.6. JK-тригер.

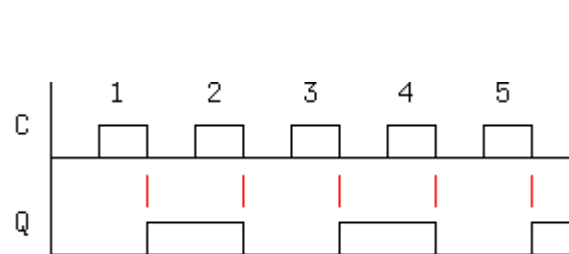


Рис. 8.7. Часові діаграми JK-тригера.

JK-тригери не мають невизначеного стану. При всіх вхідних комбінаціях, крім J=1, K=1, вони працюють як RS-тригери, при цьому вхід J відповідає входу S, а вхід K – входу R. При вхідній комбінації J=1, K=1 з кожним тактом відбувається зміна вихідного сигналу (табл. 8.3).

Таблиця переходів JK - тригера.

Таблиця 8.3

C	J	K	Q_{i+1}	Режим роботи
0	X	X	Q_i	Зберігання
1	0	0	Q_i	Зберігання
1	1	0	1	Встановлення в "1"
1	0	1	0	Скидання в "0"
1	1	1	$\sim Q$	Зміна стану на протилежний

Запис інформації при пасивних рівнях сигналів скидання ($\sim R$) і установки ($\sim S$) здійснюється тільки в моменти переходу сигналу C з 1 в 0, за винятком тригера типу ТВ15, який перемикається позитивним фронтом.

JK-тригери є універсальними пристроями, які шляхом відповідних зв'язків перетворюються в тригери інших типів.

1.2. Лічильники

Лічильник - послідовна схема, яка перетворює поступаючі на вхід імпульси в паралельний двійковий код, відповідний їх кількості.

Лічильники виконуються на тригерах з рахунковим входом. Лічильник, який складається із n тригерів може порахувати 2^n імпульсів. Число n визначає кількість розрядів двійкового числа, яке може бути записане в лічильник.

За способом рахунку лічильники можуть працювати на додавання, на віднімання і реверсивні. У лічильнику на додавання при подаванні на вхід імпульсу код числа, що зберігається у лічильнику, збільшується на одиницю, а у віднімаючому - зменшується на одиницю. Реверсивний лічильник може працювати в режимі прямого та оберненого підрахунку.

Лічильники характеризуються модулем (коефіцієнтом) підрахунку.

Один Т-тригер забезпечує коефіцієнт перерахунку $M = 2$, а n тригерів - $M = 2^n$. При підрахунку імпульсів необхідно формувати перенесення з i -го в $(i+1)$ -ий розряд за наступними правилами:

1) Перенос CR з i -го в $(i+1)$ -ий розряд формується, якщо у всіх розрядах з i -го по 0-й записана максимальна для даної системи числення цифра, при цьому розряди молодші $(i+1)$ -го обнулюються. На прямих виходах тригерів цих розрядів Q_i формується негативний перепад, а на інверсних - позитивний.

2) Якщо в лічильнику використовуються тригери з прямим динамічним входом, то сигнал переносу в підсумовуючому лічильнику знімається з інверсних виходів попередніх тригерів, а якщо тригери з інверсним динамічним входом, то сигнал переносу береться з прямих виходів.

За способом перемикаання тригерів лічильники поділяються на асинхронні і синхронні. У асинхронних лічильниках тригери перемикаються послідовно (асинхронно) від розряду до розряду, а в синхронних одночасно.

Асинхронний лічильник з послідовним переносом можна побудувати на JK-тригерах з інверсними динамічними входами. Як приклад у чотирирозрядного лічильника (рис. 8.8) чотири двійкові розряди лічильника забезпечують $M = 16$ варіантів вихідного коду.

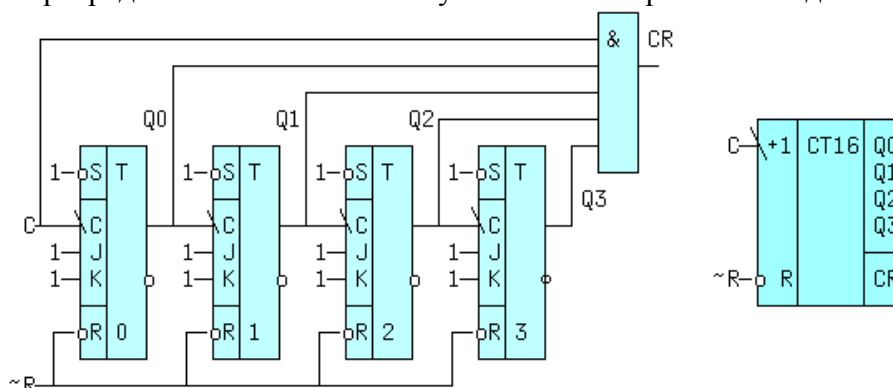


Рис. 8.8. Асинхронний лічильник.

Сигнали переносу повинні зніматися з прямих виходів тригерів, які перемикаються послідовно один за одним, тобто асинхронно. Тригери працюють в режимі підрахунку ($J=K=1$). Лічильник доповнений схемою формування прискореного переносу CR (Carry), вихід якої може бути підключений до рахункового входу C наступного такого ж лічильника. Входи $\sim R$ всіх тригерів об'єднані, а на входи $\sim S$ подана "1", що дозволяє скидати лічильник сигналом $\sim R=0$. Рахунковий вхід підсумовуючого лічильника позначається "+1". Часові діаграми схеми, без врахування затримки сигналу, наведені на рис.8.9.

У синхронному лічильнику імпульси поступають на тактові входи всіх тригерів одночасно. На рис.8.10 наведений трирозрядний лічильник з модулем підрахунку $M = 8$. У правій частині наведене умовне позначення лічильника, що промислово випускається, доповненого входами D_i для паралельного синхронного завантаження початкового коду перепадом сигналу на вході $C(+1)$ при $\sim L = 0$, а також входом скидання $\sim R$.

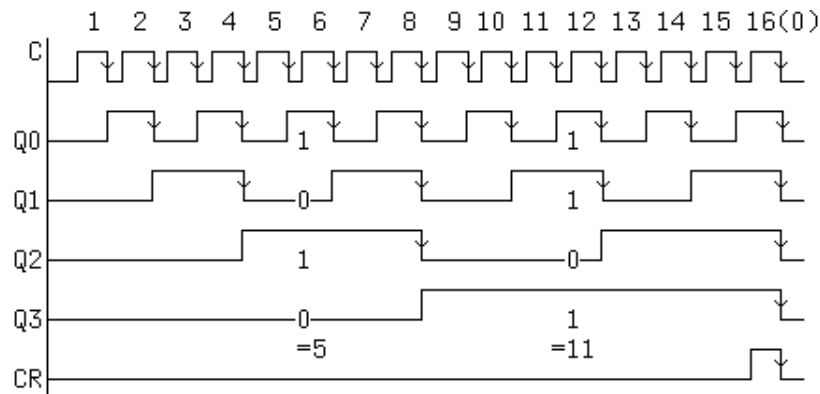


Рис. 8.9. Часові діаграми двійкового лічильника.

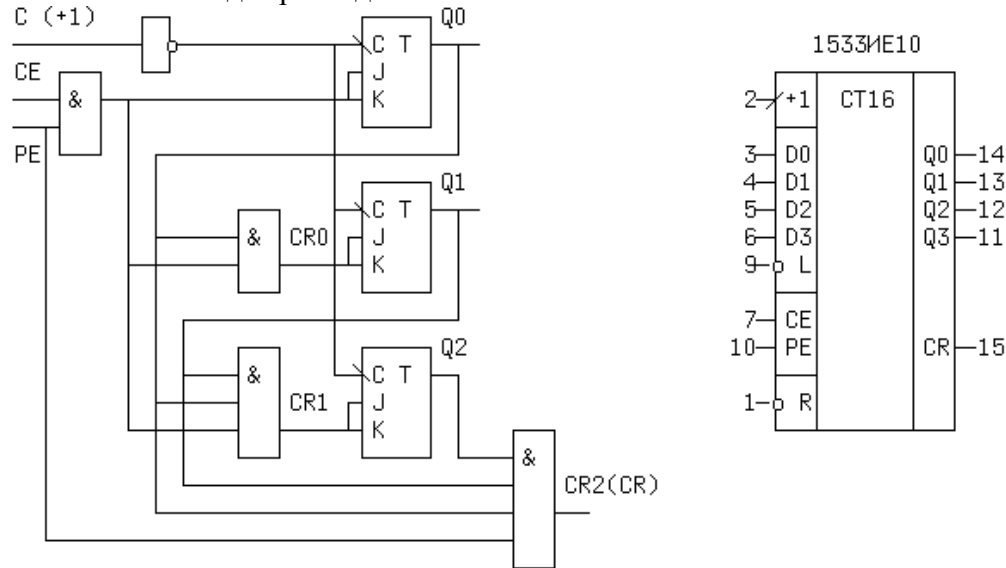


Рис. 8.10. Синхронний лічильник

Каскадне з'єднання лічильників застосовується в тому випадку, коли необхідно здійснювати підрахунок більшої кількості імпульсів, ніж коефіцієнт підрахунку лічильника. Для цього сигнал з виходу переносу першого лічильника подається на рахунковий вхід наступного лічильника. Якщо лічильник не має виходу переносу (що можливо для деяких мікросхем асинхронних лічильників), в якості виходу переносу використовується найстарший розряд лічильника. Рахунковий вхід наступного лічильника при цьому повинен спрацьовувати по спаду, інакше слід застосувати додатковий інвертор.

Лічильники з довільним коефіцієнтом підрахунку, відмінним від цілої степені двійки (наприклад, 10), реалізуються шляхом введення зворотних зв'язків для примусового встановлення в початковий стан при досягненні заданого модуля лічби. Розрядність лічильника з коефіцієнтом підрахунку M (за модулем M) визначається з умови $2^{n-1} < M < 2^n$. Наприклад, якщо $M=10$, для реалізації лічильника потрібно не менше як $n = 4$ тригери, бо $2^3 < 10 < 2^4$.

Такий лічильник, очевидно, буде мати невикористані надлишкові стани – їх є $N=2^4-10=6$. Щоб позбутися цих непотрібних станів, застосовують зворотні зв'язки з виходу переносу лічильника на входи тригерів тих розрядів, які у двійковому поданні числа N мають одиницю. Для десяткового лічильника $N = 6_{10} = 0110_2$ і, отже, сигнал зворотного зв'язку слід подавати на відповідні входи тригерів другого і третього розрядів. У синхронних лічильників такий принцип побудови внутрішніх зв'язків називається блокуванням переносу. Тоді початковий стан лічильника визначається кодом 0110, від якого починається рахунок до коду 1111. Після десятого імпульсу на виході Q3 лічильника виникає імпульс переносу, який по колах зворотного зв'язку встановлює лічильник у початковий стан 0110.

До лічильників за модулем M належать також лічильники з перериванням циклу. Принцип їх побудови полягає у тому, що скидання в нуль здійснюється після досягнення числа M . Лічильник має схему розпізнавання цього числа, тобто схему збігу, а для скидання

в нуль при досягненні M використовується вхід скидання R . Схема збігу являє собою логічне "І" між виходами тригерів тих розрядів, які у двійковому поданні числа M мають одиницю. Наприклад, для двійково-десятькового лічильника необхідно подати на входи елемента "І" вихідні сигнали другого та четвертого тригерів. Такий спосіб побудови, на відміну від попереднього, можна застосовувати і при використанні мікросхем лічильників, а не тільки окремих тригерів.

Підсумовувальний двійковий лічильник легко перетворити на *віднімальний*, наприклад за модулем 8, якщо замість прямих виходів Q_0, Q_1, Q_2 у тригерів використати їх інверсні виходи які при цьому будуть утворювати його регістр вихідного коду. При такій комутації виходів тригерів перенос від розряду до розряду буде утворюватися при переводі відповідного тригера у стан 1, а не у стан 0, як це мало місце у підсумовувальному лічильнику. У віднімальному лічильнику кожний прихід імпульсів на його вхід не збільшує, а зменшує вміст лічильника на одиницю. Тому, коли потрібно підрахувати число імпульсів, даний віднімальний лічильник попередньо треба встановити у стан (111).

Таким чином, з кожним надходженням вхідних імпульсів на регістр віднімального лічильника фіксуватиметься обернений код так, як наведено у табл. 8.4 для випадку віднімального/двійкового/ лічильника за модулем 8.

Вихідні стани віднімального лічильника за модулем 8

Таблиця 8.4

Виходи віднімального лічильника за модулем 8	Число вхідних імпульсів								
	0	1	2	3	4	5	6	7	8
Q_0	1	0	1	0	1	0	1	0	1
Q_1	1	1	0	0	1	1	0	0	1
Q_2	1	1	1	1	0	0	0	0	1

2. Порядок виконання роботи

1. Проаналізувати схему RS-тригера. Побудувати схему згідно рис. 8.11 і проаналізувати всі можливі режими роботи і переходи RS-тригера (SR_FF - SR FLIP FLOP у групі MiscDigital). Побудувати логічну схему і таблицю переходів RS-тригера.

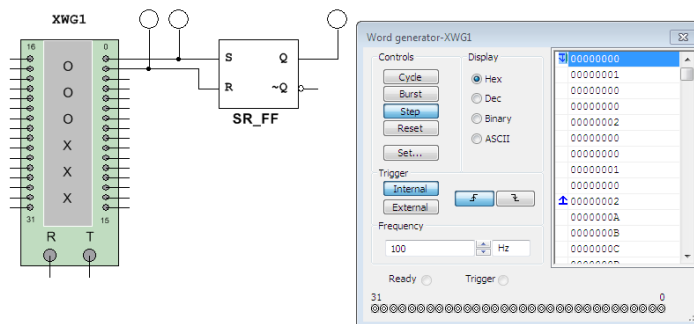


Рис. 8.11. Аналіз RS-тригера.

2. Проаналізувати логічну схему JK-тригера. Побудувати схему згідно рис. 8.12 і проаналізувати всі можливі режими роботи і переходи тригера JK-тригера. Побудувати логічну схему і таблицю переходів RS-тригера.

Приєднати до входів генератор слів і світлодіодні індикатори до виходів. Тактовий вхід тригера необхідно з'єднати з виходом синхронізації генератора. Генератор слів запрограмувати так, щоб на входи тригера подавались всі можливі комбінації 0 та 1.

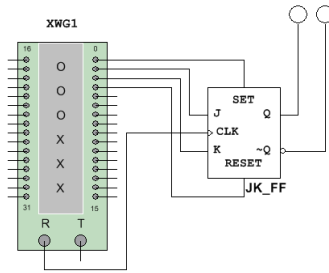


Рис. 8.12. Аналіз JK -тригера.

3. Проаналізувати схему D-тригера. Скласти звіт про виконання експерименту.

4. Здійснити моделювання роботи чотирирозрядного лічильника згідно схеми на рис.8.13(а). У схемі використовується функціональний генератор для генерування імпульсів, мікросхема чотирирозрядного лічильника для підрахунку кількості імпульсів від функціонального генератора, чотирирозрядний семисегментний індикатор.

Чотирирозрядний лічильник CNTR_4ABIN (група MiscDigital) має чотири виходи. Для використання максимального коефіцієнта підрахунку імпульси повинні подаватись на вхід INA, а вихід QA (який найчастіше змінюється) повинен бути з'єднаний з входом INB. Скидання лічильника здійснюється подаванням на обидва входи RO1 та RO2 високого рівня сигналу. У схемі на рис.8.13(а) переривання циклу (скидання) лічильника не виконується, оскільки на входи RO1 та RO2 подається низький рівень сигналу.

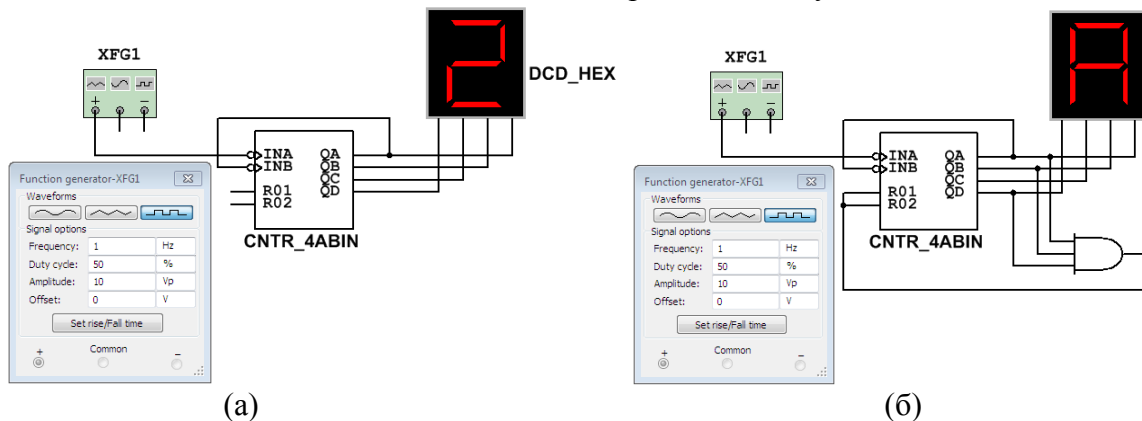


Рис. 8.13. Функціональна схема а) чотирирозрядного лічильника б) лічильника з коефіцієнтом підрахунку $K_{\text{підр}}=10$.

5. Побудувати схему та змоделювати роботу лічильника з коефіцієнтом підрахунку $K_{\text{підр}}=10$ (рис.8.13(б)), який працює з перериванням циклу. У даній схемі здійснюється скидання в нуль лічильника після досягнення числа 10. Тобто при подаванні одинадцятого імпульсу $11_{10}=1011_2$ на першому, другому і четвертому виходах встановлюється високий рівень сигналу (логічна 1), на виході логічного елемента І встановлюється високий рівень сигналу, який подається на входи RO1 та RO2.

6. Побудувати схему згідно рис.8.14 та змоделювати роботу лічильника з коефіцієнтом підрахунку $K_{\text{підр}}=48$.

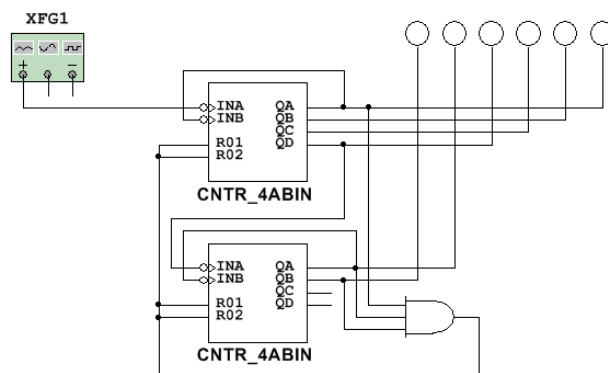


Рис. 8.14. Функціональна схема лічильника з коефіцієнтом підрахунку $K_{\text{підр}}=48$.

7. Побудувати схему та змодельовати роботу лічильника з коефіцієнтом підрахунку $K_{\text{підр}}=24$.

8. Спроектувати та здійснити моделювання чотирирозрядного лічильника на тригерах (рис. 8.15).

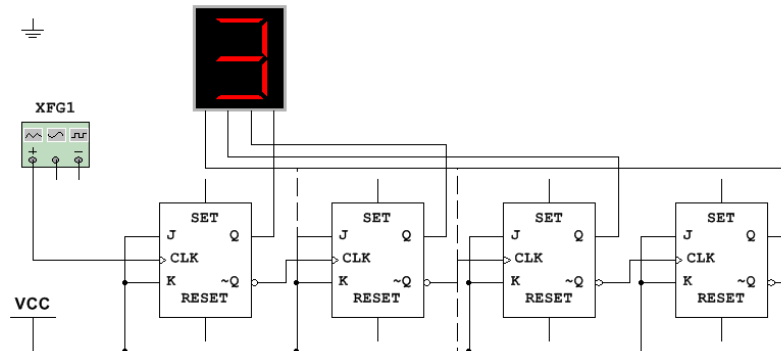


Рис. 8.15. Функціональна схема чотирирозрядного лічильника.

9. На основі чотирирозрядного підсумовуючого лічильника побудувати схему і змодельовати роботу віднімального лічильника.

10. Побудувати лічильник з заданим коефіцієнтом перерахунку відповідно до варіанту (табл.8.5):

- 1) на основі двох мікросхем чотирирозрядних лічильників
- 2) на основі JK-тригерів

Варіанти завдань.

Таблиця 8.5

Варіант	Коефіцієнт підрахунку до завд. 2	Варіант	Коефіцієнт підрахунку до завд. 2
1.	18	9.	26
2.	19	10.	27
3.	20	11.	28
4.	21	12.	29
5.	22	13.	30
6.	23	14.	31
7.	24	15.	17
8.	25		

3. Звіт повинен містити:

1. Завдання.
2. Схеми і таблиці переходів RS-тригера; JK-тригера; D-тригера.
3. Часові діаграми на виходах компонентів та на виходах тригера до завдань №1- №3.
4. Схеми лічильників.
5. Часові діаграми на виходах компонентів та на виходах лічильників.
6. Часові діаграми на виходах лічильників з заданим коефіцієнтом підрахунку.

4. Контрольні питання.

1. Який принцип роботи RS-, D-, T-, JK-тригерів?
2. Назвіть відмінності синхронних і асинхронних тригерів.
3. Лічильники: принцип роботи, призначення виходів, застосування.
4. Які є способи побудови лічильників із заданим коефіцієнтом підрахунку?
5. Як здійснюється підрахунок більшої кількості імпульсів, ніж коефіцієнт підрахунку лічильника?
6. За якими правилами організують зв'язки між тригерами підсумовувального і віднімального лічильника?

Лабораторна робота №9

Дослідження регістрів

Мета: навчитись розробляти схеми регістрів, закріпити уміння проектування послідовнісних схем цифрових пристроїв на основі тригерів.

1. Основні теоретичні відомості

9.1. Регістри.

Регістри - послідовнісні схеми з різними комбінаціями послідовного і паралельного способів запису і зчитування інформації. Виконуються на основі тригерів.

Послідовні регістри або *регістри зсуву* (рис. 9.1) виконуються на основі тригерів з динамічним синхронним входом. Функція запису в n-розрядному регістрі зсуву на D-тригерах задається у вигляді умов: $D_0=DS=x$, $D_i=Q(i-1)$, де $i=1,2,\dots,N-1$, DS - вхід для послідовного запису.

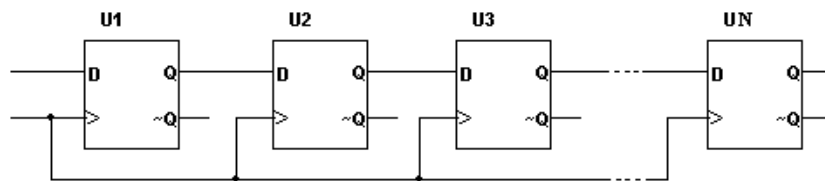


Рис. 9.1.Схема регістра зсуву.

З надходженням чергового позитивного фронту синхроімпульсу сигнал з входу i-го тригера через час затримки розповсюдження сигналу $t_{з.р.}$ з'явиться на його виході і надійде на вхід наступного (i+1)-го тригера. Проте, на його вихід ця інформація не переписеться, оскільки тривалість активного фронту менше $t_{з.р.}$. На цьому процес зсуву даних на один розряд закінчиться до приходу наступного позитивного фронту тактового сигналу.

Часова діаграма роботи чотирирозрядного регістра зсуву наведена на рис. 9.2.

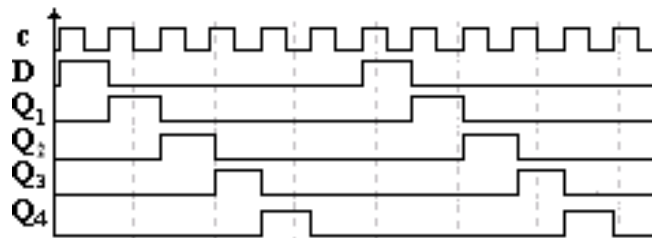


Рис. 9.2. Часова діаграма роботи чотирирозрядного регістра зсуву.

Види регістрів зсуву:

- з послідовним введенням і виведенням;
- з послідовним введенням і паралельним виведенням;
- з паралельним введенням і послідовним виведенням;
- зі змінним напрямом зсуву (реверсивні регістри зсуву).

Регістри з паралельним записом називаються також регістрами пам'яті. У них можуть використовуватися як статичні D-тригери, так і тригери з динамічним управлінням. На рис. 9.3 наведена схема N-розрядного регістра пам'яті із загальним входом управління записом інформацією. Високий рівень на вході С передає інформацію з входу на вихід ($Q_i=D_i$), а низький рівень – переводить регістр в стан зберігання.

За необхідності використання регістра зсуву більшої розрядності, ніж забезпечують мікросхеми регістрів, використовують каскадування. При каскадуванні необхідно з'єднати вихід останнього тригера першого регістра із входом послідовних даних наступного регістра, а також об'єднати входи тактування і скидання.

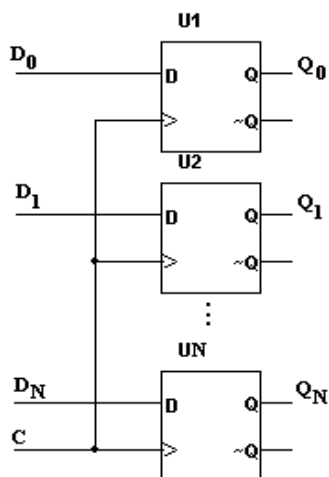


Рис. 9.3 Схема паралельного регістра.

Практичні схеми регістрів доповнюються схемами, що підключаються до кожного тригера і мають вхід паралельного запису D_i , загальний вхід дозволу запису L і загальний асинхронний вхід скидання $\sim R$ всіх тригерів. Ці схеми підключаються до незадіяних входів $\sim R_i$, $\sim S_i$ тригерів. Регістри зсуву з паралельним завантаженням коду називаються також *універсальними регістрами*.

Реверсивні регістри зсуву призначені для зсуву даних як в бік старших, так і в бік молодших розрядів.

Наприклад, інтегральна схема 74S194N фірми Texas Instruments, що знаходиться в бібліотеці 74S розділу TTL, є чотирирозрядним реверсивним регістром зсуву з паралельним синхронним записом. Вітчизняним аналогом є мікросхема К531ІР11 – це регістр зсуву в обидва напрямки з часом поширення сигналу 12 нс.

Позначення регістра на функціональних схемах і призначення його входів і виходів наведено на рис.9.3. Регістр може виконувати ряд функцій: паралельний запис інформації, зсув свого вмісту вліво і вправо, збереження, скидання. При напрузі високого рівня (логічна одиниця) на виходах S_0 і S_1 дані із паралельних входів $D_3 - D_0$ завантажуються в регістр і передаються на виходи $Q_3 - Q_0$ у момент наступного позитивного перепаду тактового імпульсу CLK , поданого на вхід C .

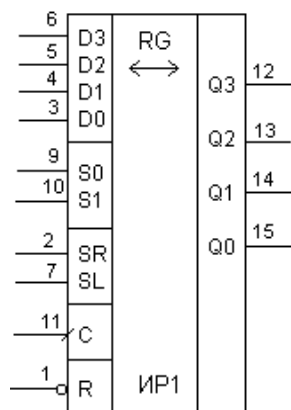


Рис.9.3. Функціональне позначення регістра К531ІР11.

На рис. 9.3. входи і виходи регістра мають наступні призначення: $D_3 - D_0$ – паралельні входи запису інформації, SR – вхід послідовного коду при зсуві вправо, SL – вхід послідовного коду при зсуві вліво, $Q_3 - Q_0$ – виходи регістра, S_1, S_0 – входи керування режимами роботи, \bar{R} – вхід скидання, C – вхід тактового сигналу.

При напрузі низького рівня на вході S_1 і високого на вході S_0 , код що поступив на вхід послідовних даних SR зсувається вправо ланцюгом $SR \rightarrow Q_0 \rightarrow Q_1 \rightarrow Q_2 \rightarrow Q_3$. При оберненому співвідношенні рівнів: високого рівня на вході S_1 і низького на вході S_0 код із

послідовного входу SL при кожному позитивному перепаді тактових імпульсів зсувається вліво ланцюгом $SL \rightarrow Q3 \rightarrow Q2 \rightarrow Q1 \rightarrow Q0$.

Якщо на вхід скидання R подається напруга низького рівня, відбувається скидання даних і на виходах $Q3 - Q0$ одержують низький рівень сигналу. Регістр K531IP11 може працювати з тактовою частотою до 70 МГц.

У режимі паралельного запису і зберіганні цілого числа (при відсутності імпульсів синхронізації) виходам Q_0, Q_1, Q_2, Q_3 відповідають ваги $2^0, 2^1, 2^2, 2^3$. Зсув вліво (L) – це зсув у бік старших розрядів числа, зсув вправо (R) – в бік молодших.

9.2. Мікросхеми регістрів (табл. 9.1)

Приклади мікросхем регістрів

Таблиця 9.1

№	Тип мікросхеми	Аналог	Назва регістру
0	74LS194N	K555IP11	4-розрядний регістр зсуву
1	74S195N	K531IP12	4-розрядний регістр з входом асинхронного встановлення стану
2	74198N	K155IP13	8-розрядний реверсивний регістр зсуву з синхронним паралельним записом
3	74173N	K155IP15	4-розрядний регістр зсуву
4	74LS173N	K555IP15	4-розрядний регістр зсуву
5	74LS164N	K555IP8	8-розрядний регістр зсуву з асинхронним скиданням в нульовий стан
6	74LS165N	K555IP9	8-розрядний регістр зсуву з послідовним входом
7	74S08N	K531IP19	4-розрядний регістр зсуву
8	74LS374N	K555IP23	8-розрядний регістр

2. Порядок виконання роботи

1. Побудувати 4-розрядний регістр зсуву. Схема містить чотири D-тригера, функціональний генератор і логічний аналізатор (рис. 9.4).

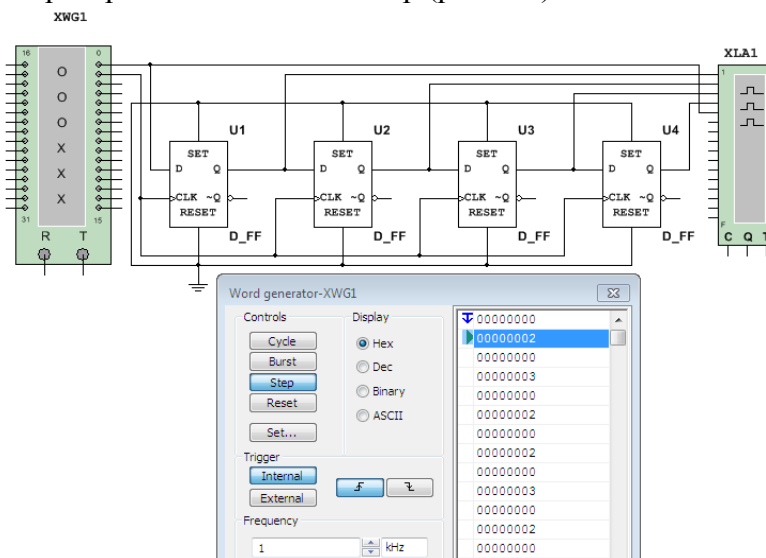


Рис. 9.4. Чотирирозрядний регістр зсуву

2. Запрограмувати генератор слів відповідно до рис. 9.4. Побудувати часові діаграми сигналів на виходах схеми.

3. Здійснити моделювання роботи реверсивного регістра зсуву 74S194 у режимі синхронного паралельного запису даних.

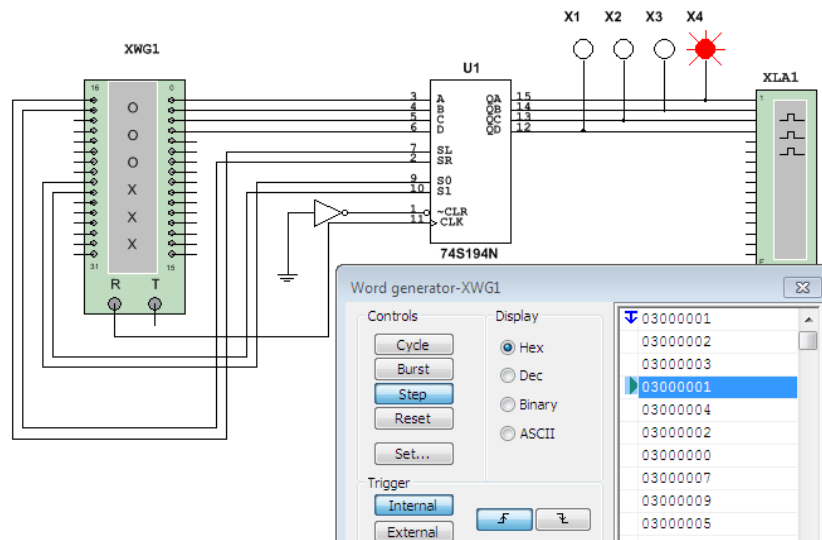


Рис. 9.5. Схема моделювання режимів роботи реверсивного регістра 74S194.

4. Здійснити моделювання роботи реверсивного регістра зсуву 74S194 у режимі зсуву інформації в бік старших розрядів.

5. Побудувати 8-розрядний регістр зсуву на основі двох мікросхем 74S194. На входи тактування CLK обох мікросхем подати імпульсну послідовність частотою 1 кГц для забезпечення тактування зсувів. На вхід послідовних даних SR другої мікросхеми подати сигнал з виходу QD першої мікросхеми. Здійснити моделювання режиму синхронного паралельного запису даних.

6. Побудувати і здійснити моделювання схем регістрів відповідно до варіанту (табл.9.2).

Варіанти завдань

Таблиця 9.2

Варіант	Побудувати і здійснити моделювання схеми
1.	4-розрядного послідовного регістра на D-тригерах
2.	4-розрядного паралельного регістра
3.	регістра зсуву 74S194 у режимі зсуву даних в бік молодших розрядів
4.	8-розрядного паралельного регістра на D-тригерах
5.	8-розрядного паралельного регістра на RS-тригерах
6.	8-розрядного регістра зсуву на основі двох мікросхем 74S194 у режимі зберігання даних
7.	8-розрядного паралельного регістра
8.	8-розрядного послідовного регістра на D-тригерах
9.	8-розрядного регістра зсуву на основі двох мікросхем 74S194 у режимі зсуву даних в бік молодших розрядів
10.	8-розрядного послідовного регістра на RS-тригерах
11.	реверсивного регістра зсуву 74S194 у режимі скидання інформації
12.	6-розрядного послідовного регістра на D-тригерах
13.	8-розрядного паралельного регістра на D-тригерах
14.	реверсивного регістра зсуву 74S194 у режимі зберігання даних
15.	8-розрядного регістра зсуву на основі двох мікросхем 74S194 у режимі зсуву даних в бік старших розрядів

3. Звіт повинен містити:

1. Завдання.
2. Функціональні схеми.
3. Часові діаграми на входах та на виходах регістрів.

4. Контрольні питання

1. Паралельні регістри: будова, принцип дії, призначення виходів, застосування.
2. Послідовні регістри: будова, принцип дії, призначення виходів, застосування.
3. Види регістрів зсуву.
4. Вказати сукупність сигналів, що необхідно подати на входи послідовного або паралельного регістра для завантаження в нього заданого двійкового коду.

СПИСОК ВИКОРИСТАНОЇ ЛІТЕРАТУРИ

1. Точки Р.Дж. Цифровые системы. Теория и практика / Р. Дж. Точки, Н. С. Уидмер; пер. с англ. М. В. Бойко, А. В. Высоцкого, С. А. Огородника. – [8-е изд.]. – М.: Издательский дом “Вильямс”, 2004. – 1024 с.
2. Бабич Н. П. Комп’ютерна схемотехніка / Н. П. Бабич, И. А. Жуков. – К.: МК–Пресс, 2004. – 508 с.
3. Схемотехніка електронних систем: У 3 кн. / В.І. Бойко, А.М. Гуржій, В.Я Жуйков та ін.– 2-ге вид., доп. і переробл. – К.: Вища школа, 2004.
4. Карлашук В. И. Электронная лаборатория на IBM PC / Том II. Моделирование элементов телекоммуникационных и цифровых систем на VisSim и Electronics Workbench. Изд. 6-е пер. и доп. – М.: Солон-Пресс, 2006. – 640 с.
5. Лаврентьев Б.Ф. Схемотехника электронных средств: учеб. Пособие для студентов высш. учеб. заведений / Б.Ф. Лаврентьев – М.: Издательский центр “Академия”, 2010. – 336 с.
6. Новожилов О. П. Основы цифровой техники. Учебное пособие. – М.: РадиоСофт, 2004. – 528 с.
7. Калабеков Б.А. Цифровые устройства и микропроцессорные системы. – М.: Горячая линия-Телеком, 2003. – 336 с.
8. Наумкина Л.Г. Цифровая схемотехника. Конспект лекций по дисциплине схемотехника. – М.: Издательство дом “Горная книга”, 2008. – 308 с.
9. Пухальский Г. И. Проектирование дискретных устройств на интегральных микросхемах: справочник / Г. И. Пухальский, Т. Я. Новосельцева. – М.: Радио и связь, 1990. – 304 с.

Навчальне видання

МЕТОДИЧНІ ВКАЗІВКИ
ДО ЛАБОРАТОРНИХ РОБІТ З ДИСЦИПЛІНИ
“ОСНОВИ ЦИФРОВОЇ ТА МІКРОПРОЦЕСОРНОЇ ТЕХНІКИ”

Для студентів 4 курсу напрямку
6.040302 “Інформатика”
Денної форми навчання

