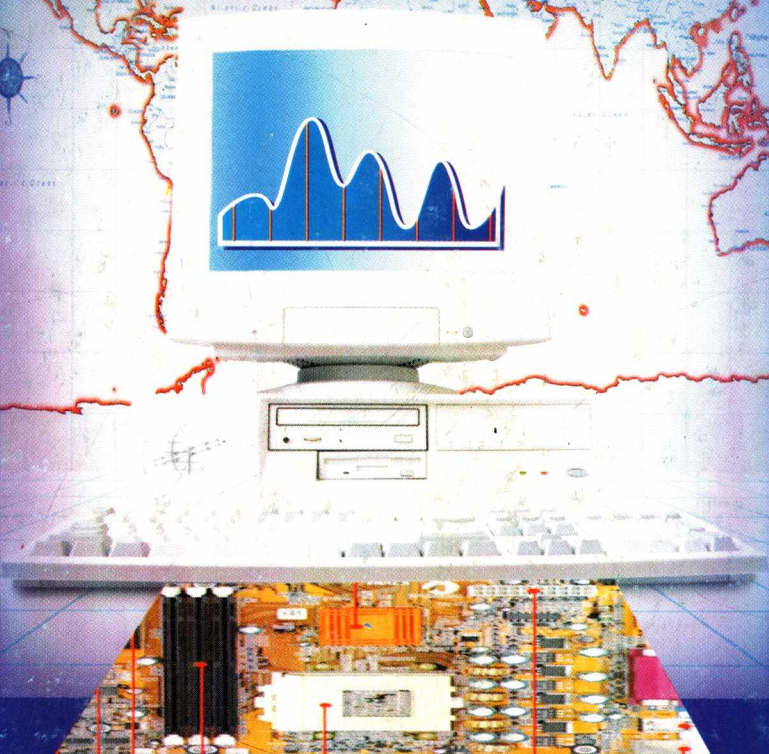


32.85x73

Андрій Буняк



та
ЕЛЕКТРОНІКА
МІКРОСХЕМОТЕХНІКА

Міністерство освіти та науки України
Тернопільський державний технічний університет
імені Івана Пулюя

АНДРОНІК БУНЯК

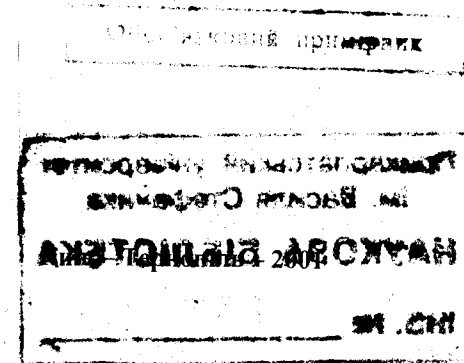
ЕЛЕКТРОНІКА ТА МІКРОСХЕМОТЕХНІКА

Затверджено Міністерством освіти та науки України як навчальний посібник для студентів технічних вищих закладів за професійним спрямуванням 6.0925 "Автоматизація та комп'ютерно-інтегровані технології" і споріднених спеціальностей

НБ ПНУС



635701



ББК 32.85

Б 90

УДК 621.3

Електроніка та мікросхемотехніка: навчальний посібник для вищих
учбових закладів.

Андронік Буняк, – Київ – Тернопіль: 2001. – 382 с.

ISBN 966-7692-72-8

У навчальному посібнику розглянуті принципи дії, характеристики та параметри напівпровідникових приладів, транзисторних підсилювачів, імпульсних, логічних та цифрових устаткувань. На їх основі будуються інтегральні схеми, які широко використовуються в наукових дослідженнях та інженерній практиці. Детально описані алгоритми математичних основ для побудови різних класів електронних устаткувань. Їх можливості проілюстровані на наведених прикладах. Досліджені галузі використання цих устаткувань. Видання призначене для студентів вузів, що навчаються за професійним спрямуванням 6.0925 "Автоматизація та комп'ютерно-інтегровані технології" і споріднених спеціальностей. Може бути корисне для інших напрямків підготовки та для інженерно-технічних працівників, які займаються розробленням, виробництвом, експлуатацією та ремонтом електронної техніки.

Табл. 84, Іл. 326, Бібліогр.: 27 назв.

Гриф Міністерства освіти та науки України
№ 2/2063 від 26.12.2000р.

Рецензенти: Д. Л. Дудюк – заслужений діяч науки і техніки України, професор, доктор технічних наук, Український державний лісо-технічний університет;

Є. П. Пістун – професор, доктор технічних наук, Державний університет "Львівська політехніка";

П. Г. Стахів – професор, доктор технічних наук, Державний університет "Львівська політехніка".

Автор висловлює ширю вдячність рецензентам – Заслуженому діячу науки і техніки України, д-ру техн. наук, професору Д. Л. Дудюку, д-ру техн. наук, професору Є. П. Пістуну, д-ру техн. наук, професору П. Г. Стахіву, а також зав. каф. Українського державного університету харчових технологій, д-ру техн. наук, професору А. П. Ладанюку, за висловлені поради та зауваження до матеріалу рукопису.

ББК 32.85 Б 90 УДК 621.3

Тернопільський університет
ім. Василя Стефаника
А. М. Буняк, 2001 р.
СМПП "Астон", 2001 р.

ISBN 966-7692-72-8

НАУКОВА БІБЛІОТЕКА

ІВ. №

63²5701

Зміст

Передмова	7
Глава перша	
1. Напівпровідникові та мікроелектронні прилади	10
§ 1.1. Електропровідність напівпровідників, утворення та властивості р-п переходу	10
§ 1.2. Класифікація напівпровідникових приладів	14
§ 1.3. Напівпровідникові резистори	15
§ 1.4. Характеристики та параметри діодів	18
§ 1.4.1. Стабілітрони	22
§ 1.4.2. Варикапи	23
§ 1.4.3. Тунельні діоди	24
§ 1.5. Біполярні транзистори	25
§ 1.5.1. Характеристики та параметри біполярних транзисторів	28
§ 1.6. Складені біполярні транзистори	30
§ 1.7. Польові транзистори	32
§ 1.7.1. Польові транзистори із р-п переходом	33
§ 1.7.2. Польові транзистори МДН-типу	34
§ 1.8. Тиристри	36
§ 1.8.1. Параметри та різновиди тиристорів	40
§ 1.9. Напівпровідникові оптоелектронні прилади	42
§ 1.9.1. Основні поняття фотометрії	42
§ 1.9.2. Фоторезистор	44
§ 1.9.3. Фотодіод	46
§ 1.9.4. Фототранзистори	48
§ 1.9.5. Світлодіоди	50
§ 1.9.6. Оптрони	50
§ 1.10. Інтегральні мікросхеми (ІМС)	53
§ 1.10.1. Особливості мікроелектроніки	53
§ 1.10.2. Технологія виготовлення ІМС та ГІС	55
§ 1.10.3. Класифікація мікросхем	63
§ 1.10.4. Класифікація та система умовних позначень мікросхем за державним стандартом України	64
Приклад 1.1	68
Приклад 1.2	69
Приклад 1.3	69
Завдання для самоконтролю	71
Глава друга	
2. Транзисторні підсилювачі	73
§ 2.1. Передатна характеристика підсилювального каскаду	73
§ 2.2. Режим спокою в каскаді із спільним емітером	75
§ 2.3. Зворотні зв'язки. Стабілізація режиму спокою	78
§ 2.4. Схема заміщення та головні показники каскаду із спільним емітером	79
§ 2.5. Види зв'язків та дрейф нуля у підсилювачах постійного струму	82

§ 2.6. Диференціальний каскад	83
§ 2.7. Каскад із спільним колектором	87
§ 2.8. Каскад із спільним витоком	88
§ 2.9. Операційний підсилювач	90
§ 2.10. Неінвертуючий операційний підсилювач із зворотним зв'язком	92
§ 2.11. Інвертуючий операційний підсилювач із зворотним зв'язком	93
§ 2.12. Принципова схема операційного підсилювача	95
§ 2.13. Вибірні підсилювачі та генератори синусоїдних коливань	99
§ 2.14. Підсилювачі з ємнісним зв'язком	101
§ 2.15. Каскади підсилення потужності	103
Приклад 2.1	108
Завдання для самоконтролю	112

Глава третя

3. Імпульсні пристрої	114
§ 3.1. Переваги передавання інформації у вигляді імпульсів	114
§ 3.2. Ключовий режим транзистора	115
§ 3.3. Нелінійний режим роботи операційного підсилювача. Компаратори	118
§ 3.4. Перетворення імпульсних сигналів за допомогою RC –ланцюгів	120
§ 3.5. Мультивібратор на операційному підсилювачі	122
§ 3.6. Одновібратор на операційному підсилювачі	124
§ 3.7. Генератори лінійно-змінних напруг	126
Приклад 3.1	130
Завдання для самоконтролю	131

Глава четверта

4. Малопотужні випрямлячі змінного струму	132
§ 4.1. Схема однонапівперіодного випрямлення однофазного змінного струму	132
Завдання для самоконтролю	140

Глава п'ята

5. Логічні основи функціональних систем	141
§ 5.1. Основні поняття та визначення	141
§ 5.2. Поняття та визначення теорії графів	142
§ 5.3. Основні поняття та закони алгебри логіки	145
Приклад 5.1	155
Приклад 5.2	155
Приклад 5.3	155
Завдання для самоконтролю	156
§ 5.4. Функціонально повні системи алгебри логіки	156
§ 5.5. Форми представлення логічних функцій	158
Приклад 5.4	161
Приклад 5.5	165
§ 5.6. Мінімізація перемикальних функцій	165

Приклад 5.6	165
Приклад 5.7	168
Завдання для самоконтролю	176

Глава шоста

6. Аналіз та синтез цифрових автоматів	177
§ 6.1. Форми автоматного опису систем	177
§ 6.2. Аналіз та синтез комбінаційних автоматів з одним виходом	178
Приклад 6.1	180
§ 6.3. Вплив затримок в елементах та сполученнях на роботу цифрових автоматів	185
Приклад 6.2	187
Приклад 6.3	189
Приклад 6.4	190
Приклад 6.5	191
Завдання для самоконтролю	192
§ 6.4. Аналіз та синтез типових комбінаційних автоматів	193
§ 6.4.1. Аналіз та синтез дешифраторів та шифраторів	193
§ 6.4.2. Аналіз та синтез мультиплексорів та демультимплексорів	202
§ 6.4.3. Аналіз та синтез комбінаційних суматорів	208
§ 6.4.4. Аналіз та синтез перетворювачів кодів та цифрових компараторів	215
§ 6.4.5. Аналіз та синтез комбінаційних зсувачів	225
Завдання для самоконтролю	226
§ 6.5. Форми представлення скінчених автоматів	228
§ 6.6. Опис алгоритмів скінчених автоматів	230
§ 6.7. Аналіз цифрових автоматів із зворотними зв'язками	234
§ 6.8. Синтез тригерних автоматів	236
Завдання для самоконтролю	253
§ 6.9. Структурний синтез цифрових автоматів	255
Приклад 6.6	259
§ 6.10. Синтез послідовнісних функціональних вузлів великих інтегральних схем	264
§ 6.10.1. Аналіз лічильників	265
§ 6.10.2. Синтез синхронних лічильників	274
Приклад 6.7	274
Приклад 6.8	276
§ 6.10.3. Аналіз регістрів	279
§ 6.10.4. Синтез лічильників на основі зсувних регістрів	285
Приклад 6.9	285
Приклад 6.10	286
§ 6.11. Аналіз та синтез запам'ятовувальних устаткувань	288
Приклад 6.11	293
§ 6.12. Синтез послідовнісних автоматів на основі ПЗУ	295
Завдання для самоконтролю	297

Глава сьома

7. Аналіз та синтез перетворювачів сигналів.....	299
§ 7.1. Аналіз та синтез цифро-аналогових перетворювачів.....	299
§ 7.2. Аналіз та синтез аналого-цифрових перетворювачів.....	305
Завдання для самоконтролю.....	313

Глава восьма

8. Аналіз та синтез систем керування з цифровими автоматами (регуляторами).....	314
§ 8.1. Цифрові автомати-регулятори з низькочастотним імпульсним керуванням.....	321
§ 8.2. Структурне моделювання систем керування на мікро-ЕОМ.....	327
§ 8.3. Схеми ЦАР при ступінчастих входних впливах.....	335
Приклад 8.1.....	340

Глава дев'ята

9. Автоматизація та проектування виробництва електронних устаткувань з використанням програм PCAD.....	346
Додатки.....	357
Література.....	382

Присвячується пам'яті видатного українського вченого, винахідника X-променів, електротехніка, великого патріота України Івана Пулюя.

Передмова

В освітньо-професійній програмі вищої освіти за професійним спрямуванням 6.0925 "Автоматизація та комп'ютерно-інтегровані технології" передбачена дисципліна "Електроніка та мікросхемотехніка" (шифр 3.03).

Мета вивчення дисципліни – засвоєння принципів побудови і застосування основних елементів електроніки та мікросхемотехніки, основних електронних схем аналогової та цифрової схемотехніки.

В основних розділах передбачений наступний матеріал.

Стан і перспективи розвитку електроніки і мікросхемотехніки; електропровідність металів та напівпровідників; напівпровідникові елементи (діоди, транзистори, тиристори тощо), інтегральні мікросхеми, індикаторні прилади; підсилювальні каскади; підсилювачі напруги та потужності; операційні підсилювачі; електронні генератори; джерела живлення та стабілізатори. Логічні елементи цифрових пристроїв: опис алгоритмів функціонування логічних пристроїв; мінімізація логічних функцій; послідовність проектування логічних пристроїв; класифікація цифрових інтегральних мікросхем; основні комбінаційні схеми: шифратори, дешифратори, перетворювачі кодів, мультиплексори, демультиплексори, суматори, компаратори, арифметико-логічні пристрої; основні послідовні пристрої; асинхронні та синхронні тригери; паралельні, послідовні та зсувні регістри; лічильники; запам'ятовувальні пристрої; схеми приймання зовнішніх сигналів; вихідні кола цифрової автоматики; аналого-цифрові та цифро-аналогові перетворювачі. Застосування прикладних програм для моделювання аналогових та цифрових систем.

Внаслідок вивчення дисципліни студент повинен знати:

- тенденції розвитку технічних засобів електроніки та схемотехніки;
- фізичну суть явищ, що відбуваються у напівпровідникових приладах та мікросхемах;
- принципи побудови типових електронних схем;
- сучасну компонентну базу електроніки та мікросхемотехніки;
- методи синтезу схем на елементах електроніки та мікросхемотехніки.

Вміти:

- аналізувати схемні рішення електронних пристроїв та їх функцій;
- користуватися математичним апаратом опису аналогових та цифрових схем;
- розв'язувати задачі схемотехнічного проектування;
- за допомогою вимірювальної апаратури досліджувати роботу електронних схем та пристроїв;
- застосовувати прикладні програми моделювання аналогових та цифрових схем.

Таким чином, курс передбачає серйозне знайомство студентів із сучасним рівнем розвитку електронних устаткувань, що базується на останніх досягненнях електроніки та мікросхемотехніки і є важливою частиною інженерної підготовки спеціалістів. Разом з цим, хоча курс і належить до фундаментальних дисциплін, він не ставить своїм завданням підготовку спеціалістів в галузі електронної схемотехніки. З вивченням курсу, студенти повинні зрозуміти принципи дії та можливості електронних устаткувань, вміти грамотно експлуатувати ці устаткування та класифіковано формувати задачі на їх розроблення.

Створюючи навчальний посібник згідно з програмою, автор не прагнув увести повний матеріал за рахунок збільшення об'єму підручника, навпаки, об'єм відповідає реальним можливостям студентів, які будуть вивчати цей курс. Тому методика викладення окремих глав, наприклад, присвячених напівпровідниковим приладам та підсилювальним устаткуванням, ґрунтується на якісно нових підходах до вивчення електронної схемотехніки.

Глави цифрової техніки навчального посібника побудовані так, що, у першу чергу, ставилось за необхідне дати основи аналізу та математичного апарату синтезу, що дасть змогу будувати електронні автомати, передбачені технічними завданнями різної функціональної складності. Останнє спонукало дещо розширити об'єм навчального посібника, що забезпечить можливість використання матеріалу згідно з вимогами учбових планів не лише бакалаврів, але і спеціалістів та магістрів. Тому автор дещо збільшив розділи, які присвячені головним напрямкам розвитку електронної цифрової техніки, увівши матеріал, що не передбачений професійною програмою, і посвятив ряд розділів питанням енергетичної електроніки, які привертають увагу спеціалістів в галузі енергетичної електроніки та електромеханіки.

Викладений матеріал у навчальному посібнику містить приклади та завдання для самоконтролю, тобто ставилась мета більш глибокого його засвоєння. При роботі над навчальним посібником автор намагався викласти матеріал у доступній та найбільш простій формі. Різноманітність вирішень у різних сферах застосування електроніки та мікросхемотехніки не дало змоги викласти специфічні питання у даному навчальному посібнику, тому пропонується звернення до додаткової літератури, список якої міститься у бібліографії.

Отже, навчальний посібник, що пропонується, не розрахований для "зазубрювання" визначень. Його головна мета – пробудити у молодій людині прагнення до напруженої творчої праці, бажання створити щось своє, нове, неподібне до існуючого.

Навчальний посібник складається із восьми глав. У перших трьох главах розглянуті принципи роботи, характеристики та параметри напівпровідникових приладів, транзисторних підсилювачів та імпульсних устаткувань, що ґрунтуються на застосуванні інтегральних схем. У четвертій главі розглянуті принципи роботи малопотужних випрямлячів змінного струму.

У п'ятій главі наведені основи арифметики електронних цифрових автоматів, де автомат представляється, як функціональна система, для побудови моделей якої використані математичні залежності між вихідними та вхідними змінними та абстрактний метод граф-систем.

Зроблений аналіз та представлені граф-моделі функцій одного та двох аргументів, наведені форми представлення функцій табличними методами та графами. Розглянуті існуючі методи мінімізації перемикальних функцій та запропонований автором метод використання скінченного графу типу стіжка, який не вимагає складних процедур, пов'язаних із складенням таблиць.

У шостій главі наведені методи аналізу та синтезу цифрових автоматів комбінаційного та послідовнісного типу, показаний вплив затримок в елементах та сполученнях на їх роботу, описані форми та алгоритми представлення скінчених автоматів, де використовується для побудови автоматів абстрактний метод граф-систем.

У сьомій главі наведений аналіз та синтез перетворювачів сигналу (аналого-цифрових та цифро-аналогових).

У восьмій главі описані схеми керування виконавчими механізмами, які побудовані на основі електронних цифрових автоматів-регуляторів, наведені структури моделювання систем керування на основі мікро-ЕОМ.

Автор висловлює подяку тим, хто брав участь у підготовці навчального посібника, підтримував його ідею та сприяв її втіленню. Це, перш за все, доценту Тернопільського

державного технічного університету імені Івана Пулюя к.т.н. Лупенку А. М. та студентам факультету комп'ютерних технологій університету Роману Михаловичу, Арсену Гуцалу, Олександрю Ратушному та Андрію Харишу за допомогу у комп'ютерному наборі та в оформленні рукопису.

Матеріали восьми глав автор намагався викласти таким чином, щоб показати нероздільний зв'язок алгоритмів функціонування електронних устаткувань та розроблених на їх основі принципів схем. Наскільки це вдалось, автор сподівається судити по відгуках та зауваженнях, які можна направляти за адресою: 46001, м. Тернопіль, вул. Руська 56, Тернопільський державний технічний університет імені Івана Пулюя, факультет комп'ютерних технологій, за що автор буде вдячний.

Глава перша

1. Напівпровідникові та мікроелектронні прилади [1, 2, 3, 4, 5, 7]

§1. 1. Електропровідність напівпровідників, утворення та властивості р-п-переходу

Кількість відомих у даний час напівпровідникових матеріалів досить велика. Для виготовлення напівпровідникових приладів застосовуються прості напівпровідникові речовини: *германій, кремній, селен* та складні напівпровідникові матеріали: *арсенід галію, фосфід галію* та ін. Значення питомого електричного опору в чистих напівпровідникових матеріалах лежать у діапазоні від 0,65 Ом-м (германій) до 10^8 Ом-м (селен). Деякі дані про властивості чистих напівпровідникових матеріалів наведені в додатках табл. А1(активні елементи електронних пристроїв).

У чистих напівпровідниках концентрація носіїв заряду – вільних *електронів* та *дірок* – складає лише 10^{16} - 10^{18} на 1 см^3 речовини. Для зниження питомого опору напівпровідника та надання йому певного типу електропровідності – *електронної* при переважанні вільних електронів або *дірочної* при переважанні дірок – у чисті напівпровідники вносять певні домішки. Такий процес називають *легуванням*, а відповідні напівпровідникові матеріали – *легованими*.

В якості легуючих домішок застосовують елементи III та V груп періодичної системи елементів Д. І. Менделєєва. Легуючі елементи III групи створюють дірочну електропровідність напівпровідникових матеріалів і називаються *акцепторними* домішками, елементи V групи – електронну електропровідність і називаються *донорними* домішками.

Питомий електричний опір легованого напівпровідника істотно залежить від концентрації домішок. При концентрації домішок 10^{20} - 10^{21} на 1 см^3 речовини він може бути знижений до $5 \cdot 10^{-6}$ Ом-м для германію та $5 \cdot 10^{-5}$ Ом-м для кремнію. Проте навіть у сильнолегованих напівпровідниках один атом домішки припадає на 10^3 - 10^4 атомів напівпровідника. Деякі властивості легованих напівпровідникових матеріалів наведені в додатках А2 (пасивні елементи електронних пристроїв).

Слаболеговані напівпровідники використовують для виготовлення малопотужних напівпровідникових діодів та транзисторів. У потужних та імпульсних діодах, транзисторах та тиристорах застосовують сильнолеговані напівпровідники з малими питомими опорами.

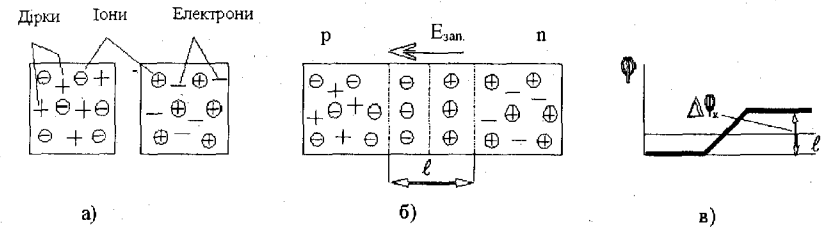
Основне значення для роботи напівпровідникових приладів має електронно-дірковий перехід, що для стислості називають р-п- переходом.

Електронно-дірковим переходом називають ділянку на межі двох напівпровідників, один із яких має електронну, а другий – діркову електропровідність.

На практиці р-п- перехід одержують введенням у напівпровідник з домішками додаткової легуючої домішки.

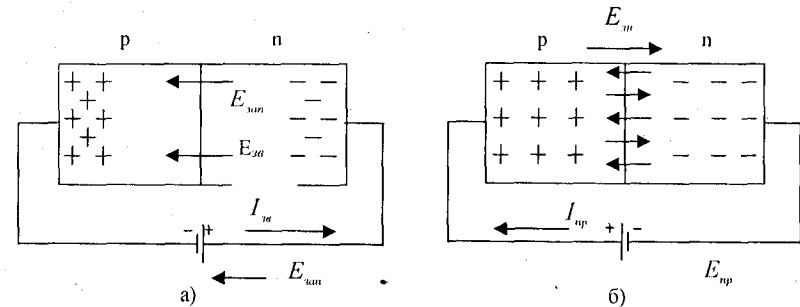
Наприклад, з введенням донорної домішки у певну частину напівпровідника р-типу в ньому утвориться ділянка напівпровідника п-типу, що граничить із напівпровідником р-типу.

Розглянемо схематичні утворення р-п-переходу з зіткненням двох напівпровідників із різними типами електропровідності (мал. 1.1). До зіткнення в обох напівпровідниках електрони, дірки та нерухомі іони були розподілені рівномірно (мал. 1.1, а).



Мал. 1.1. Утворення р-п-переходу

Із зіткненням напівпровідників у прикордонному прошарку відбувається рекомбінація (з'єднання) електронів та дірок. Вільні електрони із зони напівпровідника п-типу займають вільні рівні у валентній зоні напівпровідника р-типу. У результаті поблизу межі двох напівпровідників утвориться прошарок, позбавлений рухливих носіїв заряду і тому володіє високим електричним опором, – так званий запираючий прошарок (мал. 1.1, б). Товщина прошарку, що запирає, звичайно не перевищує декількох мікрометрів.



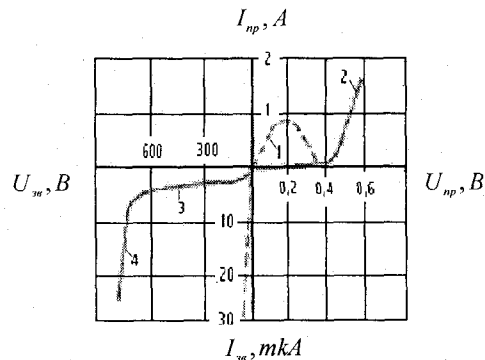
Мал. 1.2. Електронно-дірковий перехід у зовнішньому електричному полі: а) – до р-п-переходу прикладена зворотна напруга, б) – до р-п-переходу прикладена пряма напруга.

Розширенню прошарку, що запирає, перешкоджають нерухомі іони донорних та акцепторних домішок, що утворюють на межі напівпровідників подвійний електричний прошарок. Цей прошарок визначає контактну різницю потенціалів (потенційний бар'єр) ϕ_k на межі напівпровідників (мал. 1.1, в). Різниця потенціалів, що виникла, створює в запираючому прошарку електричне поле, яке перешкоджає як переходові електронів із напівпровідника п-типу в напівпровідник р-типу, так і переходові дірок у напівпровідник п-типу. У той же час електрони можуть вільно рухатися з напівпровідника р-типу до напівпровідника п-типу, точно так само, як дірки з напівпровідника п-типу до напівпровідника р-типу. Таким чином, контактна різниця потенціалів перешкоджає рухові *основних носіїв заряду* і не перешкоджає рухові *неосновних носіїв заряду*. Проте при рухові через р-п-перехід неосновних носіїв (так званий дрейфовий струм $I_{др}$) відбувається зниження контактної різниці потенціалів ϕ_k , що дає змогу деякій частині основних носіїв,

що володіють достатньою енергією, перебороти потенційний бар'єр, зумовлений контактною різницею ϕ_c потенціалів. З'являється дифузійний струм $I_{диф}$, який спрямований назустріч дрейфовому струмові $I_{др}$, тобто виникає динамічна рівновага, при якій $I_{др} = I_{диф}$.

Якщо до р-п-переходу прикласти зовнішню напругу, що створює в запираючому прошарку електричне поле напруженістю $E_{зап}$, яка збігається по напрямку з полем нерухомих іонів напруженістю $E_{зон}$ (мал. 1.2, а), то це призведе лише до розширення запираючого прошарку, тому що відведе від контактної зони і позитивні, і негативні носії заряду (дірки й електрони).

При цьому опір р-п-переходу великий, струм через нього малий – він обумовлений рухом неосновних носіїв заряду. У цьому випадку струм називають зворотним, а р-п-перехід – закритим.



Мал. 1.3. Вольт – амперна характеристика р-п-переходу

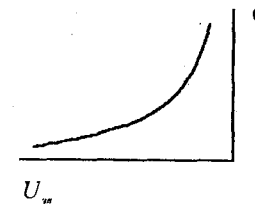
З протилежною полярністю джерела напруги (мал. 1.2, б) зовнішнє електричне поле спрямоване назустріч полю подвійного електричного прошарку, товщина запираючого прошарку зменшується і при напрузі 0,3-0,5 В запираючий прошарок зникає. Опір р-п-переходу різко знижується, і виникає порівняно великий струм. Струм при цьому називають прямим, а перехід – відкритим. Опір відкритого р-п-переходу визначається лише опором напівпровідника.

На мал. 1.3 показана повна вольт – амперна характеристика відкритого та закритого р-п-переходів. Як видно, ця характеристика є істотно нелінійною. На ділянці 1 $E_{зап} < E_{зон}$, прямий струм малий. На ділянці 2 $E_{зап} > E_{зон}$, запираючий прошарок відсутній, струм визначається лише опором напівпровідника. На ділянці 3 запираючий прошарок перешкоджає рухові основних носіїв, невеликий струм визначається рухом неосновних носіїв заряду. Злам вольт – амперної характеристики на початку координат зумовлений різними масштабами струму та напруги при прямому та зворотному напрямках напруги, яка прикладається до р-п-переходу. І нарешті, на ділянці 4 відбувається пробій р-п-переходу і зворотний струм швидко зростає. Це пов'язано з тим, що при рухові через р-п-перехід під дією електричного поля неосновні носії заряду набувають енергії, достатньої для ударної іонізації атомів напівпровідника. У переході починається лавиноподібне розмноження носіїв

заряду – електронів та дірок, що призводить до різкого збільшення зворотного струму через р-п-перехід при майже незмінній зворотній напрузі. Цей вид електричного пробою називають лавинним. Звичайно він розвивається в дещо широким р-п-переходах, що утворюються в слаболегованих напівпровідниках.

У сильнолегованих напівпровідниках ширина запираючого прошарку менша, що перешкоджає виникненню лавинного пробою, тому що носії, що рухаються, не одержують енергії, достатньої для ударної іонізації. У той же час може виникати електричний пробій р-п-переходу, коли при досягненні критичної напруженості електричного поля в р-п-переході за рахунок енергії поля з'являються пари носіїв електрон – дірка (ефект Зенера), і істотно зростає зворотний струм переходу.

Для електричного пробою характерна зворотність, що полягає в тому, що початкові властивості р-п-переходу цілком відновлюються, якщо знизити напругу на р-п-переході. Завдяки цьому електричний пробій використовують у якості робочого режиму в напівпровідникових діодах.



Мал. 1.4. Залежність ємності р-п-переходу від зворотної напруги

Якщо температура р-п-переходу зростає внаслідок його нагрівання зворотним струмом і при недостатньому тепловідводі, то посилюється процес генерації пар носіїв заряду. Це, у свою чергу, призводить до подальшого збільшення зворотного струму і нагрівання р-п-переходу, що може викликати руйнацію переходу. Такий процес називають тепловим пробієм. Тепловий пробій руйнує р-п-перехід.

У сильнолегованих напівпровідниках (частіше всього на основі арсеніда галію) може виникати квантово-механічний тунельний ефект, який полягає в тому, що на ділянках 1 та 3 (мал. 1.3) при дуже малій товщині запираючого прошарку основні носії заряду можуть переборювати запираючий прошарок без зміни енергії. Такі умови виконуються у певному діапазоні напруг, що призводить до зростання струму на ділянці 1 прямої гілки при $U_{пр} \leq 0,4$ В і на ділянці 3 зворотної гілки. Подальше підвищення прямої напруги призводить до ослаблення тунельного ефекту, і при $U_{пр} > 0,4$ В він зовсім пропадає. Таким чином, через тунельний ефект підвищується струм на прямій гілці вольт – амперної характеристики р-п-переходу (1 на мал. 1.3). При цьому в діапазоні $0,2 \leq U_{пр} \leq 0,4$ В диференційний опір негативний і цілком пропадає ділянка 3 на зворотній гілці характеристики р-п-переходу (мал. 1.3).

Закритий р-п-перехід має електричну ємність, що залежить від його площі та ширини, а також від діелектричної проникності запираючого прошарку. Із збільшенням зворотної напруги ширина р-п-переходу зростає і ємність С р-п-переходу зменшується. Залежність ємності закритого р-п-переходу від зворотної напруги показана на мал. 1.4.

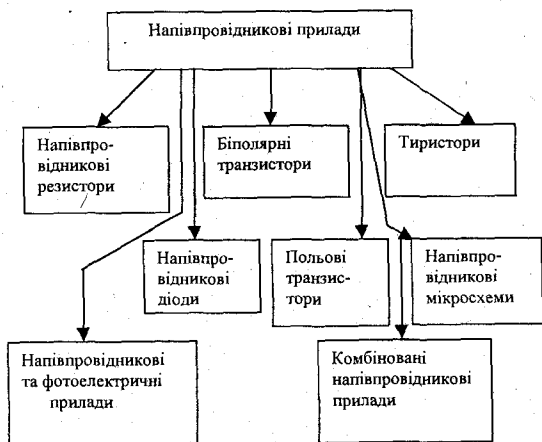
Властивості чистих та легованих напівпровідників та характеристики р-п-переходу широко використовують у двоелектродних напівпровідникових приладах – напівпровідникових резисторах та діодах. У більш складних приладах – транзисторах та

тиристорах – використовують електричні характеристики, що визначаються взаємодією декількох р-n-переходів.

§ 1.2. Класифікація напівпровідникових приладів

Напівпровідниковими називають прилади, дія яких основана на використанні властивостей напівпровідників.

Класифікація напівпровідникових приладів наведена на мал. 1.5. Напівпровідникові резистори та діоди є двоелектродними приладами, біполярні та польові транзистори – триелектродними приладами. Тиристори можуть бути як двоелектродними, так і триелектродними.



Мал. 1.5. Класифікація напівпровідникових приладів

У напівпровідникових резисторах застосовується ізотропний напівпровідниковий матеріал, і їхні електричні характеристики визначаються електричними властивостями однорідного напівпровідника. У напівпровідникових діодах використовуються напівпровідники з різними типами електропровідності, що утворюють один р-n-перехід. Електричні характеристики діода визначаються електричними властивостями цього р-n-переходу.

У біполярних транзисторах використовуються два р-n-переходи. Електричні характеристики біполярних транзисторів визначаються взаємодією цих переходів. У польових транзисторах застосовуються напівпровідники з різними типами електропровідності, що утворюють один р-n-перехід. Але на відміну від діодів та біполярних транзисторів електричні характеристики польових транзисторів залежать в основному від взаємодії ізотропного напівпровідникового каналу з р-n-переходом.

У тиристорах застосовуються напівпровідники з різними типами електропровідності, що утворюють три р-n-переходи або більше. Основні електричні характеристики тиристорів визначаються взаємодією цих переходів.

У напівпровідникових фотоелектричних приладах використовуються ефекти генерації

світла та зміни електричних характеристик напівпровідникових структур під впливом оптичного випромінювання. Комбіновані напівпровідникові прилади являють собою декілька різноманітних напівпровідникових приладів, об'єднаних в одному корпусі.

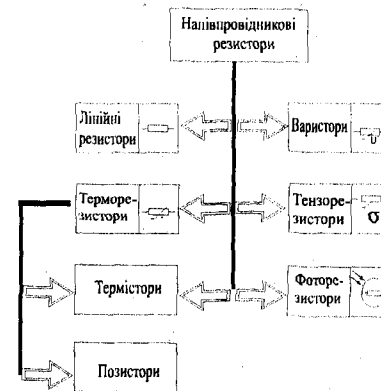
Напівпровідникові мікросхеми та мікроелектронні виробни, що виконують певну функцію перетворення й оброблення сигналу, всі елементи та міжелементні з'єднання яких виконані в об'ємі і на поверхні напівпровідника.

§ 1.3. Напівпровідникові резистори

Напівпровідниковим резистором називають напівпровідниковий прилад із двома виводами, у якому використовується залежність електричного опору напівпровідника від напруги, температури, освітленості й інших керуючих параметрів.

У напівпровідникових резисторах застосовується напівпровідник, рівномірно легований домішками. У залежності від типу сумішей та конструкції резистора вдається одержати різні залежності від керуючих параметрів. Класифікація й умовні графічні позначення напівпровідникових резисторів наведені на мал. 1.6.

Згідно з цією класифікацією перші дві групи напівпровідникових резисторів – лінійні резистори та нелінійні резистори (варистори) – мають електричні характеристики, що мало залежать від таких параметрів, як температура навколишнього середовища, вібрація, вологість, освітленість і т.д. Для інших груп напівпровідникових резисторів характерна істотна залежність електричних характеристик від цих параметрів, тому їх широко використовують у якості первинних перетворювачів неселективних величин в електричні.



Мал. 1.6. Класифікація й умовні графічні позначення напівпровідникових резисторів

Електричні характеристики терморезисторів сильно залежать від температури, фоторезисторів – від освітленості, тензорезисторів – від механічних напруг.

Лінійний резистор – напівпровідниковий резистор, у якому застосовується слаболегований матеріал типу кремнію або арсеніду галію.

Питомий електричний опір такого напівпровідника мало залежить від напруженості

електричного поля та густини електричного струму. Тому опір лінійного напівпровідникового резистора залишається практично постійним у широкому діапазоні напруг та струмів. Напівпровідникові лінійні резистори широко застосовують в інтегральних мікросхемах.

Варистор – напівпровідниковий резистор, опір якого залежить від прикладеної напруги, тому його вольт-амперна характеристика нелінійна.

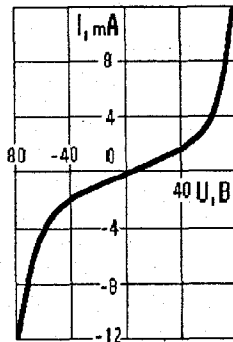
Напівпровідниковим матеріалом для виготовлення варисторів є карбід кремнію. Порошкоподібний кристалічний карбід кремнію змішують із глиною і з цієї маси пресують заготовки варисторів у вигляді стержнів або дисків. Після обпалювання при високій температурі на заготовки методом гарячого розпилення наносять електроди. Для захисту від зовнішніх впливів варистори покривають електроізоляційним лаком.

Нелінійність характеристик варисторів зумовлена локальним (місцевим) розігріванням на контактах між багаточисельними кристалами карбиду кремнію. Опір контактів при цьому істотно знижується, що призводить до зменшення загального опору варисторів.

Вольт-амперна характеристика варистора наведена на мал. 1.7. Один з основних параметрів варистора – коефіцієнт нелінійності

$$\lambda = R/R_0 = \frac{U/I}{dU/dI}, \quad (1.1)$$

де U та I – напруга та струм варистора.



Мал. 1.7. Вольт-амперна характеристика варистора

Коефіцієнт нелінійності для різних типів варисторів лежить у межах 2-6.

Терморезистор – напівпровідниковий резистор, у якому використовується залежність електричного опору напівпровідника від температури.

Розрізняють два типи терморезисторів: *термистор*, опір якого з ростом температури падає, та *позистор*, у якого опір із підвищенням температури зростає. Конструкції термисторів показані на мал. 1.8, а-б. Матеріалом для виготовлення термисторів служать звичайно напівпровідники з електронною електропровідністю, як правило, оксиди металів та суміші оксидів. Конструктивно термистори оформляють у вигляді бусин, шайб, дисків. У

ряді випадків термистори розміщують у скляні балони і підігрівають струмом за допомогою спеціальної обв'язки. Такий термистор називають *термистором непрямого підігріву*.

Температурна характеристика виражає залежність опору терморезистора від температури (мал. 1.9). Для різних напівпровідників характер цієї залежності різний, проте для більшості напівпровідників у широкому інтервалі температур електричний опір термистора може бути виражено експоненціальним законом

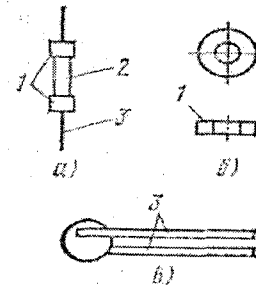
$$R_t = K e^{\beta/T}, \quad (1.2)$$

де K – коефіцієнт, що залежить від конструктивних розмірів термистора; β – коефіцієнт, що залежить від концентрації домішок у напівпровіднику; T – абсолютна температура.

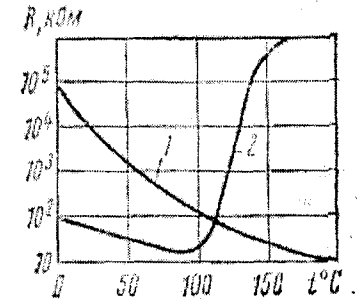
Основним параметром, що характеризує роботу терморезистора, є *температурний коефіцієнт опору*, який виражає відсоткову зміну опору терморезистора при зміні температури.

$$\alpha = \frac{1}{R_T} \frac{dR_T}{dT} 100, \quad (1.3)$$

Для промислових термисторів $\alpha = -0,3 \div -0,66$. Термистор не має вентильних властивостей і має порівняно велику теплову інерцію.

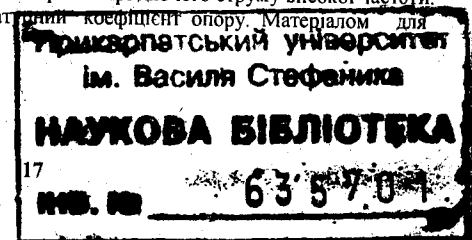


Мал. 1.8 Конструкція термисторів:
а – циліндрична; б – дискова;
в – кільцева (1 – напівпровідник;
2 – контакти; 3 – виводи)



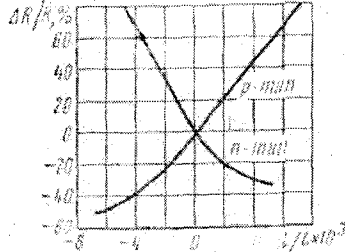
Мал. 1.9. Температурні характеристики терморезисторів:
1 – термистора; 2 – позистора

Тому в електричних ланцюгах термистори поведуться як звичайні резистори, опір яких залежить від температури навколишнього середовища та діючого струму, причому для високих частот (100-500 МГц) не виявляється паразитна ємність та власна індуктивність термисторів. Ця властивість використовується при вимірі діючого струму високої частоти. Позистор має позитивний температурний коефіцієнт опору. Матеріалом для



виготовлення термисторів слугує титанат-барієва кераміка з добавкою рідкоземельних елементів. Цей матеріал володіє аномальною температурною залежністю: при підвищенні температури вище точки Кюрі його опір зростає на декілька порядків. Конструктивно позистори оформляють аналогічно термисторам. Залежність опору позистора від температури показана на мал. 1.9 (крива 2). Температурний коефіцієнт опору терморезистора $\alpha=10...50$ поблизу точки Кюрі.

Терморезистори застосовують у системах регулювання температури, теплового захисту, протипожежної сигналізації. Термистори можна використовувати при вимірі температури в широкому діапазоні, позистори – в обмежених температурних діапазонах.



Мал.1.10. Деформаційна характеристика тензорезистора

Фоторезистор – напівпровідниковий резистор, опір якого залежить від освітленості.

Конструкція та характеристики фоторезисторів докладно розглянуті в § 1.9.

Тензорезистор – напівпровідниковий резистор, у якому використовується залежність електричного опору від механічних деформацій.

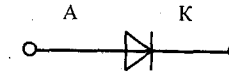
Для виготовлення тензорезисторів частіше всього застосовують кремній з електропровідністю як р-типу, так і n-типу. Заготовки такого кремнію ріжуть на дрібні пластинки, шліфують для одержання гладкої поверхні з малою кількістю дефектів. До кінців пластинок приварюють контакти.

Важливою характеристикою тензорезистора є його *деформаційна характеристика* (мал. 1.10), що являє собою залежність відносної зміни опору $\Delta R/R$ від відносної деформації $\Delta l/l$, де l - довжина робочого тіла тензорезистора. Основними параметрами тензорезистора є номінальний опір $R_{ном}=100-500$ Ом та коефіцієнт тензочутливості

$K = \frac{\Delta R/R}{\Delta l/l}$, значення якого для різноманітних тензорезисторів лежить у межах від -150 до +150.

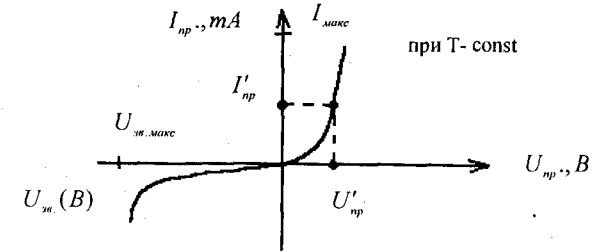
§ 1.4. ХАРАКТЕРИСТИКИ ТА ПАРАМЕТРИ ДІОДІВ

Діоди – напівпровідники, що пропускають струм в одному напрямку. Виводи діода називають анодом А та катодом К. На мал. 1.11 показане умовне позначення діода. Якщо прикладена позитивна напруга $U_{np} > 0$, то діод працює в прямому напрямку. З від'ємною напругою $U_{np} < 0$ діод закритий. Зворотний струм завжди на декілька порядків менший, ніж прямий.



Мал. 1.11. Умове позначення діода

Режим роботи діода визначається його характеристикою $I = F(U_{AK})$. Типова характеристика діода подана на мал. 1.12. Прямий струм різко зростає при малих позитивних напругах U_{np} . Проте він не повинен перевищувати певного максимального значення $I_{макс}$, тому що інакше відбудеться перегрів, і діод вийде з ладу. Наближено хід характеристики може бути описаний значеннями прямої напруги U_{np} при струмах порядку $0.1 I_{макс}$. Для германію U_{np} знаходиться в межах від 0,2 до 0,4 В, для кремнію – від 0,5 до 0,8 В.



Мал.1.12. Характеристика діода

З мал. 1.12 видно, що зворотний струм при напругах $|U_{np}| > U_{ст.макс}$ зростає до значень, сумірних із прямим струмом. Звичайні діоди тут не можуть працювати, тому що в них відбувається локальний перегрів, що призводить до виходу їх із ладу. Максимальна зворотна напруга визначається конструкцією діода і знаходиться в межах 10В-10кВ.

Характеристику діода можна апроксимувати за допомогою експоненціальної функції.

$$I = I_{ст}(T)(e^{U_{np}/mU_T} - 1), \quad (1.4)$$

де $I_{ст}$ – теоретичний зворотний струм, $U_T = kT/e_0$ - термічний потенціал. При кімнатній температурі

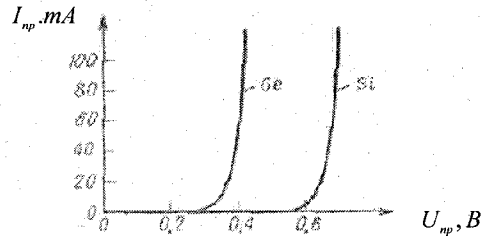
$$U_T = \frac{kT}{e_0} = \frac{1,38 \cdot 10^{-23} \text{ Дж/К} \cdot 296\text{К}}{1,60 \cdot 10^{-19} \text{ кулон}} = 25,5\text{мВ} \quad (1.5)$$

Поправний коефіцієнт m знаходиться в межах 1 ± 2 .

Рівняння (1.4) описує характеристику реального діода лише в *прямому напрямку* та для невеликих струмів. Реальний зворотний струм діода значно більший, ніж $I_{ст}$, а зворотну напругу необхідно визначати на підставі поверхневого ефекту.

На мал. 1.13 показані характеристики, розраховані відповідно до формули (1.4) для кремнієвого та германієвого діодів із такими типовими даними:

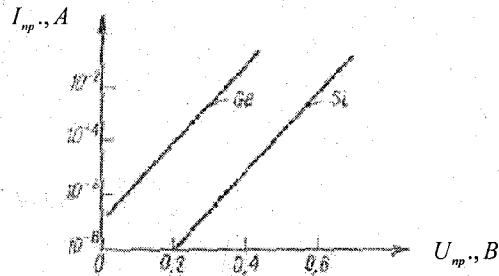
германісвий діод: $I_m = 100 \text{ нА}$, $mU_T = 30 \text{ мВ}$, $I_{\text{МАКС}} = 100 \text{ мА}$,



Мал. 1.13. Характеристика діода в лінійному масштабі

кремнієвий діод: $I_m = 10 \text{ пА}$, $mU_T = 30 \text{ мВ}$, $I_{\text{МАКС}} = 100 \text{ мА}$. Для прямої напруги при струмові $1/10 I_{\text{МАКС}}$ значення напруги складуть відповідно 0,35 та 0,62 В, що добре узгоджується з експериментальними даними.

Величина U'_{np} на мал.1.12 часто визначається як пряма напруга діода в точці перегину прямої гілки характеристики. Але в дійсності перегин прямої гілки характеристики є надуманий, що підтверджується при розгляді цієї характеристики в напівлогарифмічному масштабі (мал. 1.14). Перегин з'являється внаслідок лінійного масштабу представлення експоненціальної функції. Тому його положення цілком залежить від цього масштабу.



Мал. 1.14. Характеристики діода у напівлогарифмічному масштабі

За допомогою формули (1.4) нескладно розрахувати, що пряма напруга досягає значень $mU_T \ln 10 = 60\text{-}120 \text{ мВ}$ із зростанням прямого струму в 10 разів. Оскільки U_T та I_s

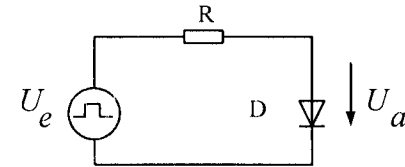
залежать від температури, то пряма напруга для фіксованого значення струму також залежить від температури. Ця залежність описується наближеним співвідношенням

$$\frac{\partial U_{np}}{\partial T} \Big|_{I_{np}=\text{const}} \approx -\frac{2mV}{K} \quad (1.6)$$

Пропорційне зменшення прямої напруги з температурою при постійній величині струму означає, що із збільшенням температури струм зростає за експоненціальним законом, якщо прикладена напруга постійна.

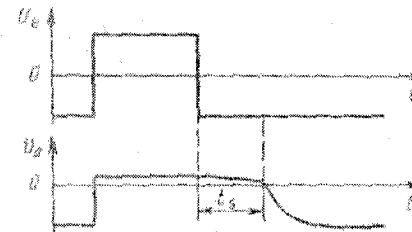
Експоненціальну температурну залежність має і зворотний струм. Він подвоюється при збільшенні температури на 100К. З досягненням температури 100 К зворотний струм відповідно зростає в тисячу разів.

Динамічний режим. Перемикання діода з провідного стану в закритий відбувається немиттєво, тому що при цьому р-п-перехід повинен звільнитися від накопиченого заряду. Ефект накопичення заряду можна пояснити на схемі простого випрямляча, зображений на мал. 1.15. У якості вхідної напруги використовується подана на мал. 1.16 напруга прямокутної форми.



Мал. 1.15. Схема експериментального визначення часу накопичення

Коли вхідна напруга U_e позитивна, діод відкривається і вихідна напруга дорівнює прямій напрузі на діоді. Коли U_e від'ємна,



Мал. 1.16. Вплив часу накопичення на вихідну напругу

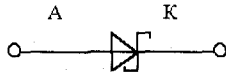
діод закривається і $U_a = U_c$. З мал. 1.16 видно, що це відбувається після закінчення

часу накопичення t_s , що тим більший, чим більший прямий струм р-п-переходу. Звичайно значення часу накопичення для малопотужних діодів складає 10-100 нс. Для потужних діодів ця величина знаходиться в діапазоні мікросекунд.

З мал. 1.16 видно, що період коливань вхідної напруги повинен бути більшим від часу накопичення, у протилежному випадку губляться випрямні властивості діода.

Для зменшення часу перемикання можна використовувати діоди Шотткі. Ці діоди мають перехід метал – напівпровідник, що теж має випрямний ефект. Накопичення заряду в переході цього типу дуже мале. Тому час перемикання може бути зменшений до значень порядку 100 пс. Іншою особливістю цих діодів є мала (U_c у порівнянні зі звичайними кремнієвими діодами) пряма напруга, що складає біля 0,3 В.

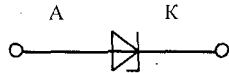
Умовне позначення діода Шотткі показано на мал. 1.17.



Мал. 1.17. Умовні позначення діода Шотткі

§ 1.4.1 СТАБІЛІТРОНИ

У діодах звичайного типу зворотний струм істотно зростає з перевищенням максимальної зворотної напруги. Зворотна гілка характеристики стабілітрона має крутий злам, зумовлений різким ростом струму. Цей злам відповідає напрузі стабілізації U_c . На мал. 1.18 показано умовне позначення стабілітрона, а на мал. 1.19 наведена його характеристика.

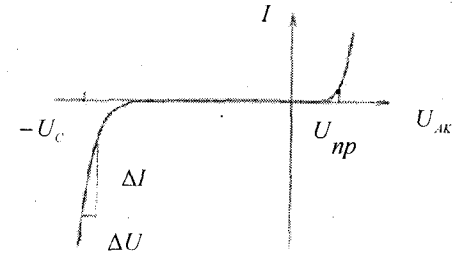


Мал. 1.18. Умовне позначення стабілітрона

Стабілітрони забезпечують діапазон напруг стабілізації 3-200 В; їхня пряма напруга складає $\sim 0,6$ В. Як видно з мал. 1.19, зворотний опір діода при малих зворотних напругах $|U_{ак}| < U_c$ великий. З досягненням напруги стабілізації зворотний струм різко зростає. Ефект стабілізації оснований на тому, що велика зміна струму ΔI викликає малу зміну напруги ΔU . Стабілізація тим краща, чим крутіше йде крива і відповідно чим менший диференційний внутрішній опір $r_{оп} = \Delta U / \Delta I$. Стабілітрони з $U_c \approx 8$ В мають найменший диференційний внутрішній опір; із зменшенням U_c цей опір зростає. Таким чином, стабілізуючий ефект при малих U_c виявляється меншим.

Для напруг U_c нижче 5,7 В переважає пробій Зенера з негативним температурним коефіцієнтом напруги, вище – лавинний пробій із позитивним температурним коефіцієнтом. Температурний коефіцієнт напруги стабілізації складає приблизно $\pm 0,1\%$ на кожний градус.

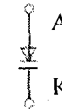
t_s – час відновлення зворотного опору діода



Мал. 1.19. Характеристика стабілітрона

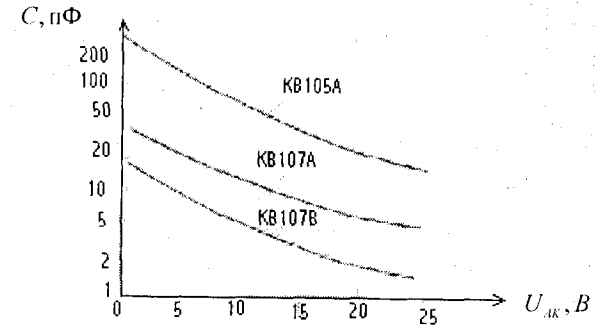
§ 1.4.2 ВАРІКАПИ

Ємність р-п- переходу діода зі збільшенням зворотної напруги зменщується. На мал. 1.20 показано умовне позначення варікапа, а на мал. 1.21 подані графіки залежності ємності від напруги.



Мал. 1.20. Умовне позначення варікапа

Максимальна ємність варікапа в залежності від його типу складає 5-300 пФ. Відношення мінімальної та максимальної ємностей дорівнює 1:5. Завдяки достатньо високій добротності варікапи використовуються для побудови коливальних контурів із керованою напругою резонансною частотою в сфері надвисоких частот.



Мал. 1.21. Залежність ємності р-п-переходу від напруги

§ 1.4.3 Тунельні діоди

Тунельний діод – напівпровідниковий діод, побудований на основі виродження напівпровідника, в якому тунельний ефект призводить до появи на вольт – амперних характеристиках при прямій напрузі ділянки з від’ємною диференціальною електричною провідністю (крива 1 на мал. 1.22).

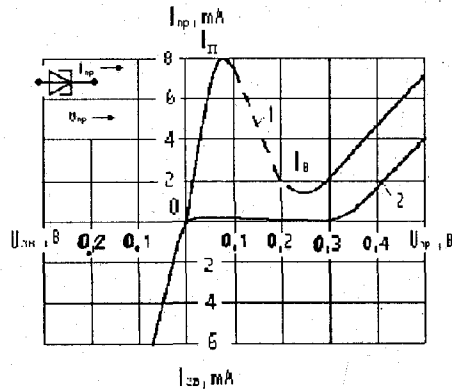
Матеріалом для тунельних діодів є сильнoleгований германій або арсенід галію.

Основними параметрами тунельного діода є струм піку I_{Π} (мал. 1.22, крива 1) та відношення струму піку до струму впадини I_{Π} / I_B . Для діодів, що виготовляються, $I_{\Pi} = 0,1 \div 1000 \text{ mA}$ та $I_{\Pi} / I_B = 5 \div 20$.

Тунельні діоди є швидкодіючими напівпровідниковими приладами та використовуються в генераторах високочастотних коливань та імпульсних перемикачах.

Обернений діод – діод, побудований на основі напівпровідника з критичною концентрацією домішок, в якому електрична провідність при зворотній напрузі внаслідок тунельного ефекту значно більша, ніж при прямій напрузі.

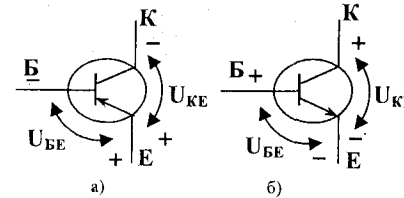
Обернені діоди – являють собою різновид тунельних діодів, у яких струм піку $I_{\Pi} = 0$ (мал. 1.22, крива 2). Якщо до оберненого діода прикласти пряму напругу $U_{пр} \leq 0,3\text{B}$, струм діода $I_{пр} \approx 0$. Тоді навіть при невеликій зворотній напрузі (біля десятків мілівольт) зворотний струм досягає декількох міліампер. Таким чином обернені діоди володіють вентильними властивостями при малих напругах якраз в тій ділянці, де випрямні діоди звичайно вентильними властивостями не володіють. При цьому напрямком найбільшої провідності є напрямок, який відповідає зворотному струму.



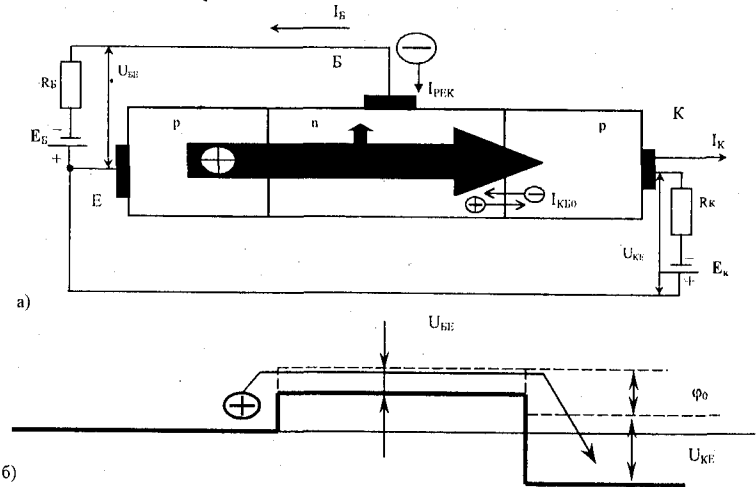
Мал. 1.22. Вольт – амперна характеристика тунельного (1) та оберненого (2) діодів

§ 1.5 Біполярні транзистори

Керування струмом та підсилення сигналів в схемах напівпровідників електроніки здійснюють за допомогою транзисторів. Біполярний транзистор являє собою кристал напівпровідника, який складається з трьох прошарків з різною провідністю і вмонтованими трьома выводами (электродами) для вмикання до зовнішнього ланцюга. Оскільки в наш час біполярні транзистори є найбільш розповсюдженим видом транзисторів, то їх часто називають просто транзисторами, опускаючи термін “біполярний”.



Мал. 1.23. Схемні зображення транзисторів (а) – p-n-p-типу; (б) – n-p-n-типу



Мал. 1.24. Розподілення струмів (а) та потенціалів (б) у транзисторі p-n-p – типу.

На мал. 1.23, а та б показано схемне позначення двох типів транзисторів, p-n-p-типу з прошарками p, n та p та n-p-n-типу з прошарками n, p, n. Крайні прошарки називають емітером (Е) та колектором (К), між ними знаходиться база (Б). Тришарова структура має два електронно-діркових переходи: емітерний перехід між емітером та базою та колекторний перехід між базою та колектором. В якості початкового матеріалу транзисторів використовують германій або кремній.

При виготовленні транзистора обов’язково повинні бути виконані дві умови:

- товщина бази (відстань між емітерним та колекторним переходами) повинна бути малою по відношенню до довжини вільного пробігу носіїв заряду.
- концентрація домішок (та основних носіїв) заряду в емітері повинна бути значно

більша ніж у базі ($N_A \gg N_D$ в $p-n-p$ транзисторі).

Розглянемо принцип дії $p-n-p$ транзистора.

Транзистор вмикують послідовно з опором навантаження R_K в ланцюг джерела колекторної напруги E_K . На вхід транзистора подається керуюча ЕРС E_B , як показано на мал. 1.24, а. Таке вмикання транзистора, коли вхідний (E_B, R_B) та вихідний (E_K, R_K) ланцюги мають загальну точку – емітер, є найбільш розповсюдженим і називається вмиканням із загальним емітером (ЗЕ).

При відсутності напруги ($E_B = 0, E_K = 0$) емітерний та колекторний переходи знаходяться в стані рівноваги, струми через них рівні нулю. Обидва переходи мають подвійний електричний прошарок, який складається з іонів домішок, і потенціальний бар'єр ϕ_0 , різний на кожному із переходів. Розподілення потенціалів у транзисторі при відсутності напруги показано на мал. 1.24, б штриховою лінією.

Полярність зовнішніх джерел E_B та E_K вибирається такою, щоб на емітерному переході була пряма напруга (мінус джерела E_B поданий на базу, плюс – на емітер), а на колекторному переході – зворотна напруга (мінус джерела E_K – на колектор, плюс – на емітер), причому напруга $|U_{KE}| > |U_{BE}|$ (напруга на колекторному переході $U_{KE} = U_{KE} - U_{BE}$). При такому вмиканні джерел E_B та E_K розподілення потенціалів у транзисторі має вигляд, показаний на мал. 1.24, б суцільною лінією. Потенціальний бар'єр емітерного переходу, зміщеного в прямому напрямку, знижується, на колекторному переході потенціальний бар'єр збільшується.

Внаслідок прикладання до емітерного переходу прямої напруги починається підсилена дифузія (інжекція) дірок з емітера в базу. Елементарною складовою дифузійного струму через емітерний перехід можна знехтувати, так як $p_p \gg n_n$, оскільки вище обговорювалася умова $N_A \gg N_D$. Таким чином, струм емітера $I_e \approx I_{e \text{ диф. р.}}$. Під впливом сил дифузії внаслідок перепаду концентрації вздовж бази дірки пересуваються від емітера до колектора. Оскільки база в транзисторі виконується тонкою, основна частина дірок, інжектованих емітером, досягає колекторного переходу, не попадаючи в центри рекомбінації. Ці дірки охоплюються полем колекторного переходу, зміщеного в зворотному напрямку, так як це поле є прискорюючим для неосновних носіїв – дірок у базі p -типу. Струм дірок, що попали в емітера в колектор, замикається через зовнішній ланцюг, джерела E_K . Із збільшенням струму емітера на величину ΔI_e струм колектора підвищиться на $\Delta I_k = \alpha \Delta I_e$. Внаслідок малої ймовірності рекомбінації в тонкій базі коефіцієнт передавання струму емітера $\alpha = \Delta I_k / \Delta I_e = 0.9 \div 0.99$.

Невелика частина дірок, інжектованих емітером, попадає в центри рекомбінації і зникає, рекомбінуючись з електронами. Заряд цих дірок залишається в базі, і для оновлення зарядної нейтральної бази із зовнішнього ланцюга за рахунок джерела E_B в базу поступають електрони. Тому струм бази являє собою струм рекомбінації $I_{рек} = I_e (1 - \alpha)$.

Окрім вказаних основних складових струму транзистора потрібно врахувати можливість переходу неосновних носіїв, які виникають у базі та колекторі внаслідок генерації носіїв, через колекторний перехід, до якого прикладена зворотна напруга. Цей малий струм (перехід дірок з бази в колектор та електронів з колектора в базу) аналогічний зворотному струму $p-n$ переходу, він також називається зворотним струмом колекторного переходу або тепловим струмом і позначається $I_{КБО}$ (мал. 1.24, а).

Таким чином, повний колекторний струм, який визначається рухом всіх носіїв через колекторний перехід, рівний

$$I_k = \alpha I_e + I_{КБО}. \quad (1.7)$$

Із закону Кірхгофа для струмів ($I_B = I_E - I_K$) та формули (1.7) випливає

$$I_B = (1 - \alpha) I_E - I_{КБО}. \quad (1.8)$$

Вирази (1.7), (1.8) показують, що струми в транзисторі зв'язані лінійними співвідношеннями.

Перетворимо (1.7) так, щоб виявити залежність колекторного струму від струму бази. Для цього з виразу (1.8) одержимо

$$I_E = (I_B + I_{КБО}) / (1 - \alpha),$$

і підставимо це значення I_E у формулу (1.7):

$$I_k = \frac{\alpha}{1 - \alpha} \times I_B + \frac{\alpha}{1 - \alpha} \times I_{КБО} + I_{КБО}$$

Значимо коефіцієнт струму бази $\beta = \Delta I_k / \Delta I_B = \alpha / (1 - \alpha)$, а струм $I_{КБО}(1 + \beta)$ позначимо $I_{КБО}$. Тоді

$$I_k = \beta I_B + (\beta + 1) I_{КБО} = \beta I_B + I_{КБО}. \quad (1.9)$$

Якщо врахувати те, що $I_{КБО}$ малий та $\Delta I_k / \Delta I_B \approx I_k / I_B$, залежність струму колектора від струму бази може бути записана у вигляді:

$$I_k = h_{21E} I_B, \quad (1.9, a)$$

де $h_{21E} \approx \beta$ – статичний коефіцієнт передавання струму транзистора, (модуль цієї величини), який наводиться в довідниках.

Транзистор являє собою триполюсник, тому джерело вхідного сигналу і навантаження можуть бути увімкнені до нього по-різному. У найбільш розповсюдженому вмиканні за схемою із загальним емітером (мал. 1.24) джерелом вхідної напруги $U_{BE} \in E_B$, вхідним струмом базовий струм I_B . Навантаження вмикається в колекторне коло. Емітер є загальною точкою для вхідного та вихідного ланцюга. Змінюючи малий струм бази (вхідний струм) на значення ΔI_B , змінюємо вихідний струм I_k згідно з формулою (1.9). При цьому змінюється струм та падіння напруги на навантаженні на значення $\Delta I_k R_K$, змінюється потужність, яка виділяється на опорі R_K . Таким чином, при зміні малого струму I_B в ланцюзі джерела малої напруги E_B змінюється віддача потужності E_K на опір R_K , причому $\Delta I_k \gg \Delta I_B$, $\Delta I_k R_K \gg U_{BE}$.

Із вмиканням транзистора за схемою із загальною базою (ЗБ) вхідним струмом є струм емітера, через навантаження протікає струм колектора, причому $I_k < I_e$, таким чином вихідний струм менший від вхідного. Змінюючи малу напругу на емітерному переході, можна змінити струм у ланцюзі джерела E_K і дістати приріст напруги на навантаженні, $\Delta I_k R_K \gg U_{BE}$, а це означає підсилити сигнал по напрузі. Відсутність підсилення по струму є недоліком вмикання з ЗБ, через який ця схема використовується в приладах промислової електроніки дуже рідко і в даному курсі не розглядається.

Принцип дії транзистора $n-p-n$ -типу аналогічний, тільки напрямок струмів, знаки носіїв заряду та полярність прикладених напруг протилежна до тих, які мають місце в розглянутому $p-n-p$ транзисторі (див. мал. 1.23, а, б).

§1.5.1. Характеристики та параметри біполярних транзисторів

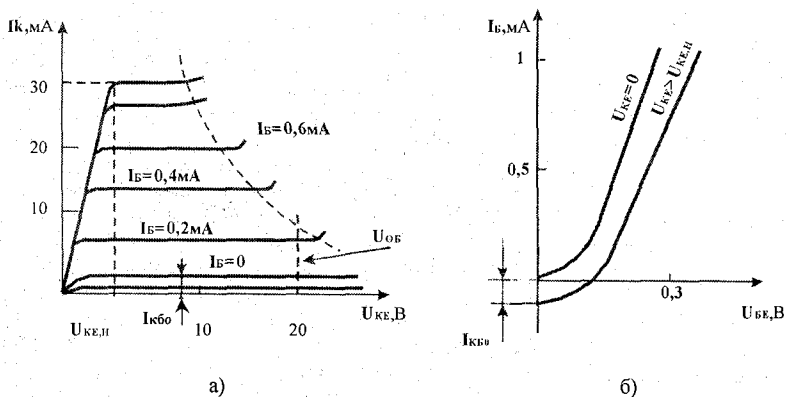
Для використання транзисторів необхідно мати відомості про них у вигляді характеристик та параметрів, які дають змогу правильно вибирати транзистор і визначати режими його роботи.

Транзистор за схемою із ЗЕ описується сімействами вхідних та вихідних характеристик.

Вихідною або колекторною вольт-амперною характеристикою (ВАХ) транзистора називається залежність колекторного струму від напруги між колектором та емітером $I_K = f(U_{KE})$, знята при постійному струмі бази $I_B = \text{const}$. Для зняття цієї характеристики можна використати схему мал.1.24 при підтримці постійності I_B . Сімейство вихідних ВАХ транзистора наведено на мал.1.25,а. Залежність $I_K(U_{KE})$, як бачимо з малюнка, є нелінійною і може бути розбита на ряд ділянок.

На більшій частині характеристик з $U_{KE} \geq U_{KE,n}$ струм колектора майже не залежить від напруги U_{KE} (полога ділянка характеристики). На цій ділянці транзистор працює в режимі, розглянутому у § 1.5, коли на емітерному переході діє пряма напруга, а на колекторному – зворотна.

Струм колектора описується залежністю (1.9). На пологій ділянці вихідних характеристик транзистор може характеризуватися як прилад із властивостями керованого джерела струму, тобто джерела струму I_K , значення якого можна змінювати шляхом зміни струму I_B .



Мал.1.25. Вихідні (а) та вхідні (б) характеристики біполярного транзистора

Для зміни вхідного струму бази, наприклад, для його збільшення, збільшують напругу джерела E_B , при цьому збільшується пряма напруга на емітерному переході й інжекція носіїв із емітера в базу та струм емітера I_E збільшується на значення ΔI_E . Збільшення струму бази зумовлено збільшенням рекомбінації частини дірок у тонкій базі $\Delta I_B = \Delta I_{REK} = \Delta I_E(1-\alpha)$. Основна частина приросту емітерного струму $\alpha \Delta I_E$ викликає приріст струму колектора $\Delta I_K = \alpha \Delta I_E = \beta \Delta I_B$. Величина β у різноманітних типах транзисторів лежить у діапазоні від 10 до 100.

Невеличкий нахил пологої ділянки вихідної характеристики зумовлений тим, що при збільшенні напруги U_{KE} збільшується напруга на колекторному переході та розширюється подвійний електричний прошарок колекторного переходу, що призводить до зменшення

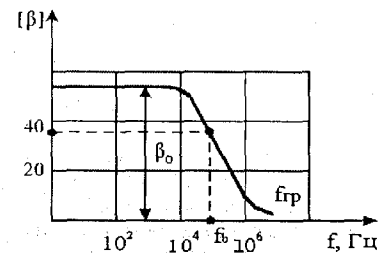
товщини бази. У більш тонкій базі менша ймовірність рекомбінації, тому значення коефіцієнтів передавання струму α та β дещо збільшуються. Із виразу (1.9) видно, що при збільшенні β зростає колекторний струм.

Перейдемо до розгляду крутої ділянки вихідних характеристик транзистора. Із зменшенням U_{KE} зменшується напруга на колекторному переході U_{KB} , і при $U_{KE} = U_{KE,n} = U_{BE}$ напруга $U_{KB} = U_{KE} - U_{BE}$ змінює свій знак. Із подальшим зменшенням U_{KE} до нуля до колекторного переходу прикладена пряма напруга. Назустріч струмові дірок з емітера в колектор починається протилежне прямування основних носіїв (дірок) із колектора в базу. У результаті колекторний струм при такому зменшенні U_{KE} різко падає. Крута ділянка вихідних характеристик транзистора характеризується втратою транзистором властивостей підсилювального елемента, ця частина характеристик використовується в імпульсній техніці при реалізації ключового режиму транзистора. Напруга, що відтинає круту ділянку на вихідних характеристиках транзистора, $U_{KE,n} = 0,2 \div 1$ В.

Різде збільшення струму I_K у транзисторах при значних напругах U_{KE} викликано, як і в діодах, лавинним розмноженням носіїв у колекторному переході, тобто явищем електричного пробоя цього переходу. Для запобігання незворотного пробоя транзистора обмежується напруга на колекторі та потужність, що розсіюється на колекторному переході (на мал. 1.25,а показані обмеження робочої ділянки характеристик $U_{об}$). Гранічні значення струму колектора, при перевищенні яких зменшується коефіцієнт β , наводяться в довідниках.

Перейдемо до розгляду вхідних характеристик транзистора - залежностей струму бази від напруги між базою та емітером: $I_B = f(U_{BE})$ при постійній напрузі U_{KE} . З $U_{KE} = 0$ обидва переходи в транзисторі працюють при прямій напрузі, струми колектора й емітера додаються у базу. Вхідна характеристика в цьому режимі являє собою ВАХ двох p-n переходів, увімкнених паралельно (мал. 1.25, б).

При $U_{KE} > U_{KE,n}$ на колекторному переході з'являється зворотна напруга, на емітерному – зберігається пряма. Цей режим докладно розглянутий у § 1.5. Струм бази в цьому режимі, зумовлений процесом рекомбінації неосновних носіїв у базі, дорівнює різниці емітерного та колекторного струмів, він описується виразом (1.8). Вхідна характеристика транзистора мал. 1.25,б у цьому режимі будуватиметься по прямій гілці ВАХ емітерного переходу, але значення струму зменшуються на коефіцієнт $(1-\alpha)$, який показує, що струм бази – це лише рекомбінаційна складова емітерного струму.



Мал.1.26. Залежність модуля коефіцієнта передавання від частоти

Струми в транзисторі сильно залежать від температури навколишнього середовища, що є загальним недоліком напівпровідникових приладів. Розглянемо залежність струму колектора від температури при постійному вхідному струмі бази. У виразі (1.9) входять члени, що залежать від температури. По-перше, із зростанням температури росте струм I_{KB0}

(значення його подвоюється через кожні $8-10^\circ\text{C}$), тому що збільшується концентрація неосновних носіїв у прошарках. По-друге, коефіцієнт передавання струму бази β із збільшенням температури також збільшується. Це пояснюється тим, що з підвищенням температури центри рекомбінації (дефекти кристалічної решітки) поступово заповнюються і можливість рекомбінації носіїв у базі падає, при цьому збільшуються коефіцієнти передавання струму в транзисторі α і, отже, $\beta = \alpha / (1 - \alpha)$. При нагріванні на $20-30^\circ\text{C}$ I_K може змінюватися на десятки відсотків.

Коефіцієнти передавання струмів транзистора α та β залежать від частоти. Це пов'язано з інерційністю процесів, що відбуваються в транзисторі з проходженням носіїв заряду через базовий прошарок, і зміною концентрації носіїв у базі при дифузії неосновних носіїв до колектора. За рахунок інерційності цих процесів природи вихідного струму запізнюються по фазі відносно приростів вхідного струму. При високій частоті проходження імпульсів за час імпульсу струм колектора не встигає дорости до максимального значення і з ростом частоти амплітуда імпульсів падає. Для математичного опису цих явищ коефіцієнт β подають у вигляді комплексної величини, що залежить від частоти (мал. 1.26):

$$\underline{\beta} = \frac{\beta_0}{1 + \frac{if}{f_\beta}} \quad (1.10)$$

де β_0 - значення коефіцієнта β в сфері низьких та середніх частот; f_β - частота, на якій модуль коефіцієнта $|\beta| = \beta_0 / \sqrt{2}$.

У довідниках наводиться *гранична частота коефіцієнта передавання струму $f_{\beta p}$* , для якої $|\beta| = 1$. Підставимо $f = f_{\beta p}$ у вираз (1.10) знайдемо модуль $|\beta|$, з врахуванням того, що $f_{\beta p} / f_\beta \gg 1$.

Одержимо

$$f_{\beta p} = \beta_0 f_\beta \quad (1.11)$$

За величиною $f_{\beta p}$ можна приблизно судити про робочу сферу частот підсилювача, виконаного на транзисторах. У сучасних транзисторах $f_{\beta p}$ складає $10^6 \div 10^7$ Гц. Якщо потрібно підсилувати сигнали при $f > f_{\beta p}$, застосовується вмикання транзистора із загальною базою, підсилення при цьому можливе до частоти $f_{\beta p}$.

§1.6. Складені біполярні транзистори

Якщо підсилення транзистора по струму недостатнє, то можна використовувати схему складеного транзистора (схема Дарлінгтона). Ця схема в класичному варіанті містить два транзистори, з'єднані колектори яких являють собою загальний колектор складеного транзистора, а до бази другого транзистора під'єднаний емітер першого. При цьому база першого та емітер другого транзисторів являються відповідно загальною базою та загальним емітером складеного транзистора. На мал. 1.27, а показаний складений транзистор за схемою увімкнення з ЗЕ, а на мал. 1.27, б - його еквівалентна схема.

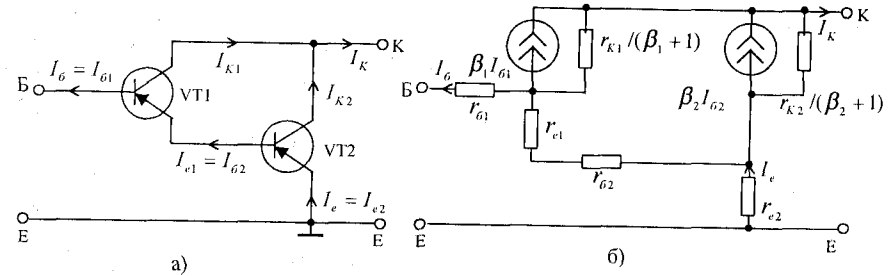
Так як $dI_{K1} = \beta_1 dI_{\delta 1}$ та $dI_{K2} = \beta_2 dI_{\delta 2} = \beta_2 dI_{\delta 1} = \beta_2 (\beta_1 + 1) dI_{\delta 1}$, то $dI_K = dI_{K1} + dI_{K2} = \beta_1 dI_{\delta 1} + \beta_2 (\beta_1 + 1) dI_{\delta 1}$. Враховуючи також, що $dI_{\delta 1} = dI_\delta$, коефіцієнт передавання струму бази складеного транзистора можливо одержати у вигляді

$$\beta = dI_K / dI_\delta = \beta_1 + \beta_2 + \beta_1 \beta_2 = (\beta_1 + 1)(\beta_2 + 1) - 1. \quad (1.12)$$

Оскільки звичайно виконуються нерівності $\beta_1 \gg 1$ та $\beta_2 \gg 1$, то

$$\beta \approx \beta_1 \beta_2. \quad (1.13)$$

Підсилення за струмом складеного транзистора найбільш відповідає формулі (1.13), якщо номінальний вхідний струм транзистора VT2 дорівнює номінальному вихідному струму транзистора VT1. Тому транзистор VT2 слід вибирати більш потужним. Інші параметри складеного транзистора можна визначити з його еквівалентної схеми.



Мал. 1.27. Схеми складеного транзистора: а - принципова; б - еквівалентна

Опір бази r_δ складеного транзистора дорівнює опорі бази транзистора VT1:

$$r_\delta = r_{\delta 1}. \quad (1.14)$$

Опір емітера r_e визначається за формулою

$$r_e = r_{e2} + [(r_{e1} + r_{\delta 2}) / (\beta_2 + 1)]. \quad (1.15)$$

Величина колекторного опору r_k складеного транзистора менша, ніж для одного транзистора, а саме

$$r_k \approx [r_{k2} / (\beta_2 + 1)] / 2 \approx [r_{k1} / (\beta_1 + 1)] / 2(\beta_2 + 1). \quad (1.16)$$

Схеми, в яких використовують складені транзистори, крім поліпшених підсилювальних властивостей як по струму, так і по напрузі, володіють також більшим вхідним та меншим вихідним опорами порівняно зі схемами на одинарних транзисторах. Отже, такі схеми менш термостабільні, так як зворотній колекторний струм у складеному транзисторі перевищує тепловий струм його окремих компонентів.

$$I_{K0c}^* = I_{K02}^* + (\beta_2 + 1) I_{K01}^* \quad (1.17)$$

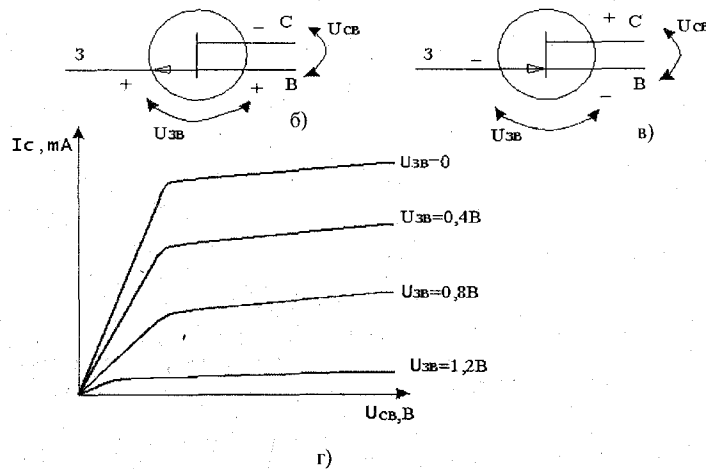
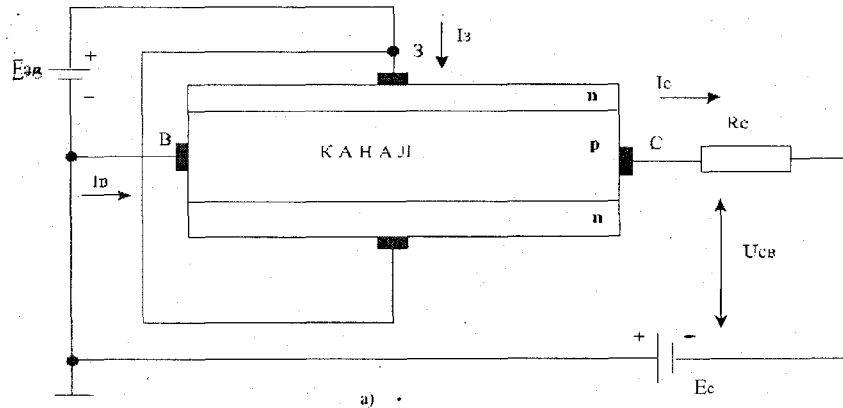
Параметри складеного транзистора для інших схем вмикання розраховуються звичайно. Частотні властивості всіх схем вмикання складеного транзистора визначаються частотними властивостями його окремих компонентів. На практиці використовуються також складені транзистори, які містять більше двох окремих.

§1.7. Польові транзистори

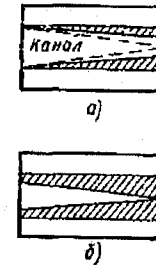
Біполярні транзистори, розглянуті в § 1.5, знайшли надзвичайно широке застосування в різноманітних галузях електронної техніки. Проте в ряді випадків їхнє використання утруднене, тому що ці прилади керуються струмом, тобто споживають помітну потужність від вхідного кола.

Це перешкоджає їхньому використанню з увімкненням до малопотужних джерел вхідного сигналу. Цього недоліку позбавлені *польові транзистори* – напівпровідникові прилади, що практично не споживають струму із вхідного ланцюга.

Польові транзистори діляться на два типи, що відрізняються один від одного принципом дії: а) із р-п переходом; б) МДН - типу ("метал – діелектрик – напівпровідник").



Мал.1.28. Структура (а), схемні позначення ((б) – канал р - типу, (в) – канал n - типу) та стікові характеристики (г) польового транзистора з р-п переходом



Мал.1.29. Звуження каналу польового транзистора з подаванням напруг

§1.7.1. Польові транзистори з р-п переходом

Такі транзистори мають структуру, розріз якої наведений на мал. 1.28,а. Прошарок із провідністю р-типу називається *каналом*, він має два виводи в зовнішній ланцюг: С - *стік* та В - *виток*. Прошарки з провідністю типу n, що оточують канал, сполучені між собою і мають вивід у зовнішній ланцюг, названий *засувом* 3. Підключення джерел напруги до приладу показане на мал. 1.28, а, а на мал. 1.28,б показане схемне зазначення польового транзистора з р-п переходом та каналом р-типу. Існують також польові транзистори з каналом n-типу, їхнє позначення наведено на мал. 1.28,в, принцип дії аналогічний, але напрямки струму і полярність прикладених напруг протилежні.

Розглянемо принцип дії польового транзистора з каналом р-типу. На мал. 1.28,г наведено сімейство стікових (вихідних) характеристик цього приладу $I_{С} = f(U_{СВ})$ при $U_{ДЗ} = \text{const}$.

При керуючій напрузі $U_{СВ} = 0$ та вмиканні джерела напруги між стіком та витком $U_{СВ}$ по каналу тече струм, що залежить від опору каналу. Напруга $U_{СЗ}$ рівномірно прикладена по довжині каналу, ця напруга викликає зворотне зміщення р-п переходу між каналом р-типу та n-прошарком, причому найбільша зворотна напруга на р-п переході існує в ділянці, що прилягає до стіку, а поблизу витку р-п перехід знаходиться в стані рівноваги. Із збільшенням напруги $U_{СВ}$ ділянка подвійного електричного прошарку р-п переходу, збіднена рухливими носіями заряду, буде розширюватися, як показано на мал. 1.29, а. Особливо сильно розширення переходу виявляється поблизу стіку, де більша зворотна напруга на перехіді. Розширення р-п переходу призводить до звуження струмопровідного каналу транзистора, і опір каналу зростає. Через збільшення опору каналу при зростанні $U_{СВ}$ стікова характеристика польового транзистора має нелінійний характер (мал. 1.28, г). При деякій напрузі $U_{СВ}$ межі р-п переходу стуляються (пунктир на мал. 1.29, а), і зростання струму $I_{С}$ при збільшенні $U_{СВ}$ припиняється.

З прикладанням позитивної напруги до засува $U_{ДЗ} > 0$ р-п перехід ще сильніше зміщується в зону зворотної напруги, ширина переходу збільшується, як показано на мал. 1.29,б. Внаслідок цього канал, що проводить струм, звужується, і струм $I_{С}$ зменшується. Таким чином, збільшуючи напругу $U_{ДЗ}$, можна зменшити $I_{С}$, що очевидно з розгляду мал. 1.28, г. При певному значенні $U_{ДЗ}$, названому *напругою відсікання*, струм стіку практично не протікає. Відношення зміни струму стіку $\Delta I_{С}$ до напруги, прикладеної між засувом і витком $\Delta U_{ДЗ}$ при $U_{СВ} = \text{const}$, називається *крутістю*: $S = \Delta I_{С} / \Delta U_{ДЗ}$ при $U_{СВ} = \text{const}$.

На відміну від біполярних транзисторів польові транзистори керуються напругою, і через ланцюг засува протікає лише малий тепловий струм $I_{З}$ р-п переходу, що знаходиться під дією зворотної напруги. Стікові характеристики, так само, як і колекторні

характеристики біполярного транзистора, мають дві ділянки: круту і пологу; остання використовується при роботі транзистора в підсилювальних пристроях, у той час як початкова крута ділянка характеристик – при їхній роботі в перемикальних пристроях.

Струм стіку польового транзистора сильно залежить від температури. По-перше, із зростанням температури електропровідність напівпровідників у робочому діапазоні температур зменшується. По-друге, при нагріванні ширина $p-n$ переходу зменшується, а канал розширюється. Внаслідок впливу цих двох чинників при нагріванні струм стіку при $U_{зв} = \text{const}$ може змінюватися різними способами – як збільшуватися, так і зменшуватися.

Граничні частоти, на яких можуть працювати польові транзистори, дуже високі. Основним обмежувальним чинником тут є ємність $p-n$ переходу, площа котрого порівняно велика. Польові транзистори з $p-n$ переходом, що випускаються промисловістю, спроможні працювати в мегагерцовому діапазоні частот.

§1.7.2. Польові транзистори МДН-типу

Їх називають польовими транзисторами з ізольованим засувом. На мал. 1.30, а показаний розріз МДН-транзистора. На поверхні кристала напівпровідника-підкладки з провідністю p -типу створені дві зони з провідністю n -типу та тонкої перемички між ними, яку називають *каналом*. Зони n -типу мають виводи в зовнішній ланцюг: C – *стік* та B – *витік*. Напівпровідниковий кристал покритий окисною плівкою діелектрика, на якій розташований металевий *засув* 3, пов'язаний із зовнішнім ланцюгом. Таким чином, засув електрично ізолюваний від ланцюга витік – стік. Вмикання джерел $U_{св}$ та $U_{зв}$ показане на мал. 1.30, а. Підкладка з'єднується із витіком; це з'єднання або здійснюється усередині приладу, або підкладка має вивід у зовнішній ланцюг (Π), і це з'єднання здійснюється по зовнішньому ланцюгу.

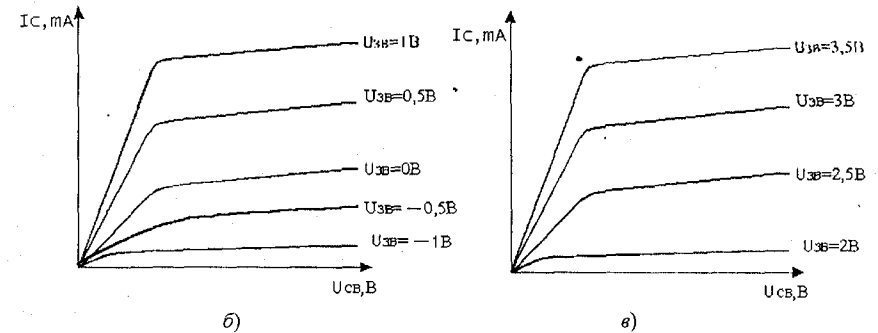
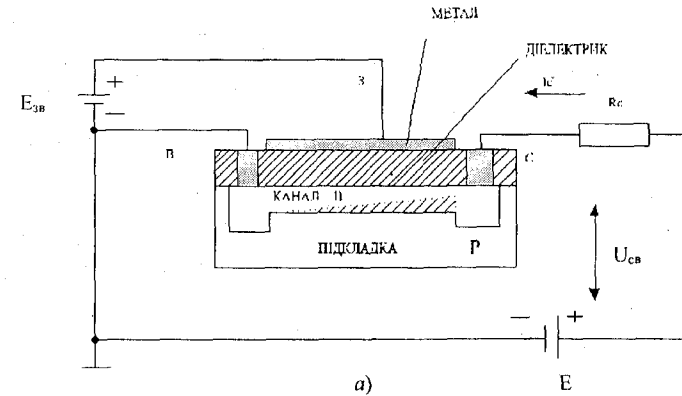
Розглянемо принцип дії приладу. Його стікові (вихідні) характеристики $I_c = f(U_{св})$ при $U_{зв} = \text{const}$ наведені на мал. 1.30, б. При відсутності керуючої напруги $U_{зв} = 0$ через канал між n -зонами протікає струм I_c . Із збільшенням напруги джерела $U_{св}$ $p-n$ перехід між підкладкою каналом зміщується в зворотному напрямку, причому найбільша зворотна напруга на переході утворюється поблизу стіку.

При зворотному зміщенні $p-n$ переходу розширюється подвійний електричний прошарок, об'єднаний рухливими носіями заряду, і звужується канал, що проводить струм. У міру зростання $U_{св}$ збільшується опір каналу, зростання струму стіку сповільнюється, а при перекритті переходом січення каналу зі збільшенням $U_{св}$ струм I_c практично не змінюється. У цьому режимі процеси в МДН-транзисторі аналогічні процесам у польовому транзисторі з $p-n$ переходом.

З подаванням позитивної напруги до засуву електричне поле притягає електрони з підкладки, вони накопичують в зоні каналу, опір каналу зменшується і струм стіку росте (*режим збагачення*) (див. характеристики на мал. 1.30, б при $U_{зв} > 0$).

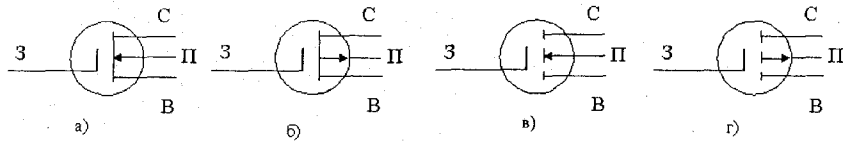
При негативній напрузі на засуві електричне поле виштовхує електрони з каналу в підкладку, опір каналу збільшується, і струм I_c падає (*режим збіднення*). Таким чином, при зміні керуючої напруги $U_{зв}$ змінюється вихідний струм приладу I_c , причому зв'язок процесів вихідної та вхідної величин визначається крутістю: $S = \Delta I_c / \Delta U_{зв}$ при $U_{св} = \text{const}$.

Оскільки засув ізолюваний від інших ланцюгів, надзвичайно малий струм засува I_z викликається лише витіканням по ізоляції. Потужність керуючого ланцюга МДП-транзистора практично дорівнює нулю.



Мал. 1.30. Структура (а) та стікові характеристики (б)- з вмонтованим каналом, (в)- із індуктованим каналом МДН - транзисторів

Аналогічно функціонує й інший різновид МДН- транзистора з каналом p -типу. Такий польовий транзистор має підкладку n -типу, напрямок струму та полярність напруг протилежна наведеним на мал. 1.30, а. Позначення МДН- транзисторів із каналами n - типу та p -типу наведені на мал. 1.31, а та б. Розглянуті МДП- транзистори є приладами з вбудованим каналом.



Мал. 1.31. Схемні позначення МДН- транзисторів

Крім цього, існують МДН - транзистори з індукованим каналом *n*-типу (мал. 1.31, в) та *p*-типу (мал. 1.31, г). З виготовленням цих приладів спеціальний канал між ділянками, які пов'язані зі стіком та витокон, не створюється і при напрузі $U_{зв} = 0$ вихідний струм відсутній, $I_c = 0$. Прилад може працювати лише в режимі збагачення, коли поле засува притягує носії відповідного знака, що створюють провідний канал між зонами витоку та стіку. Сімейство стікових характеристик МДП- транзисторів з індукованим каналом *n*-типу наведене на мал. 1.30, в. При напрузі на засуві меншій від напруги відсікання, струм стіку I_c практично відсутній.

Наявність чотирьох типів МДН-транзисторів дає великі можливості при реалізації різноманітних задач, у тому числі шляхом комбінації польових транзисторів різних типів.

§1.8. Тиристри

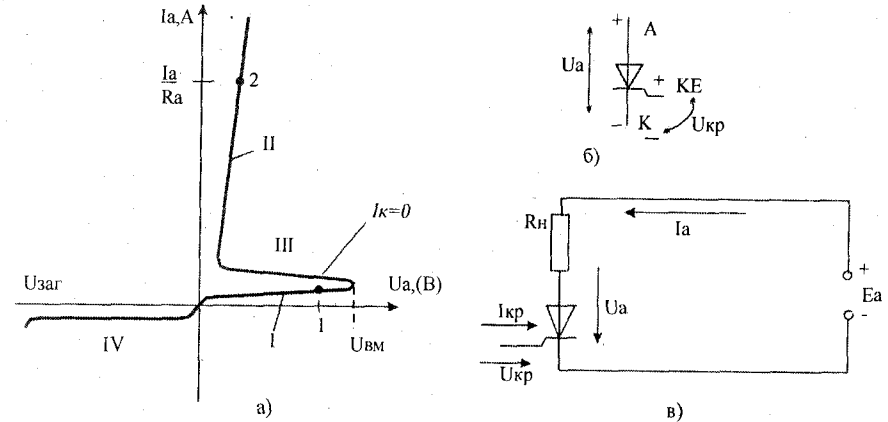
Тиристорами називають керовані напівпровідникові прилади на основі багатошарових (чотири шари або більше) *p-n* структур, спроможні під дією сигналу керування переходити із закритого (що не проводить) стану у відкритий (провідний).

Найбільше поширений різновид тиристора, побудований на чотиришаровій *p-n-p-n* структурі, ВАХ якої наведена на мал. 1.32, а. На мал. 1.32, б наведено схемне позначення тиристора, що аналізується, який має три виводи у зовнішній ланцюг. Електроди приладу називаються: *A* - анод, *K* - катод, *KE* - керуючий електрод.

Якщо увімкнути тиристор в електричний ланцюг (мал. 1.32, в), то при нульовому сигналі на керуючому електроді струм у колі буде відсутній. Це пов'язано з тим, що при прямому закритому стані (ділянка I на характеристиці мал. 1.32, а) опір тиристора дуже великий. Якщо тепер на керуючий електрод подати імпульс позитивної полярності, то тиристор вмикатиметься і через навантаження R_n починає проходити струм. Через мале падіння напруги на увімкнутому тиристорі (точка 2 на ділянці II характеристики мал. 1.32, а) анодний струм після увімкнення визначається

$$I_a = E_a / R_n \quad (1.18)$$

Увімкнення тиристора може відбутися і без сигналу керування, якщо збільшити ЕРС джерела живлення E_a до значення, більшої напруги $U_{ВМ}$, наведеного на мал. 1.13, а. У цьому випадку робоча точка з ділянки I ВАХ переходить на ділянку II, минаючи ділянку III. На практиці таке вмикання «по аноді» для більшості типів тиристорів не бажане через можливе ушкодження приладу.



Мал. 1.32. Вольт-амперна характеристика –а, схемне позначення –б, схема вмикання одноопераційного тиристора –в

Важливою особливістю тиристора є те, що після його увімкнення відкритий стан зберігається незалежно від наявності сигналу на керуючому електроді. Вимкнути тиристор можна лише пониженням анодної напруги до нуля або до негативного значення ($U_a \leq 0$) або перериванням анодного струму. Керуючий ланцюг такого приладу виконує тільки одну операцію – увімкнення тиристора. Такий тип тиристорів є найбільш поширеним, ці тиристри отримали назву *одноопераційних* (або *незапирюючих*).

Які фізичні процеси зумовлюють зазначені властивості тиристорів? Структура приладу наведена на мал. 1.33, а. З подаванням до тиристора *прямої напруги* (плюс на анод *A*, мінус на катод *K*) вона буде прямою і відкриваючою для *p-n* переходів Π_1 та Π_3 і зворотною для переходу Π_2 .

Дану структуру можна уявити такою, яка складається із двох транзисторів – $p_1 n_1 p_2$ та $n_1 p_2 n_2$ (мал. 1.33, б).

В обох транзисторах перехід Π_2 є колекторним, а переходи Π_1 та Π_3 – емітерними відповідно для *p-n-p* та *n-p-n* транзисторів. На ділянці I ВАХ мал. 1.32, а емітерний перехід Π_1 зміщений у пряму напрямку, колекторний Π_2 – в зворотному, тому *p-n-p* транзистор працює в режимі, розглянутому в § 1.5, а розподіл струму описується виразом (1.7). Через прямий перехід Π_1 із емітера p_1 у базу n_1 дифундують дірки, частина яких $(1-\alpha_p) I_a$ рекомбінує в базі, а інша частина $\alpha_p I_a$ втягується полем переходу Π_2 і потрапляє в колектор p_2 . Розподіл зазначеної діркової складової струму показано на мал. 1.33, а. В аналогічному режимі працює і другий транзистор. Емітерний перехід Π_3 *n-p-n* транзистора також зміщений у пряму напрямку, а колекторний Π_2 – у зворотному. Через емітерний перехід Π_3 проходить сумарний струм $I_a + I_{кр}$ (де $I_{кр}$ – струм керуючого електрода). Частина електронів, обумовлених цим струмом, рекомбінує в базі (прошарок p_2) $(1-\alpha_n) (I_a + I_{кр})$; інші електрони доходять до колекторного переходу Π_2 , охоплюються його полем і потрапляють у колектор (прошарок n_1).

Ця електронна складова струму показана в нижній частині структури на мал. 1.33, а. Крім цих транзисторних складових струму колекторного переходу Π_2 , зумовлених струмами емітерних переходів Π_1 та Π_3 , через перехід Π_2 протікає струм неосновних носіїв, наявних у прошарках n_1 та p_2 , $I_{KB0} = I_{KBp} + I_{KBn}$. З мал. 1.33,а легко довести, що $I_a = I_K$, де I_K - повний струм через перехід Π_2 , тобто сумарний колекторний струм обох транзисторів

$$I_K = I_a = \alpha_p I_a + \alpha_n (I_{KP} + I_a) + I_{KBp} + I_{KBn}, \quad (1.19)$$

звідси

$$I_K = I_a = \frac{I_{KB0} + \alpha_n \times I_{KP}}{1 - (\alpha_p + \alpha_n)} \quad (1.20)$$

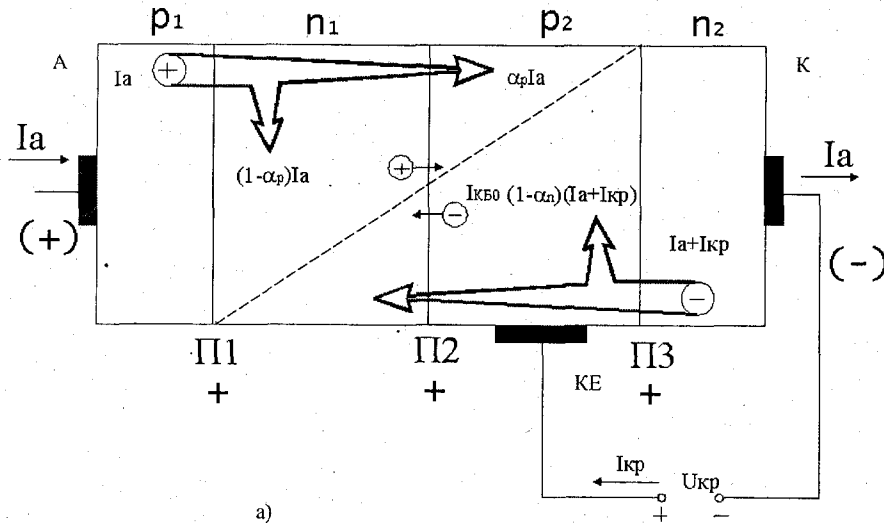
Розглянемо залежність коефіцієнтів передавання за струмом обох транзисторів α_p та α_n від струму I_a . Ці коефіцієнти залежать від можливості рекомбінації носіїв у базах n_1 та p_2 . Із зростанням струму I_a рекомбінація падає, тому що центри рекомбінації заповнюються при кожному акті рекомбінації, що веде до збільшення коефіцієнтів α_p та α_n . Доти, поки сума $\alpha_p + \alpha_n < 1$, перехід Π_2 закритий і тиристор залишається в закритому стані, тобто має високий опір для струму I_a (ділянка I ВАХ на мал. 1.32, а).

Із збільшенням струму I_a за рахунок збільшення керуючого струму I_{KP} , або напруги U_a сума $\alpha_p + \alpha_n$ росте і, коли $\alpha_p + \alpha_n = 1$, як впливає з виразу (1.20), $I_a \rightarrow \infty$. Це означає, що відбувається відкриття тиристора: опір його різко знижується і падіння напруги на тиристорі U_a зменшується. У реальній схемі мал. 1.32,в при відкритті тиристора встановлюється струм, що відповідає залежності (1.18) (ділянка II характеристики мал. 1.32, а).

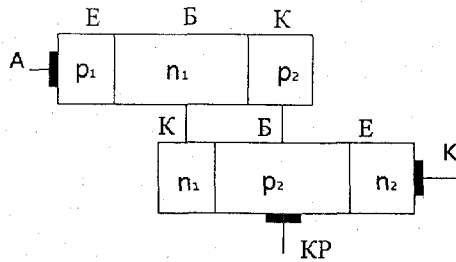
Процес відкриття тиристора зумовлений наявністю внутрішнього позитивного зворотного зв'язку, протікає лавиноподібно (регенеративний процес). Розглянемо процес вмикання тиристора з подаванням керуючого струму I_{KP} . При цьому збільшується струм через перехід Π_3 та його складова $\alpha_p(I_a + I_{KP})$, яка для $p-n-p$ транзистора є струмом бази, тому зростає частка струму колектора $\alpha_p I_a$. Загальний струм I_K зростає, при цьому в базу $n-p-n$ транзистора надходить із шару n_1 більший струм, що знову викликає збільшення колекторного струму транзистора $n-p-n$ типу. Із збільшенням струму I_a значення коефіцієнтів передавання α_p та α_n ростуть і знаменник у виразі (1.20) перетворюється в нуль. За рахунок різкого наростання струму I_a збільшується падіння напруги на резисторі R_n (мал. 1.32,в), а падіння напруги на тиристорі зменшується.

Якщо після відкриття тиристора зменшити струм I_{KP} до нуля, то внаслідок протікання великого струму I_a - буде підтримуватися нульове значення знаменника у виразі (1.20) і прилад залишиться у відкритому, провідному стані. Тиристор можна замкнути тільки при поданні зворотної напруги U_a або при розмиканні ланцюга протікання струму джерела E_a .

З поданням до тиристора зворотної напруги прилад увесь час знаходиться в закритому стані, оскільки переходи Π_1 та Π_2 знаходяться під зворотною напругою. Зворотна гілка ВАХ тиристора (ділянка IV на мал. 1.32,а) аналогічна зворотній гілці ВАХ напівпровідникового діода.



а)



б)

Мал.1.33. Розподіл струму в тиристорі –а та двотранзисторна схема заміщення тиристора –б

§1. 8. 1 Параметри та різновиди тиристорів

Система параметрів тиристора дозволяє вибирати прилади при проектуванні різноманітних пристроїв. До числа параметрів тиристора відносяться показані на мал. 1.32, а напруга вмикання $U_{ВМ}$ та напруга загину (пробивання) на зворотній гілці ВАХ $U_{ЗАГ}$. Якщо амплітуда напруги живлення будь-якої полярності не перевершує названих напруг, то при $I_{кр} = 0$ тиристор буде завжди закритий. Для надійного виконання цієї умови пряма або зворотна напруга на тиристорі не повинна перевищувати імпульсну напругу, що складає приблизно 0,7 найменшої з напруг $U_{ВМ}$ та $U_{ЗАГ}$ і наводиться в довідниках, для різних типів тиристорів вона складає від 100 до 4000 В.

У паспортних даних тиристора є такі параметри: *максимально допустимий середній прямий струм, імпульсна пряма напруга та максимальний зворотній струм*, що мають той же зміст, що і для діодів. У сучасних потужних тиристорах допустимий середній прямий струм досягає 1000-2000 А.

Із зменшенням анодного струму до значення *струму утримання вмикання* тиристор може невимушено перейти в замкнений стан. Струм утримання, що наведений у довіднику, визначається при $I_{кр} = 0$.

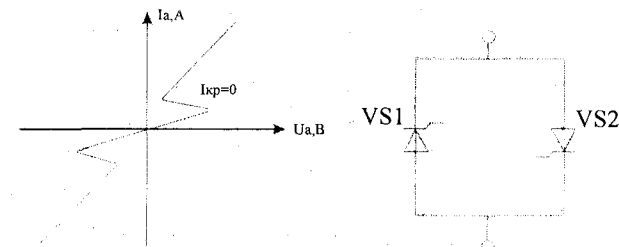
Для розрахунку параметрів сигналу, який необхідно подати на керуючий електрод, користуються параметрами: *керуючий струм відкриття та керуюча напруга відкриття*. З такими значеннями струму та напруги в керуючому ланцюзі забезпечується надійне відкриття тиристора навіть при малих (5-10 В) напругах U_a і при найнижчій робочій температурі, коли відкриття утруднене.

До найважливіших динамічних параметрів тиристора відноситься величина $(di/dt)_{max}$ – *критична швидкість наростання анодного струму* при вмиканні тиристора. З перевищенням допустимого значення $(di/dt)_{max}$ можливий перегрів окремих ділянок напівпровідникової структури та теплове проплавлення переходу; у більшості випадків $(di/dt)_{max} = 10-100$ А/мкс, але в спеціальних швидкодіючих або імпульсних тиристорах $(di/dt)_{max}$ доходить до 500-1000 А/мкс.

До параметрів тиристорів відноситься *час вимикання* – тимчасовий інтервал, на протязі якого після припинення протікання анодного струму до приладу можна прикласти пряму напругу і при цьому не відбудеться його повторне вмикання. Час вимикання в низькочастотних тиристорах 100-500 мкс, у швидкодіючих 10- 100 мкс. Параметр $(dU/dt)_{max}$ – *допустима швидкість наростання прямої напруги*. Це обмеження по швидкості анодної напруги пов'язане з наявністю ємностей переходів, протікання струму через який при швидкому наростанні анодної напруги може призвести до самочинного відмикання тиристора:

$(di/dt)_{max} = 20 \pm 100$ В/мкс, у швидкодіючих до 200- 500 В/мкс.

Головна галузь застосування одноопераційних тиристорів - енергетична електроніка, в сфері високих потужностей тиристор є основним силовим керованим приладом. Малопотужні тиристори використовуються в імпульсних схемах інформаційної електроніки.



Мал.1.34. Вольт-амперна характеристика симистора –а та зустрічно-паралельне вмикання двох тиристорів –б

Крім розглянутого основного типу тиристорів, робота яких описана вище, промисловість випускає ряд різновидів тиристорів:

1. *Динистор* – це тиристор без керуючого електрода. Він аналогічний звичайному тиристорі, у якого не подається сигнал на керуючий електрод. Для вмикання динистора до нього необхідно прикласти напругу $U_a \geq U_{ВКЛ}$. З подачею зворотної напруги динистор завжди замкнений.

2. *Симистор* – багатошаровий перемикаючий прилад, із симетричної ВАХ для прямої та зворотної напруги (ВАХ наведена на мал. 1.34, а). Симистор може комутувати струм будь-якого напрямку і замінює собою ланцюг із двох звичайних тиристорів, увімкнених зустрічно-паралельно (мал. 1.34, б).

3. *Двоопераційні (запираючі) тиристори* (ДОТи), з'явилися наприкінці 60-х років. У цих приладах з подаванням від'ємного імпульсу на керуючий електрод можливо здійснити запирання анодного струму. Необхідна потужність керуючого імпульсу, що запирає, значно вища від потужності відпираючого імпульсу. При розробці двоопераційних тиристорів з'явилися численні труднощі, проте в останні роки намітився великий прогрес у цій галузі уже розроблені двоопераційні тиристори на струми до 200-500 А та напруги до 1000- 2000 В. При цьому їхнє застосування в енергетичній електроніці у сфері малих і середніх потужностей стає усе більш широким.

§1.9. Напівпровідникові оптоелектронні прилади

§1.9.1. Основні поняття фотометрії

Людське око сприймає видиме світло – електромагнітні коливання в діапазоні від 400 до 700 нм. Кольорове відчуття визначається довжиною хвилі, а яскравість – інтенсивністю світлового потоку. Для кількісного визначення яскравості необхідні деякі фотометричні величини.

Світловим потоком називається величина Φ , яка характеризується числом квантів електромагнітного випромінювання (фотонів), що пройшли за одиницю часу через дане поперечне січення F . Одиницею вимірювання світлового потоку є люмен (лм). Для характеристики яскравості джерела світла величина світлового потоку не підходить, тому що вона залежить від площі поперечного січення F та віддалі r від джерела світла. Для точкового джерела світла, котре має центральну симетрію, світловий потік Φ пропорційний тілесному куту Ω . Цей кут визначається як відношення площі сферичної поверхні до квадрата радіуса і є безрозмірною величиною. Одиницею виміру цього кута є стерadian (ср). Вся поверхня сфери, в центрі якої знаходиться джерело світла, охоплює тілесний кут, рівний

$$\Omega_0 = 4\pi r^2/r^2 \text{ ср} = 4\pi \text{ ср.}$$

Конус з кутом розкриття $\pm\varphi$ охоплює тілесний кут

$$\Omega = 2\pi(1 - \cos\varphi) \text{ ср.} \quad (1.21)$$

Якщо кут розкриття конуса рівний $\pm 33^\circ$, то тілесний кут, який охоплюється таким конусом, складає приблизно 1ср. Для малого тілесного кута сферичну поверхню можна замінити площиною, перпендикулярною до його осі; тоді

$$\Omega = F_n/r^2 \text{ ср,} \quad (1.22)$$

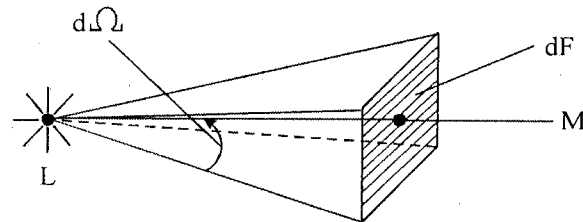
де r – відстань до центру сферичної поверхні.

Так як світловий потік точкового джерела світла пропорційний тілесному куту Ω , то яскравість джерела світла можна характеризувати величиною $I = d\Phi/d\Omega$, яка називається *силою світла*. Одиницею виміру сили світла є кандела (кд); $1\text{кд} = 1\text{лм}/1\text{ср}$. Таким чином, джерело світла має силу світла, рівну 1кд, якщо воно випромінює в межах тілесного кута в 1ср світловий потік, рівний 1лм. Для точкового джерела світла, котре має центральну симетрію, загальний світловий потік складає $\Phi_{\text{заг}} = I \cdot \Omega_0 = 1\text{кд} \cdot 4\pi \text{ ср} = 4\pi \text{ лм}$. Згідно визначенню, за 1кд приймають силу світла, випромінювану абсолютно чорним тілом площею $1/60 \text{ см}^2$ при температурі затвердіння платини (1769°C). Приблизно таку силу має сильне полум'я свічки. Для лампи розжарювання наступне наближене співвідношення: $I \approx 1\text{кд}/\text{Вт} \cdot P$, де P – номінальна електрична потужність лампи.

Для джерел, які мають відносно велику площу випромінювання, уводять поняття *яскравості* джерела світла $L = dI/dF_n$, де F_n – площа проекції випромінюваної поверхні на площину, перпендикулярну напрямку спостереження. Якщо перпендикуляр до поверхні випромінювання утворює з напрямком спостереження кут ϵ , то $dF_n = dF \cos \epsilon$. Одиницями яскравості джерела світла є стільб (сб); $1\text{сб} = 1\text{кд}/\text{см}^2$.

Мірою того, наскільки яскраво уявляється спостерігачу поверхня F , є *освітленість* $E = d\Phi/dF_n$. Одиницею вимірювання освітленості є люкс (лк); $1\text{лк} = 1\text{лм}/\text{м}^2$. Освітленість земної поверхні під час повного місяця складає від 0,1 до 0,2 лк. Газету можна читати при

освітленості від 0.5 до 2 лк. Освітленість письмового стола повинна бути від 500 до 1000 лк. При яскравому денному світлі величина освітленості може досягати 50000 лк.



Мал. 1.35. До визначення залежності між силою світла та освітленістю.

Таблиця 1.1 Деякі фотометричні одиниці

Фізична величина	Взаємозв'язок величин	Одиниці виміру
Світловий потік	Φ	1лм=1кд·ср=1,47мВт ($\lambda=555\text{нм}$)
Сила світла	$I = d\Phi/d\Omega$	1кд=1лм/ср=1,47мВт/ср
Яскравість	$L = dI/dF_n$	1сб=1кд/см ² = π ламберт= $\pi \cdot 10^4$ апостільб
Освітленість	$E = d\Phi/dF_n$	1лк=1лм/м ² =0,147мкВт/см ²

Визначимо, яку освітленість створює точкове джерело світла заданої яскравості при заданій віддалі r (мал. 1.35).

Для визначення освітленості припустимо, що площа елемента поверхні dF мала по відношенню до величини r^2 , а цей елемент розташований перпендикулярно осі LM. При цьому тілесний кут $d\Omega$, котрий спирається на елемент dF з вершиною в точці L, згідно формули (1.22), рівний

$$d\Omega = dF/r^2 \text{ ср}$$

Світловий потік, випромінюваний джерелом світла в межах цього кута, згідно з визначенням становить

$$d\Phi = I d\Omega = I(dF/r^2) \text{ лм.}$$

При цьому для величини освітленості отримаємо

$$E = d\Phi/dF = I/r^2 \text{ лк.} \quad (1.23)$$

Таким чином, освітленість зворотно пропорційна віддалі до джерела світла.

Оскільки квант світла має енергію рівну $h\nu$, то для кожної частоти електромагнітних коливань існує визначене співвідношення між потужностями світлового випромінювання P_L та світловим потоком Φ . Для світла з довжиною хвилі 555 нм це співвідношення має вигляд

$$P_L = 1,47 \text{ мВт/лм } \Phi.$$

Звідси випливає співвідношення для освітленості

$$1 \text{ лк} = 1 \text{ лм/м}^2 = 1,47 \text{ мВт/м}^2.$$

Вище вже говорилося, що лампа розжарювання потужністю 10 Вт має силу світла біля 10 кд. Таким чином, вона випромінює в простір світловий потік

$$\Phi_{\text{зар}} = 4\pi \text{sr } 10 \text{ кд} \approx 126 \text{ лм}.$$

При довжині хвилі світлового випромінювання 555 нм це співвідношення відповідає потужності випромінювання $P_L = 0,185$ Вт. Таким чином, коефіцієнт корисної дії лампи розжарювання $\eta = P_L/P \approx 2\%$.

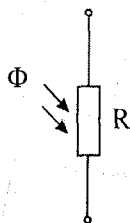
Поряд з розглянутими фотометричними одиницями застосовуються, особливо в американській технічній літературі, й інші одиниці, які наведені в табл. 1.1.

§1.9.2. Фоторезистор

Фоторезистором називають напівпровідниковий прилад, котрий не має $p-n$ – переходу, опір якого залежить від освітленості. Схемне зображення фоторезистора показано на мал. 1.36, а його характеристика – на мал. 1.37.

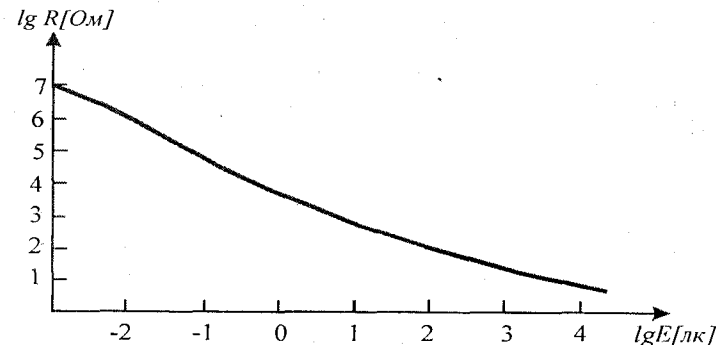
Фоторезистор веде себе як омичний опір, тобто його опір не залежить ні від прикладеної напруги, ні від її знаку. Для середніх величин освітленості фоторезистора $R \sim E^{-\gamma}$, де γ – константа, яка приймає своє значення в межах від 0,5 до 1. З більшою освітленістю опір фоторезистора прямує до мінімального значення. При малій освітленості величина γ збільшується, і при дуже малій освітленості опір фоторезистора прямує до граничного, тіньового значення. Відношення тіньового опору до мінімального може перевищувати 10^6 .

При малих значеннях освітленості опір фоторезистора сильно залежить від температури. Температурна залежність фоторезистора при різній освітленості наведена на мал. 1.38.



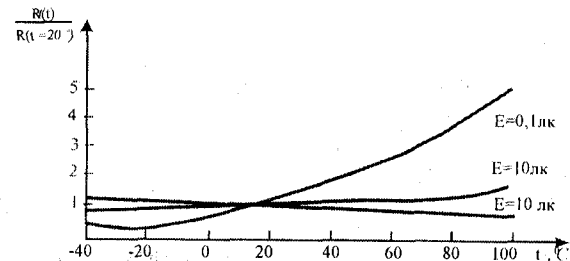
Мал. 1.36 Схемне зображення фоторезистора

Величина опору при освітленості фоторезистора встановлюється не миттєво. Фоторезистор характеризується часом встановлення, який при освітленості біля декількох тисяч люксів лежить в межах декількох мілісекунд, а при освітленості менше 1 люкса може становити декілька секунд. Встановлена величина опору фоторезистора залежить не лише від його освітленості, але і також від його оптичної передісторії. Після довгого освітлення фоторезистора сильним світловим потоком величина його опору буде більша, ніж при його попередній витримці в темноті.



Мал. 1.37. Характеристика фоторезистора

Фоторезистори виготовляються головним чином на основі сульфіду кадмію. Наведені вище параметри фоторезисторів належать саме елементам на основі сульфіду кадмію. Фоторезистори, виготовлені на основі селеніду кадмію, мають більш короткий час встановлення і більш високе відношення тіньового опору до мінімального. Вони володіють однак більшим температурним коефіцієнтом опору і більш яскраво вираженою залежністю від оптичної передісторії. Фоторезистори на основі сульфіду або селеніду кадмію мають максимальну чутливість в спектральному діапазоні від 400 до 800 нм.



Мал. 1.38. Температурна залежність опору фоторезистора

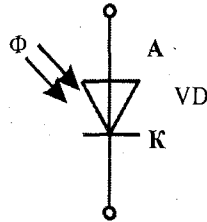
Деякі фоторезистори можуть застосовуватися на всьому спектральному діапазоні, а інші мають вузьку спектральну чутливість. Фоторезистори з високою чутливістю в інфрачервоній ділянці спектру виготовляються на основі сульфіду свинцю або атимоніду індію. Вони

можуть застосовуватися навіть до довжини хвилі 3 – 7 мкм, однак чутливість їх в значній мірі нижча, ніж у фоторезисторів на кадмійовій основі.

Чутливість фоторезисторів зрівняна з чутливістю вакуумних фотопомножувачів. Тому вони можуть застосовуватися для вимірювання малих величин освітленості. Ще одна галузь застосування фоторезисторів – це використання їх в якості керуючих опорів. Оскільки потужність таких фоторезисторів може досягати декількох ват, з їх допомогою можна комутувати безпосередньо, без додаткових пристроїв, наприклад, обвитки реле.

§1.9.3. Фотодіод

Зворотний струм діода зростає при освітлені *p-n* переходу. Цей ефект може застосовуватися для фотометричних вимірювань. З цією метою в корпусі фотодіода робиться прозоре вікно. На мал.1.39 показано схемне зображення фотодіода, на мал.1.40 наведена схема його заміщення, а на мал.1.41 наведене сімейство його характеристик. Для фотодіода характерна наявність струму короткого замикання, який пропорційний до його освітлення, тому на відміну від фоторезисторів фотодіод може використовуватися без додаткового джерела живлення. Чутливість фотодіодів складає близько 0,1 мкА/лк.

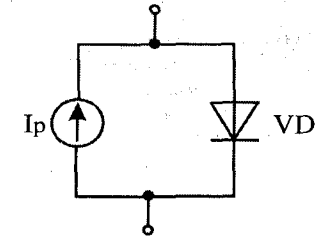


Мал.1.39. Схемне позначення фотодіода

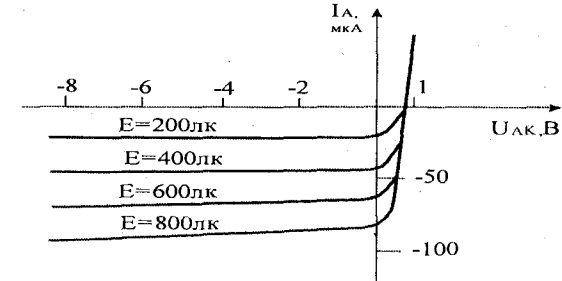
З подачею на фотодіод запираючої напруги фотострум практично не змінюється. Такий режим роботи фотодіода має перевагу, коли потрібно отримати велику швидкодію, так як при зростанні запираючої напруги зменшується власна ємність *p-n* переходу.

Із збільшенням освітленості напруга холостого ходу кремнієвого фотодіода збільшується приблизно до 0,5 В. Як видно з характеристик мал.1.41, під навантаженням напруга на фотодіоді зменшується дуже в незначній мірі, поки величина струму навантаження залишається меншою від величини струму короткого замикання для даної освітленості I_p . Завдяки цьому фотодіоди придатні для отримання електроенергії. Для цих цілей виготовляють спеціальні фотодіоди з великою площею *p-n* переходу, які називаються сонячними елементами.

Зона спектральної чутливості кремнієвих фотодіодів знаходиться між 0,6 та 1 мкм, а германієвих фотодіодів – між 0,5 та 1,7 мкм. Графіки відносної спектральної чутливості людського ока та фотодіодів наведена на мал.1.42.

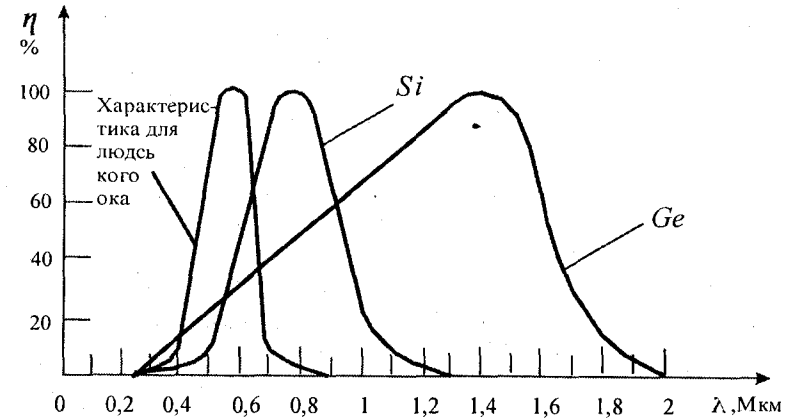


Мал.1.40. Схема заміщення фотодіода



Мал.1.41. Сімейство вольт – амперних характеристик фотодіода

Фотодіоди володіють суттєво меншим часом встановлення, ніж фоторезистори. Гранична частота для звичайних фотодіодів складає близько 10 МГц. Для спеціальних фотодіодів з *p-n* переходом сягнуть частоти приблизно 1 ГГц.



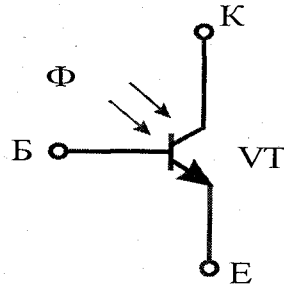
Мал.1.42. Відносна спектральна чутливість η германієвих і кремнієвих фотодіодів

§1.9.4. Фототранзистори

У фототранзисторі перехід колектор-база являє собою фотодіод. На мал.1.43 показано схематичне зображення фототранзистора, а на мал.1.44 – його схема заміщення.

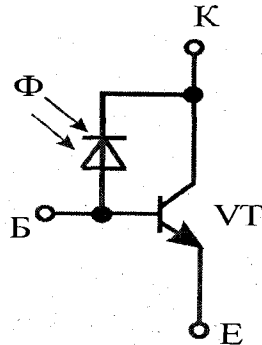
Принцип дії фототранзистора добре видно зі схеми його заміщення. Струм фотодіода є базовим струмом транзистора, який керує його колекторним струмом. Питання про те, чи потрібно вмикати до схеми вивід бази фототранзистора чи залишити його неувімкненим, залежить від вибраної схеми вимірювання. Фототранзистори, в яких базовий електрод взагалі не виведений, деколи називають подвійним фотодіодом.

Для отримання великого підсилення фотоструму у фототранзисторах використовують схему Дарлінгтона. Схема заміщення такого складеного фототранзистора показана на мал.1.45.

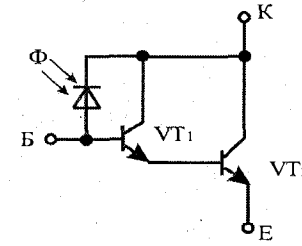


Мал.1.43. Схематичне позначення фототранзистора

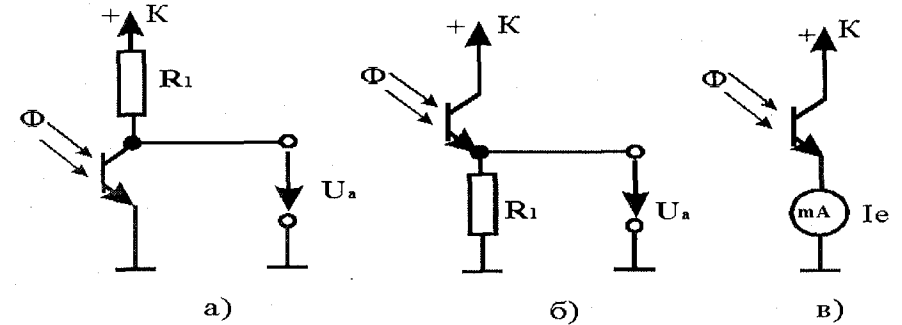
Із схеми заміщення фототранзистора випливає, що його зона спектральної чутливості така ж, як і для відповідного фотодіода. Гранична частота фототранзистора суттєво нижча, ніж у фотодіода; її величина складає біля 300кГц, а у фототранзисторів з схемою Дарлінгтона – біля 30кГц.



Мал.1.44. Схема заміщення фототранзистора



Мал.1.45. Схема заміщення складеного фототранзистора



Мал.1.46. Схеми найпростіших фотодавальників

На мал.1.46, а показано вмикання фототранзистора в якості чутливого елемента фотодавальника. Якщо фотострум колекторно-базового переходу позначити через I_p , то для вихідної напруги давальника отримаємо

$$U_a = U_k - \beta R_1 I_p$$

де U_k – напруга на колекторі, β – коефіцієнт підсилення по струмові.

Відповідно для схеми на рис.1.46, б знайдемо

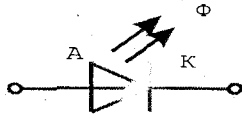
$$U_a = \beta R_1 I_p$$

Обидві схеми мають суттєвий недолік, оскільки ємність колекторно-базового переходу перезаряджається відносно малим фотострумом I_p , тому ці схеми застосовуються лише при низьких частотах перемикання.

Більш високі частоти можуть бути досягнуті, якщо потенціали всіх електродів транзистора підтримувати постійними, що дозволяє позбутися від небажаного процесу перезаряду ємності колекторно-базового переходу транзистора. Для цього, як показано на мал.1.46, в, резистор замінюють амперметром з малим спадом напруги. Такий амперметр може бути майже ідеально замінений перетворювачем струм – напруга.

§1.9.5. Світлодіоди

Світлодіоди виготовляються не на основі кремнію або германію, як більшість напівпровідникових елементів, а на основі арсеніду-фосфіду галію (з валентним зв'язком типу A_3B_3). Ці діоди випромінюють світло при проходженні через них прямого струму. Зона спектрального випромінювання діодів має досить вузькі межі. Її положення залежить від напівпровідникового матеріалу, що використовується. Схемне позначення світлодіодів показано на мал.1.47. Коефіцієнт корисної дії інфрачервоних світлодіодів складає 1-5%, в інших типах світлодіодів він не перевищує 0,05%. Яскравість освітлення в широкому діапазоні пропорційна прямому струму світлодіода. Струму в декілька міліампер вже достатньо для чіткої індикації, тому світлодіоди зручно використовувати у якості елементів індикації в напівпровідникових схемах. Світлодіоди також виготовляються у вигляді сегментних або точкових матриць.



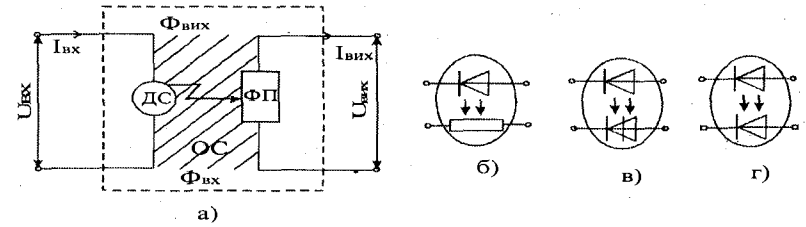
Мал.1.47. Схематичне зображення світлодіода

§1.9.6. Оптрони

Оптрон – напівпровідниковий прилад, котрий містить джерела та приймачі світлового випромінювання, які оптично та конструктивно зв'язані між собою (мал.1.48.а). Елементами оптрона є джерело світла (ДС) та фотоприймач (ФП). Керуючим (вхідним) сигналом для джерела світла є вхідна напруга $U_{вх}$ або вхідний струм $I_{вх}$, а вихідним – яскравість висвітлювання $L_{вх}$. Вхідним сигналом для фотоприймача світловий потік $\Phi_{вх}$, що падає, а вихідним – напруга $U_{вих}$ або струм $I_{вих}$, значення яких знаходиться у відповідності із змінами інтенсивності світлового потоку $\Phi_{вх}$. Джерело світла та фотоприймач зв'язані між собою пасивним або активним оптичним середовищем (ОС). Отже, головна особливість оптоелектроніки – гальванічне розв'язування вхідного та вихідного ланцюга та односторонність сигналів.

Розв'язка в оптронах з суто оптичним зв'язком практично ідеальна – опір ізоляції може досягати $10^{12} - 10^{14}$ Ом, а ємнісного зв'язку – 10^{-2} пФ. При цьому виникає ряд можливостей, які недосяжні для суто електронних ланцюгів. Наприклад, внаслідок високої міцності ізоляції за допомогою низької напруги можна керувати досить великими напругами, які досягають сотні кіловольт, з'єднувати ланцюги з різними частотами, підвищувати заводостійкість схем, так як електромагнітні спотвори не діють на оптичний зв'язок та інше.

В якості джерела світла використовуються мініатюрні лампи розжарювання та газорозрядні лампи, однак в більшій мірі електролюмінесцентні конденсатори і світлодіоди (розділ 1.9.5.), технологія виготовлення, яких дозволяє безкорпусне виконання, а також у вигляді інтегральних матриць з високою густиною упакування. У даний час у якості фотоприймачів широко застосовуються фоторезистори, фотодіоди, фототранзистори,



Мал. 1.48. Структура (а) та умовні графічні позначення (б, в, г) оптронних пар відповідно: світлодіод – фоторезистор, світлодіод – фотодіод та світлодіод – фотодіод

фототристор, опори яких змінюються з освітленням, а для їх виготовлення можуть використовуватися методи інтегральної техніки. У багатьох випадках на приймальній стороні застосовують складні структури: фотодіод з високочастотним транзистором або тиристором, схема Дарлінгтона та інше. Відкриті оптичні канали, тобто просто повітряні зазори між джерелами світла та фотоприймачем застосовуються рідко. Частіше в якості оптичного середовища використовуються тверді імерсійні середовища: полімерні органічні сполуки, халкогенідне скло, волокняні світлодіоди. Останні володіють найбільшими високими ізоляційними властивостями.

Керовані джерела світла та фотоприймачі утворюють оптронну пару – основу елементарного оптрона. На мал.1.48. б, в, г показані умовні графічні позначення оптронів. Елементарні оптрони, які визначають структуру оптоелектронної схеми (як, наприклад, транзистори, що складають структуру електричної схеми), відрізняються своїми характеристиками та параметрами. Це дає змогу монтувати оптоелектронні схеми, які відрізняються складністю, принципом роботи та призначенням.

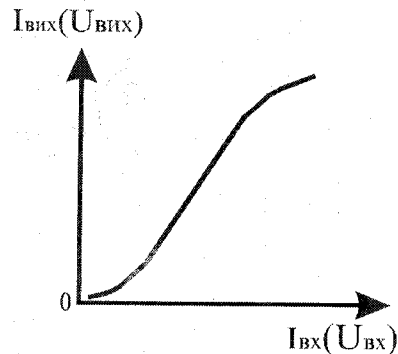
До основного типу відносять оптрони з внутрішнім прямим оптичним зв'язком (мал.1.48. а), в яких електричний зв'язок між елементами пари відсутній, тобто вони гальванічно розв'язані. При цьому зміна напруги або струму джерела світла ($U_{вх}$, $I_{вх}$) змінює яскравість його освітлення, що в свою чергу змінює опір фотоприймача, а отже, напругу та струм на виході фотоприймача. Таким чином здійснюється перетворення вхідного електричного сигналу ($U_{вх}$, $I_{вх}$) у вихідний ($U_{вих}$, $I_{вих}$) за схемою: електричний сигнал – оптичний сигнал – електричний сигнал. При цьому оптрон являє собою деякий змінний опір, який змінюється зі змінами рівня вхідного сигналу (аналогічно транзистору).

Основною характеристикою оптрона є коефіцієнт передавання $K_{оп}$, який являє собою відношення вихідного сигналу до вхідного.

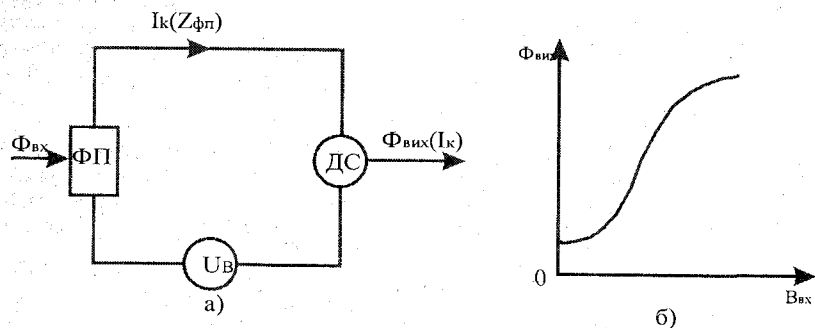
На мал.1.49, показана лінійна передатна функція оптрона, в якого джерело світла, оптичне середовище та фотоприймач мають лінійні передатні характеристики.

На основі викладеного можна констатувати, що для оптронів з прямим оптичним зв'язком характерна:

- відсутність гальванічного зв'язку між входом та виходом, як наслідок, висока заводостійкість;
- можливість керування по незалежних входах;



Мал.1.49. Характеристика оптрона з внутрішнім прямим зв'язком



Мал.1.50. Принципова схема (а) та передатна функція (б) оптрона із зовнішнім оптичним зв'язком.

– велика гнучкість та можливість фотоелектричного перетворення, що створює умови для отримання оптоелектронних схем найрізноманітнішого призначення.

Одним із різновидів оптронів є оптрони з зовнішнім оптичним зв'язком (мал.1.50), які здійснюють перетворення виду: оптичний сигнал – електричний сигнал – оптичний сигнал.

У такому оптроні (мал.1.50,а) вхідним сигналом є світловий потік $\Phi_{вх}$, який отримується від незалежного джерела випромінювання. Зі зміною $\Phi_{вх}$ змінюється опір фотоприймача $Z_{фл}$, що при $U_0 = \text{const}$ призводить до зміни струму I_k . У свою чергу, вихідний світловий потік $\Phi_{вих}$ джерела світла залежить від струму I_k , який проходить через нього (див. розділ 1.9.). Таким чином зі зміною $\Phi_{вх}$ змінюється $\Phi_{вих}$, що відображається передатною характеристикою оптрона (мал.1.50,б).

Використовуючи оптрони із зовнішнім оптичним зв'язком, підібравши відповідним чином спектральні характеристики джерела світла та фотоприймача, можна випромінювання

однієї довжини хвилі перетворити у випромінювання другої довжини хвилі, наприклад, інфрачервоне випромінювання у видиме, рентгенівське у видиме та інше.

Існують також оптрони з додатним та від'ємним оптичним зворотним зв'язком, принципи роботи яких базуються на тім, що як внутрішнє, так і вихідне випромінювання діє на один той же фотоприймач, створюючи ефект підсилення або послаблення вихідного сигналу. Однак у всіх цих різновидів оптронів відсутнє гальванічне розв'язування вхідних та вихідних ланцюгів, що різко понижує їх застосування та розповсюдження порівняно з оптронами із внутрішнім прямим оптичним зв'язком.

Оптрони характеризуються вхідними, вихідними та прохідними параметрами, які у значній мірі визначають структуру оптронної пари. Основними вхідними параметрами є найбільша вхідна напруга $U_{вх,макс}$ та найбільший вхідний струм $I_{вх,макс}$.

До прохідних параметрів відносять: прохідну ємність $C_{пр}$ та опір ізоляції $R_{із}$, які являють собою ємність та опір між вхідними та вихідними выводами оптрона; час вмикання $t_{вм}$ – відрізок часу з моменту подавання імпульсу вхідного струму до моменту досягнення вихідним струмом 90% свого встановленого значення; час вимикання $t_{вим}$ – час з моменту припинення прямого струму і до моменту, при якому вхідний струм зменшився до 50% від початкового значення (для резисторних оптронів).

Вихідні параметри визначаються, в основному, параметрами фотоприймача (див. фоторезистори, фототранзистори). Основні параметри деяких типів оптронів промислового типу наведені в таблиці 1.2.

Таблиця 1.2. Основні параметри оптронів

Тип	$T_{вим}$ мкс	$I_{вх,макс}$ МА	$U_{вх,макс}$ В	$C_{пр}$ пФ	$R_{із}$ МОм	$t_{вим}$ мкс	Структура
АОУ103А	100	20	2	3	10	15	Світлодіод – фототиристор
АОУ103Б		50					
АОУ103В		20					
АОР104А	200	11	3,8	3	100	10	Світлодіод – фоторезистор
АОР104Б			2,8				

Оптронна пара компонується з дискретних елементів та заливається спеціальним оргсклом або епоксидною смолою, які призначені для захисту та в якості світловиводу. Все це розміщується в герметизованому металевому корпусі, котрий нагадує корпус звичайного транзистора. Два зовнішні виводи оптрона відповідають входу джерела світла, а два інших – виходу по ланцюгу фотоприймача.

§ 1.10. Інтегральні мікросхеми (ІМС)

§ 1.10.1. Особливості мікроелектроніки

Розвиток електронної техніки супроводжується як постійним ускладненням апаратури та ростом кількості дискретних (окремих) елементів, так і підвищенням потреби до якості апаратури – збільшенням надійності та зменшенням габаритних розмірів, маси, енергії споживання. Однак із зростанням кількості дискретних елементів зменшується надійність апаратури і збільшуються її габаритні розміри, маса та енергія споживання. Для подолання

вказаних протиріч необхідно покращувати елементну базу, конструкцію та технологію виробництва апаратури. У даний час розрізняють чотири етапи розвитку або чотири покоління апаратури електронної техніки.

Перше покоління апаратури електронної техніки відноситься до першого періоду появи електронно – вакуумної лампи в 1904р. Апаратура цього покоління характеризується використанням електронно – вакуумних ламп та дискретних пасивних елементів (резисторів, конденсаторів, котушок індуктивності, трансформаторів). Вдосконалення апаратури першого покоління проходило в напрямку її мініатюризації за рахунок зменшення габаритів та маси активних (підсилювальних) та пасивних дискретних елементів. На цьому етапі було закладено початок розробки основ функціонально-вузлового методу конструювання апаратури та створення модулів. Однак у цілому електронно-вакуумні лампи з низькою надійністю, великою споживаною потужністю, габаритів та маси не влаштували зростаючих потреб електронної техніки і стримували її розвиток.

Друге покоління апаратури електронної техніки з'явилося слідом за створенням 1948р. нового активного (підсилювального) елемента – транзистора. Апаратура цього покоління складається із дискретних транзисторів та дискретних пасивних елементів. Розвиток апаратури другого покоління проходив у двох основних напрямках – мініатюризації та мікромініатюризації. На цьому етапі були детально розроблені методи функціонально-вузлового конструювання модулів та мікромодулів, які являють собою окремі конструктивно оформлені вузли на дискретних елементах, виконані за типовими електронними схемами (підсилювачі, генератори, агреги та інше). На відміну від модулів мікромодулі виконуються із мініатюрних елементів спеціальної форми, виготовлені або встановлені на мікроплатах. Однак мікромініатюризація на основі дискретних мікроелементів не дає змоги зменшити кількість елементів в апаратурі та забезпечити більш високу її надійність, подальше зменшення габаритних розмірів, маси та споживаної енергії.

Третє покоління апаратури електронної техніки почало свій розвиток з появи у 1958р. нового мікроселектронного функціонального вузла – напівпровідникової інтегральної мікросхеми, в якій всі активні та пасивні елементи і їх з'єднання виконані у вигляді сполучення нерозривно зв'язаних *p-n*- переходів в одному вихідному напівпровідниковому матеріалі. У подальшому напівпровідникову інтегральну схему називали інтегральною схемою (ІС). Перехід до ІС став можливий завдяки освоєнню нової напівпровідникової технології, який характеризується створенням групових методів виготовлення планарних (плоских) *p-n-p*. При сучасному груповому технологічному циклі можна виготовити одночасно декілька десятків тисяч ІС з кількістю елементів 50-500 або декілька тисяч ІС з кількістю елементів порядку 5000 та більше, тобто одночасно можна виготовити декілька мільйонів елементів за допомогою тих же найпростіших технологічних операцій по формуванню *p-n*- переходів, що і в одного планарного транзистора. Це дає змогу забезпечити високу ідентичність параметрів ІС та значно підвищити надійність порівняно з аналогічними схемами на дискретних елементах. За рахунок ускладнень елементної бази спрощується конструкція, зменшується кількість зовнішніх з'єднань та об'єм електронної апаратури.

Електронна апаратура третього покоління виконується на основі ІС, що містять до 10-100 елементів, гібридних інтегральних схем (ГІС) та мікрозборок.

Гібридною називається мікросхема, котра містить діелектричну основу (підкладку), всі пасивні елементи на поверхні, якої виконуються у вигляді одношарових або багатшарових плівкових структур з нерозривними плівковими провідниками, а напівпровідникові прилади, в тому числі ІС та інші компоненти, розміщені на підкладці у вигляді дискретних навісних деталей. При цьому під елементом ІС або ГІС розуміють неподільну частину мікросхеми, яку не можна розглядати у вигляді окремого комплектуючого виробу, а під компонентом ГІС – частина ГІС, яка може розглядатися, як

окремий комплектуючий виріб (транзистор, діод, ІС, конденсатор та інше). На відміну від ІС та ГІС мікрозборка виконує задану більш складну функцію і складається із необхідного для цього сполучення елементів, компонентів та ІС.

Розвиток електронної апаратури третього покоління проходив у напрямку створення та вдосконалення ІС, ГІС та мікрозборок.

Четверте покоління апаратури електронної техніки почало розвиватися після створення великих інтегральних схем (ВІС), котрі містять 500 та більше елементів. У даний час максимально досягнута кількість елементів на кристалах складає 500000 і більше. Створення таких ВІС не можливе без використання ЕОМ як на рівні їх проектування, так і на рівні технологічного процесу. Кількість елементів на кристалах може наблизитися до 500000 і більше з подальшим обмеженням зростання кількості елементів у зв'язку з принциповими труднощами.

Співвідношення між числовими ІС та загальною кількістю компонентів електронної апаратури в даний час досягає: в обчислювальній техніці – до 100%, у техніці зв'язку – до 80%, у техніці обробки даних – до 75%, у вимірвальній техніці – до 70%

Для кількісної оцінки рівня розвитку інтегральної техніки вводиться показник – рівень інтеграції, який являє собою сумарне число нероздільних елементів N , об'єднаних в ІС або ВІС. Десятковий логарифм від рівня інтеграції, заокруглений до найближчого цілого числа, називається ступенем інтеграції $K = \lg N$. ІС з числом елементів до 10 є ІС 1-го ступеня інтеграції (ІС1); з числом елементів від 11 до 100-ІС 2-го ступеня інтеграції (ІС2); з числом елементів від 101 до 1000-ІС 3-го ступеня інтеграції (ІС3) і т.д. Деколи ступінь інтеграції характеризують кількістю вентилів на кристалі ІС: до 10-малий ступінь інтеграції (ІС); до 100-середній ступінь інтеграції (СІС); більше 1000- великий ступінь інтеграції (ВІС).

Другим показником для кількісної оцінки розмірів, об'єму та маси апаратури служить густина упаковки елементів у заданім об'ємі устаткування $\gamma_v = N/V$ або в заданій площі

$\gamma_s = N/S$, виражена відповідно в елементах на сантиметр кубічний (ел/см³) та в елементах на сантиметр квадратний (ел/см²). У таблиці 1.3. наведено густина упаковки елементів у елементарних výroбах для різних типів електронних виробів.

Таблиця.1.3. Густина упаковки елементів в електронних výroбах

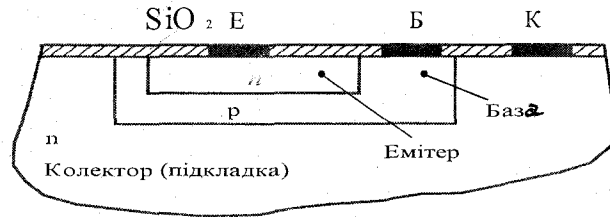
Тип електронного виробу	Щільність упаковки елементів ел/см ³
Модулі	1-3
Мікромодулі	20-30
Гібридні інтегральні схеми	150-200
Напівпровідникові інтегральні схеми	1000-1500
Великі інтегральні схеми	до 10 ⁷

§1.10.2. Технологія виготовлення ІМС та ГІС

Інтегральні схеми (ІС). В якості вихідного матеріалу для виготовлення ІС зазвичай використовуються пластини кремнію товщиною не більше 30 – 50 мкм та діаметром 50 – 100 мм, які називають підкладкою, на поверхні або в об'ємі яких формуються елементи ІС.

Основою формування елементів на підкладці є планарна технологія, яка дає змогу груповим методом обробляти одночасно декілька десятків підкладок із сотнями та тисячами ІС на кожній. Після закінчення технологічного циклу підкладки розрізаються на окремі ІС.

Елементи, котрі виготовлені за планарною технологією, мають плоску структуру: $p-n$ переходи та відповідні контакти, що виходять на одну площину підкладки (мал.1.51). Оксидна плівка (маска) із двооксидного кремнію SiO_2 , нанесена на поверхню підкладки, призначена для захисту поверхні та $p-n$ переходу від дії різних зовнішніх факторів, а також відіграє велику роль у процесі виготовлення планарних структур, забезпечуючи проникність домішок тільки в окремі ділянки підкладки.

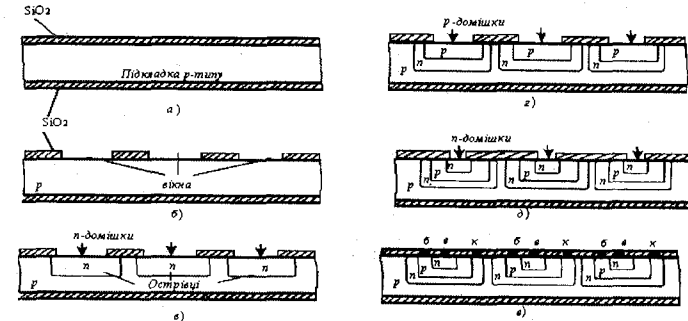


Мал.1.51. Структура планарного $n-p-n$ -транзистора

Основними та найбільш складними елементами ІС є транзистори (в основному біполярні та польові з МДН-структурою). Порівняльна оцінка ІС на основі біполярних транзисторів та ІС на основі МДН-транзисторів показує перспективу останніх. У той час як біполярні транзистори керуються струмом, МДН-транзистори керуються напругою, що зумовлює значно меншу споживану потужність. Крім цього, ІС на основі МДН- транзисторів володіє більш простою технологією виготовлення, меншими розмірами елементів та більшим ступенем інтеграції. Особливо значні переваги МДН-технології в ВІС. Однак за швидкістю ІС на МДН-транзисторах поступаються біполярним.

Транзистори. Технологія виготовлення транзисторів така ж, як і інших елементів, основана на двох різновидностях планарної технології – планарно-дифузійної та планарно-епітаксильної. Стадії виготовлення біполярних транзисторів $n-p-n$ виду методом планарно-дифузійної технології показані на мал.1.51. За основу береться однорідна підкладка з кремнію p -типу. Шляхом термічного окислення кремнію на поверхні підкладки формується тонка захисна плівка двооксиду кремнію SiO_2 (мал.1.52,а). Після цього виготовляється перша оксидна маска, для цього в оксидній плівці SiO_2 робляться отвори (вікна) потрібної конфігурації в кількості, відповідно до заданої кількості транзисторів ІС (мал.1.52,б). Маска, звичайно, виконується методом фотографії, яка полягає в наступному. Поверхня оксидної плівки SiO_2 покривається тонким прошарком світлочувливої емульсії – фоторезиста. На фоторезист проєктується потрібний малюнок маски, після чого зображення проявляють і засвічені ділянки фоторезиста стравлюються, оголюючи оксидну плівку. Потім за допомогою травлення оголені ділянки оксидної плівки розчинюються, утворюючи сукупність вікон. Через отримані вікна проводиться дифузія домішок n -типу, яка проникає в глибину підкладки. У результаті утворюється прошарок n -типу (острівці), ізольовані від підкладки та від сусідніх острівців за допомогою зачинених $p-n$ переходів (мал.1.52,в). Такі острівці є основою для створення всіх елементів ІС. На отриманих острівцях формуються планарні транзистори. Для цього описаним вище методом виготовляється друга оксидна маска, через яку в глибину

острівця, який є зоною колектора n - типу, здійснюється дифузія домішок p - типу, таким чином отримують прошарок бази p - типу (мал.1.52,г).



Мал.1.52. Основні етапи виготовлення інтегральних $n-p-n$ транзисторів:

а – отримання оксидної плівки; б – виготовлення маски з вікнами; в – формування в підкладці острівців; г – формування шару бази; д – формування емітера; е – нанесення металізованих контактів

Потім виготовляється третя оксидна маска, через яку в острівці здійснюється дифузія n - типу і таким чином отримують емітер n -типу (мал.1.52,д). На заключній стадії через четверту оксидну маску напаяють металізовані контакти на отримані прошарки та необхідні з'єднувальні доріжки (мал.1.52,е). На цьому процес виготовлення певної кількості транзисторів та їх з'єднань закінчується.

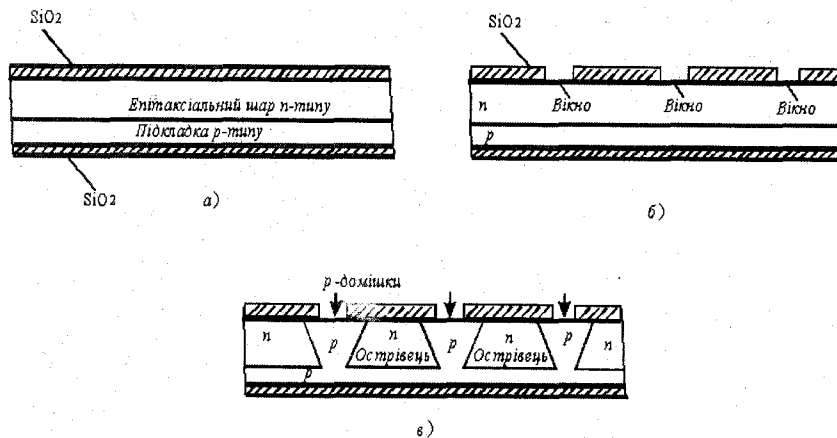
Недоліком планарно-дифузійної технології є порівняно мала чіткість меж $p-n-p$ переходів, так як дифузія домішок йде з поверхні підкладки. Тому домішки розповсюджуються нерівномірно по товщині підкладки: концентрація на поверхні більша, ніж в глибині. Недостатню чіткість $p-n$ переходів понижує якість та властивість елементів ІС. Вказаний недолік в значній мірі нейтралізується за допомогою планарно-епітаксильної технології.

Епітаксія являє собою процес нарощування тонкого напівпровідникового прошарку на напівпровідникову підкладку з будь-яким видом провідності, при якому кристалічна решітка нарощеного прошарку є точним продовженням кристалічної решітки підкладки. На мал.1.53. показані початкові стадії виготовлення інтегральних біполярних транзисторів $n-p-n$ типу методом планарно – епітаксильної технології.

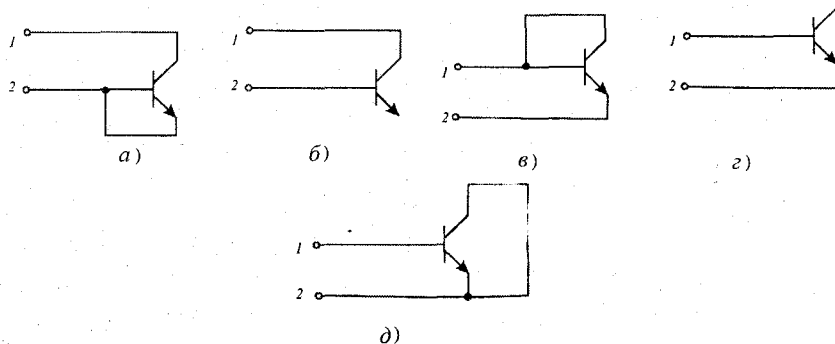
Із виготовленням інтегральних транзисторів, зазвичай, використовується високоомна підкладка p типу та епітаксильний прошарок n типу товщиною не більше 20мкм, котрий покритий оксидною плівкою SiO_2 (мал.1.53,а). Потім з плівки SiO_2 створюється маска (мал.1.53,б), через вікно якої проводиться дифузія домішок p -типу. У результаті створюються ізольовані закриті $p-n$ переходами острівці епітаксильного прошарку (мал.1.53,в), аналогічні розглянутим при планарно-дифузійній технології.

Подальші етапи формування на острівцях планарних транзисторів нічим не відрізняються від подібних етапів планарно-дифузійної технології. Використання тонкого епітаксильного прошарку при планарно-епітаксильній технології дає змогу отримати рівномірно розподілені домішки по товщині, та достатньо чіткі $p-n$ переходи.

Технологія виготовлення інтегральних МДН- транзисторів не відрізняється від розглянутої, однак кількість операцій зменшується в 3 – 3,4 рази, а площа, яку займає транзистор зменшується в 20 –30 разів.



Мал. 1.53. Формування острівців методом планарно-епітаксiальної технології: а – створення окисної плівки на епітаксiальному прошарку підкладки; б – виготовлення маски з вікнами; в – введення *p*- домішок та отримання острівців *n*- типу



Мал. 1.54. Методи транзисторних структур в якості діода з використанням: а, б – колекторного переходу; в, г – емітерного переходу; д – паралельно увімкненого емітерного та колекторного переходів; 1, 2 – виводи діодів

Діоди. Планарна технологія дає змогу формувати діоди будь-яких типів одночасно з транзисторами. Однак конструкторсько-технологічні міркування в якості діодів ІС за звичай використовують транзисторні структури при п'яти різних схемах увімкнення (мал.1.54). Ці схеми ґрунтуються на використанні колекторного (мал.1.54,а,б), емітерного (мал.1.54,в,г) переходів або їх паралельного з'єднання (мал.1.54,д).

Найбільш допустиму зворотну напругу (до 50В) мають діоди колекторного переходу, найменший зворотний струм та найбільшу швидкодію мають діоди, в яких використовують

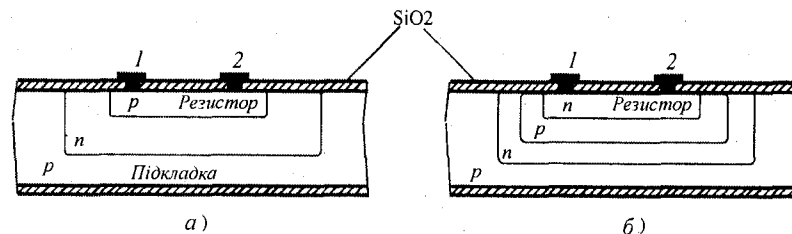
емітерний перехід. Найбільший зворотний струм та найменшу швидкодію – з паралельним з'єднанням колекторного та емітерного переходів. Найбільш низьку пряму напругу має діод на основі емітерного переходу при закороченому колекторному переході, найбільш високу – на основі емітерного переходу при розімкненому колекторі.

Емітерний перехід транзисторної структури із закороченим колекторним переходом (мал.1.54,в) часто використовується в якості інтегрального стабілітрона, який працює на ділянці електричного пробивання емітерного переходу.

Резистори. Створення інтегральних резисторів, які являють собою тонкий (біля 3 мкм) прошарок напівпровідника, проходить за планарною технологією в процесі дифузії домішок в описані вище острівці підкладки або епітаксiального прошарку одночасно з формуванням транзисторів в інших острівцях підкладки. Такі резистори називають дифузійними. Ізоляція дифузійних резисторів від інших елементів та підкладки здійснюється також, як і в інтегральних транзисторах – за допомогою закритого *p-n* переходу.

Найбільш розповсюдженим способом виготовлення дифузійних резисторів є використання базового або емітерного прошарку транзисторної структури. У першому випадку отримують високоомні резистори, в другому – низькоомні, так як базовий прошарок має значно меншу концентрацію основних носіїв, ніж емітерний.

Дифузійні резистори на основі емітерного та базового прошарків транзисторної структури показані на мал.1.55. Резистори відокремлені від інших не менше, ніж двома *p-n* переходами, увімкненими назустріч. При цьому при будь-якій полярності прикладеної напруги система зустрічно увімкнених *p-n* переходів буде закрита, що виключає необхідність подавання змiщення. Опір дифузійного резистора прямокутної форми визначається відношенням:



Мал. 1.55. Інтегральні резистори на транзисторних структурах з використанням: а – високого базового прошарку *p*-типу; б – низького емітерного прошарку *n*-типу

$$R = pl/(bh) = R_s l/b = R_s N_s \quad (1.24)$$

де *p*, *l*, *b*, *h* – відповідно питомий опір матеріалу, довжина, ширина та товщина дифузійного прошарку плівки; $R_s = p/h$ – поверхневий питомий опір; $N_s = l/b$ – кількість квадратів із сторонами *b*, котрі лежать по довжині плівки *l*.

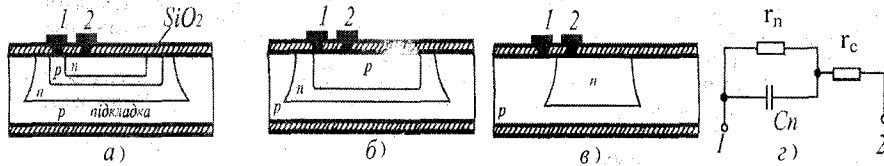
Поверхневий питомий опір R_s є важливим параметром, який характеризує провідність плівочних резисторів і не залежить від розмірів квадрата. Одиницею виміру R_s є Ом/квадрат (Ом/□).

Дифузійні резистори на основі базового прошарку транзисторної структури мають поверховий питомий опір біля 100-300 Ом/квадрат, на основі емітерного прошарку – порядку 0,5 Ом/квадрат. Звичайно, діапазон опорів таких резисторів обмежується значенням від 10 Ом до 50 кОм, а площа, яку вони займають для верхніх значень діапазону, становить

приблизно $0,125 \text{ мм}^2$, що в 40 – 50 разів перевищує площу інтегрального транзистора. Дифузійні резистори з ізоляційним *p-n*-переходами працюють впритул до частоти 20МГц.

В ІС на МДН-структурах в якості резисторів часто використовуються МДН-транзистори. Засув такого транзистора в залежності від потрібного характеру навантаження може вмикатися до стіку, витоку, корпусу.

Конденсатори. В якості конденсаторів ІС використовуються ємності зворотного вмикання *p-n*-переходів транзисторної структури або ємність МДН-структури, які виготовляються в ізованих від інших елементів в острівцях в одному технологічному циклі з іншими транзисторними структурами.



Мал.1.56. Інтегральні конденсатори на транзисторних структурах:

а – на емітерному переході; б – колекторному переході; в – на ізоляційному переході; г – їх еквівалентна схема; 1, 2 – виводи конденсатора

На мал.1.56, а-в показані варіанти інтегральних конденсаторів, принцип дії яких базується на використанні бар'єрних ємностей емітерного, колекторного та ізованого переходу транзисторної структури. Еквівалентна схема таких конденсаторів (мал.1.56,г) містить бар'єрну ємність C_n , опір переходу Γ_n та об'ємний опір переходів прошарків Γ_c , що створюються.

Ємність конденсатора на основі *p-n* переходу залежить від товщини та площі переходу і розраховується за формулою плоского конденсатора $C_n = \epsilon \epsilon_0 S / h_n$, де ϵ_0 - електрична постійна; ϵ - діелектрична проникність кремнію; S - площа переходу; h_n - товщина переходу.

Конденсатор на емітерному переході (мал.1.56,а) має найбільшу ємність на одиницю площі (питому ємність), яка досягає $0,2 \text{ мкФ/см}^2$ та найменшу напругу пробивання, яка дорівнює одиниці вольт. Наступним за величиною питомої ємності є конденсатор на колекторному переході (мал.1.56,б). Питома ємність цього конденсатора приблизно в шість разів менша від попередньої. Однак напруга пробивання такого конденсатора десятків десятків вольт. Найменшою питомою ємністю володіє конденсатор на ізоляційному переході (мал.1.56,в).

Недоліком конденсаторів на основі *p-n*-переходів є невелика питома ємність, значно більша у порівнянні з транзисторною площею, залежність ємності від напруги та наявність паразитних ємностей за рахунок ізолюючих *p-n*-переходів. Тому тепер конденсатори відносно рідко використовуються в ІС. Ще рідше використовуються в ІС індуктивні елементи внаслідок великих труднощів реалізації навіть малих індуктивностей.

Гібридні інтегральні схеми (ГІС). У технологічному відношенні ГІС так само, як і ІС, виготовляються груповим методом шляхом нанесення плівочних пасивних елементів на діелектричну підкладку з подальшим під'єднанням до цих елементів навісних активних компонентів, в тому числі ІС, які містяться на тій самій підкладці. Використання навісних компонентів викликано труднощами в створенні постійних активних елементів у плівковому

виконанні. Пасивні елементи ГІС можуть виготовлятися, як і на основі тонких (до 1 мкм), так і на основі товстих (від 1 до 50 мкм) плівок. Однак товстоплівкові елементи поступаються тонкоплівковим по допусках на номінали та стабільності параметрів.

До основних компонентів ГІС належить підкладка, система пасивних елементів та їх з'єднань, активних навісних компонентів.

Підкладки. Підвищення ступеня інтеграції за рахунок зменшення розмірів елементів ГІС ставить все більш вимоги до чистоти оброблення поверхні підкладки, її мікронерівностей, рівності площини, теплопровідності, хімічної стійкості, механічної міцності та іншого. Ні один із відомих матеріалів не задовольняє дані потреби, однак найбільш прийнятними є три групи матеріалів: скло, склокерамічні та керамічні матеріали.

Підкладки на основі бросилікатних та алюмосилікатних склоречовин мають велику чистоту оброблення поверхні. Шорсткість таких підкладок не перевищує 200 ангстрем, відхилення від площинності поверхні $0,1 \text{ мкм/мм}$. Основним недоліком є низька теплопровідність.

В якості склокристалічних матеріалів підкладок використовуються сітальи, розмір зерен яких не перевищує $0,01 \text{ мкм}$. Високі електроізоляційні властивості, механічна надійність, термостійкість, хімічна та абразивна стійкість, волого- та газонепроникність, легкість оброблення деталей робить сітальи основним матеріалом підкладок.

Основні переваги керамічних підкладок полягають в їх високій теплопровідності. Однак шорсткість поверхні складає тисячі ангстрем.

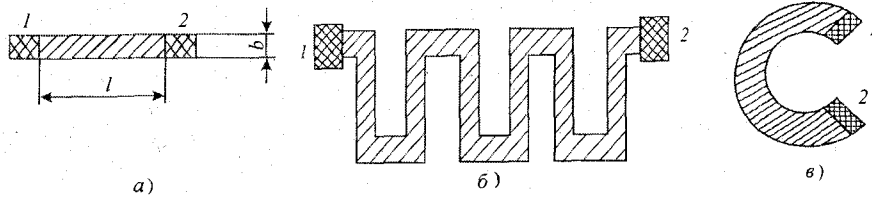
В якості підкладок ГІС з порівняно великою потужністю розсіювання застосовується кераміка з оксиду берилію, яка має теплопровідність біля $200 \text{ кал/(см} \cdot \text{с} \cdot \text{град)}$, тобто на два порядки вищу, ніж у скла. Габаритні розміри базової підкладки ГІС стандартизовані і складають $48 \times 60 \text{ мм}$ при товщині $0,5 - 2 \text{ мм}$. Діленням базової підкладки на 2,3,4,6,8,12 частин отримують нормалізований типорозмір.

Резистори. Для нанесення тонких плівок застосовують метод вакуумного напылення та катодного розпылення, які в поєднанні з методом фотографії дають змогу отримати пасивні елементи потрібної конфігурації та розмірів.

При виготовленні широкого діапазону номіналів плівкових резисторів (від десятої частини Ома до сотень мегаОм) використовуються резистивні матеріали з різним поверхневим питомим опором. Такі матеріали можна поділити на ряд груп: чисті метали, сплави металів, мікрокомпозиції та інші. Із резистивних матеріалів на основі чистих металів використовують хром і тантал. Останній є універсальним матеріалом для створення пасивних елементів ГІС, це зумовлено його високим поверхневим питомим опором в чистому виді добрими діелектричними властивостями у вигляді окисних плівок. Прикладами резистивних матеріалів на основі сплавів є ніхром, а також карбіди, нітриди і силіциди хрому, танталу та вольфраму. Поверхневий питомий опір сплавів зазвичай значно вищий, а значення температурного коефіцієнта опору (ТКО) менший у порівнянні з цими параметрами матеріалів, з яких складається сплав. За своїми властивостям до сплавів наближаються мікрокомпозиції, які поряд з металами містять діелектрики або напівпровідники і мають великий поверхневий опір. Найбільш широко в мікрокомпозиційних резисторах використовують суміші МЛТ-типу на основі хрому та кремнію з добавками заліза, нікелю та алюмінію. Особливим випадком мікрокомпозиційних сумішей є кермети, в яких використовується тугоплавкий матеріал або благородні метали та діелектрики. Кермети мають широкий діапазон поверхневого питомого опору.

Звичайні плівкові резистори мають форму прямокутника (мал.1.57,а). Число квадратів плівки та опір такого резистора підраховується за формулою (1.24). Деколи для реалізації великої кількості номіналів опору і більш повного використання площі підкладки резисторам надають складну конфігурацію (мал.1.57,б,в), які мають Г- та П-подібні відрізки,

закруглення та інше. У цьому випадку площа поперечного сечення плівки стає нерівномірною, наприклад, на кутах та згинах. У результаті формула (1.24)



Мал. 1.57. Конфігурація плівкових резисторів:
а – прямокутні, б – П- подібні, в – підковоподібні

для розрахунку опору плівок стає не точною тому необхідно вводити поправки.

Конденсатори та індуктивні елементи. У простішому випадку плівковий конденсатор має тришарову структуру: два металічних прошарки (обкладки конденсатора) з діелектричним прошарком між ними, в більш складних багатошарову.

Більшість показників плівкових конденсаторів в основному залежать від властивостей діелектричного прошарку: його матеріалу, товщини та методу отримання, а склад діелектричного прошарку обумовлює відповідний підбір матеріалів обкладок конденсатора.

Однією з основних характеристик плівкових конденсаторів, яка залежить від матеріалу та від діелектричного прошарку, є питомі ємність

$$C_0 = C/S = \epsilon \epsilon_0 / h = 0,0885 \epsilon / h,$$

де ϵ – електрична постійна, пФ/см; S – площа обкладок конденсатора, см²;

ϵ_0 – діелектрична проникність прошарку між обкладками; h – товщина діелектричного прошарку, см.

Значення ϵ лежить в межах від 3,5 для двоокису кремнію та до 80 – 120 для плівок титану берилію. Мінімальна величина h обмежена наявністю мікрodefektів плівкових структур та допустимою робочою напругою.

Другою основною характеристикою діелектричних матеріалів є їх електрична міцність, яка оцінюється значенням напруги електричного поля, необхідного для пробивання: $E = U_{пр} / h$, де $U_{пр}$ – напруга пробивання. Електрична міцність тонкоплівкових матеріалів знаходиться від $0,1 \cdot 10^6$ до $10 \cdot 10^6$ В/см. Для більшості плівок напруга пробивання визначається дефектами матеріалу плівки та матеріалів обкладок конденсатора. Останнє пов'язане з міграцією атомів обкладки в діелектричний прошарок, що при малій товщині плівки може привести до деякого замикання обкладок. Наприклад, по цій причині при срібних обкладках напруга пробивання менша, ніж при алюмінієвих.

Провідники та контактні площадки. Для об'єднання плівкових пасивних елементів та підвісних компонентів ГІС використовуються плівкові провідники та контактні площадки. Такі елементи повинні мати високу електропровідність, та не вносити завад у передавання сигналів, не створювати паразитних зворотних зв'язків та мати надійний, невипрямляючий, малозшумний контакт з елементами та компонентами схеми. Ці, вимоги нелегко замовольнити одночасно. Зокрема, зменшення ширини плівкового провідника призводить до зменшення паразитичної ємності, однак при цьому зростає її індуктивність, що в свою чергу може призвести до спотворення сигналів, що передаються.

Матеріал плівкових провідників та контактних площадок вибирається з урахуванням їх можливої взаємодії з матеріалом пасивних елементів, поверхнева міграція яких під дією постійної напруги найбільш небезпечна і може призводити до обривів та закорочування плівкових провідників. Не менш небезпечна можливість утворення інтерметалевих з'єднань у місцях з'єднання елементів з контактними площадками, що може значно змінити величину контактної опору. Для напилення плівкових провідників та контактних площадок найбільш кращими матеріалами є золото, срібло, мідь та алюміній. Недоліком золота, крім високої ціни, є низька адгезія до підкладки; срібла та міді – висока міграційна рухливість, крім того, мідь схильна до окислення. Тому для поліпшення адгезійних властивостей та усунення міграції вказані матеріали використовуються разом з прошарками хрому, ніхрому, нікелю, титану та інших.

Активні елементи. В якості активних компонентів ГІС широко використовуються дискретні напівпровідникові діоди, транзистори, тиристори, ІС, ВІС в корпусному або, частіше в безкорпусному виконанні. Використовуючи ці компоненти, особливо ІС, можна гнучко вирішувати ряд складних інженерних завдань по створенню так званих нетипових (нестандартних) функціональних вузлів, які належать конкретній апаратурі електронної техніки. При цьому для досягнення оптимальних електричних параметрів на одній підкладці ГІС можна сполучати активні компоненти, виконані за різними технологіями: біполярною, МДН, та інших. У ряді випадків вигідніше об'єднувати на одній підкладці ГІС декілька ІС або ВІС, так створюються нові, більш складні ІС та ВІС. І, на кінець, дискретні активні компоненти дають змогу створювати ряд потужних, силових ГІС, що викликає великі труднощі на сучасному етапі, особливо при сумісному виготовленні малопотужних та потужних активних елементів на одному кристалі напівпровідника.

З'єднуються дискретні активні компоненти з контактними площадками різними методами: термокомпресією, ультразвуковим зварюванням, лазерним променем та інші.

§1.10.3. Класифікація мікросхем

Згідно із Держстандартом 18682 – 73 всі інтегральні мікросхеми за конструкторсько-технологічними ознаками поділяються на три групи: напівпровідникові, гібридні та інші. Згідно з Держстандартом система позначення типів мікросхем складається з чотирьох основних елементів:

перший елемент – цифра, вказує на групу мікросхем: 1,5,7 – напівпровідникові, 2, 4, 6, 8 – гібридні, 3 – інші;

другий елемент – дві цифри, які вказують на порядковий номер розробки мікросхем. Причому перший та другий елемент утворюють число, яке зазначає серію мікросхем. Під серією мікросхем розуміємо декілька типів мікросхем, які мають одне конструкторсько-технологічне виконання, але виконують різні функції та призначені для сумісного використання в апаратурі;

третій елемент – дві букви, які вказують на функціональне призначення мікросхеми (див. додаток Б1);

четвертий елемент – порядковий номер розроблення мікросхеми в даній серії.

При необхідності вводиться п'ятий елемент – буква (від А до Я), яка вказує на відмінність мікросхем всередині даного типу по одному або декільком параметрах. Крім того, мікросхеми широкого застосування мають на початку позначення додаткову букву К, яка входить у позначення серії.

Різниця між системою позначення до 1974 року полягає в тому, що порядковий номер розроблення серії мікросхеми (другий елемент у нових позначеннях) ставиться зразу ж після літерного позначення функціональної приналежності схеми. Номер серії до 1974 року складався з перших трьох цифр позначення.

Приблизні позначення мікросхем згідно з Держстандартом:
 К140УТ6А – підсилювач постійного струму у вигляді напівпровідникової ІС, серія 140, порядковий номер розроблення в даній серії – шостий, різновидність А;
 173УН3 – підсилювач потужності низької частоти у вигляді напівпровідникової ІС, серія 173, порядковий номер розроблення в даній серії – третій.

Необхідно враховувати, що наведена система позначень належать до ІС, розроблена після 1974 року.

§1.10.4. Класифікація та система умовних позначень мікросхем за Державним стандартом України

Наказом Держстандарту України №326-95 від 29 вересня 1995 р. затверджений державний стандарт України на мікросхеми інтегральні ДСТУ32695. Цей стандарт поширюється на мікросхеми інтегральні, що виробляються для потреб народного господарства і встановлює їх класифікацію та систему умовних позначень.

Вимоги стандарту є обов'язковими і поширюються на мікросхеми, розроблені після його затвердження.

За конструктивно-технологічними вимогами мікросхеми поділяються на 5 груп, яким надають такі позначення:

- напівпровідникові, із структурами на біполярних транзисторах – 1,6
- напівпровідникові, із структурами на польових транзисторах – 5,7
- гібридні – 2, 4
- інші (плівкові, вакуумні, керамічні тощо) – 3
- резерв – 8, 9, 0

Зазначені групи мікросхем поділяють на підгрупи за конструктивно-технологічним виконанням, яким надано позначення:

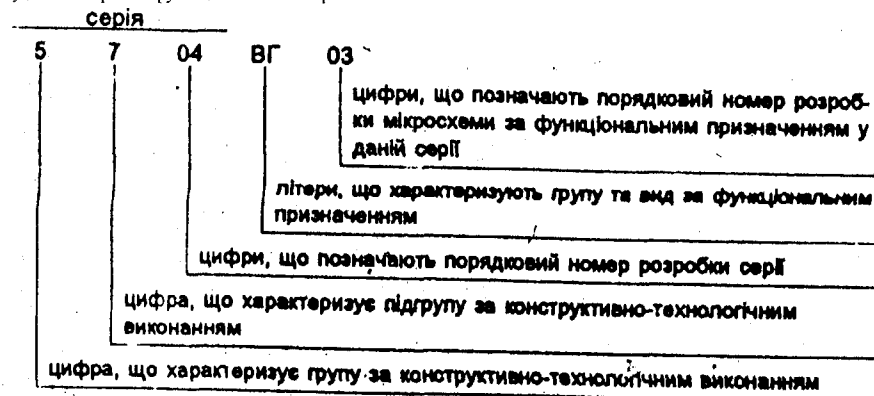
- для першої групи:
 - комбінована структура (з біполярними та польовими транзисторами) – 0
 - структура на біполярних транзисторах з ізоляцією р-п переходами – 1
 - структура на біполярних транзисторах з ізоляцією діелектриком – 2
 - структура на біполярних транзисторах з інжекційною інтегрованою логікою – 3
 - резерв – 4-9
- для другої групи:
 - 1) структура на польових транзисторах п-типу – 5
 - 2) структура на польових транзисторах р-типу – 6
 - 3) із симетричною комплементарною структурою – 7
 - 4) структура із зарядовим зв'язком – 8
 - 5) резерв – 1-9
- для третьої групи – гібридні мікросхеми:
 - 1) товстоплівкові – 1
 - 2) тонкоплівкові – 2
 - 3) комбіновані – 3
 - 4) резерв – 4-9
- для четвертої групи:
 - 1) товстоплівкові – 1

- 2) тонкоплівкові – 2
- 3) комбіновані – 3
- 4) резерв – 4-9

За функціональним призначенням мікросхеми поділяють на групи та види, наведені у таблиці в додатку Б2.

Система умовних позначень. Позначення мікросхеми повинно складатися з таких елементів:
 – перший елемент – цифра, що характеризує групу мікросхеми за конструктивно-технологічним виконанням;
 – другий елемент – цифра, що характеризує підгрупу мікросхеми за конструктивно-технологічним виконанням;
 – третій елемент – дві цифри, що позначають порядковий номер розробки серії мікросхеми, надається згідно з централізованим порядком;
 – четвертий елемент – дві літери, що характеризують групу та вид мікросхеми за функціональним призначенням згідно з таблицею 1.4;
 – п'ятий елемент – дві цифри, що позначають порядковий номер розробки мікросхеми за функціональним призначенням у даній серії і надаються згідно з централізованим порядком. Три перших елементи позначають серію мікросхеми.

Приклад умовного позначення напівпровідникової мікросхеми – програмованого контролера керування динамічним запам'ятовувачем прямого доступу (ЗПД) із симетричною комплементарною структурою, з номером розробки серії – 04, номером розробки мікросхеми у даній серії за функціональним призначенням – 03:



Приклад умовного позначення напівпровідникової мікросхеми – операційного підсилювача, що має структуру на біполярних транзисторах з ізоляцією р-п переходом, з порядковим номером розробки серії – 01, порядковим номером розробки мікросхеми у даній серії за функціональним призначенням – 06.

Приклад 1.1.

Розрахувати найпростішу схему випрямляча без згладжувального фільтра для випрямлення синусоїдної напруги з діючим значенням $U=700\text{В}$, використовуючи діоди типу Д226В.

Розв'язок

Визначимо амплітудне значення синусоїдної напруги:

$$U_m = \sqrt{2} \cdot U = 1.41 \cdot 700 = 1000 \text{ В}$$

Ця напруга у простій схемі випрямляча буде зворотною. Оскільки $U_{\text{звор. макс.}}$ у діодів Д226В з максимальною робочою температурою складає 300В, то для випрямлення необхідно використати ланцюг послідовно з'єднаних діодів одного і того ж типу. Через великі розкиди зворотних опорів діодів, які можуть відрізнятись в декілька разів, їх необхідно шунтувати резисторами. Необхідне число діодів n визначаємо за формулою:

$$n = U_m / (K_n \cdot U_{\text{звор. макс.}}),$$

де K_n – коефіцієнт навантаження по напрузі (може приймати значення від 0.5 до 0.8). Нехай $K_n=0.7$, тоді

$$n = 1000 / (0.7 \cdot 300) = 4.76$$

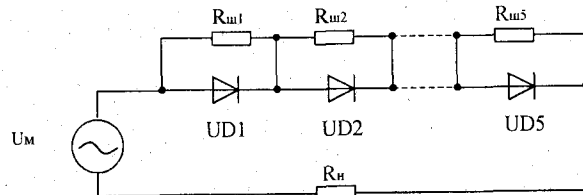
Візьмемо $n=5$.

Значення опорів, що шунтують резистори, визначимо за формулою:

$$R_{ш} \leq (n \cdot U_{\text{звор. макс.}} - 1.1 \cdot U_m) / ((n-1) \cdot I_{\text{звор. макс.}}),$$

де коефіцієнт 1.1 враховує десятивідсотковий розкид опорів резисторів, що використовуються; $I_{\text{звор. макс.}}$ - зворотний струм при максимально допустимій температурі. Із довідника знаходимо, що $I_{\text{звор. макс.}} = 300 \text{ мкА}$. Тоді, підставляючи числові значення величини у формулу для $R_{ш}$, одержуємо:

$$R_{ш} \leq (5 \cdot 300 - 1.1 \cdot 1000) / ((5-1) \cdot 0.003) = 333 \text{ кОм}$$



Мал. 1.58

Приймемо $R_{ш} = 300 \text{ кОм}$.

Отже, схема випрямляча має вигляд, зображений на мал. 1.58

Приклад 1.2

Для стабілізації напруги на навантаженні (мал. 1.59) використовується напівпровідниковий стабілітрон, напруга стабілізації якого $U_{ст} = 10 \text{ В}$. Визначити допустимі границі зміни напруги живлення, якщо максимальний струм стабілітрона $I_{ст. макс.} = 30 \text{ мА}$, мінімальний струм стабілітрона $I_{ст. мин} = 1 \text{ мА}$, опір навантаження $R_H = 1 \text{ кОм}$ та обмежувального резистора $R_{об} = 0,5 \text{ кОм}$.

Розв'язок

Напруга джерела живлення

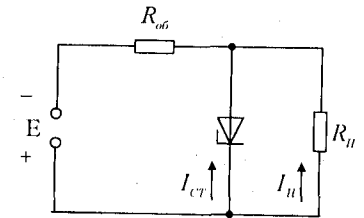
$$E = U_{ст} + R_{об} (I_H + I_{ст})$$

Струм через навантаження

$$I_H = U_{ст} / R_H$$

Таким чином,

$$E = U_{ст} (1 + R_{об} / R_H) + I_{ст} R_{об}$$



Мал. 1.59

Підставляючи в цю формулу максимальне та мінімальне значення струму через стабілітрон, одержимо

$$E_{\text{мин}} = 10(1 + 0.5) + 1 \cdot 0.5 = 15.5 \text{ В}$$

$$E_{\text{макс}} = 10(1 + 0.5) + 30 \cdot 0.5 = 30 \text{ В}$$

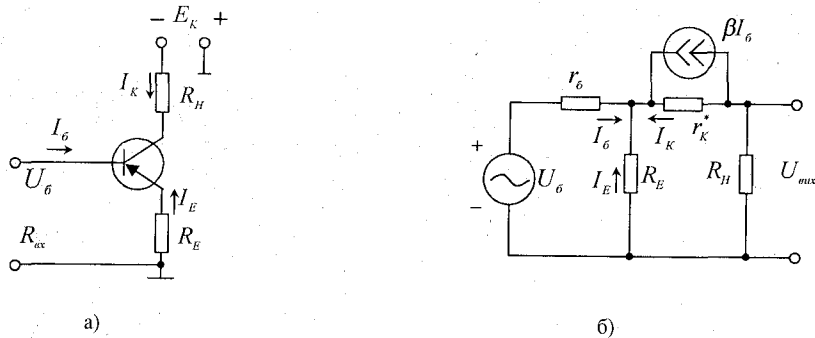
Приклад 1.3

У ланцюзі, зображеному на мал. 1.60,а, $E_K = -10 \text{ В}$, $R_H = 2 \text{ кОм}$, $R_E = 1 \text{ кОм}$. Визначити вхідні опори кола, якщо коефіцієнт передавання струму бази транзистора $\beta=50$.

Розв'язок

Вхідний опір $R_{вх} = U_г / I_г$. Оскільки можна знехтувати падінням напруги на емітерному переході, то $U_г \approx -I_E R_E$, а $I_E = -I_г (\beta + 1)$. Отже,

$R_{вх} = I_г (\beta + 1) R_E / I_г = 1(50 + 1) = 51 \text{ кОм}$. Це приблизне значення вхідного опору одержане без врахування опору емітера r_e та опору бази $r_б$. Якщо врахувати ці опори, то формула для вхідного опору буде мати вигляд $R_{вх} = (r_e + R_E) (\beta + 1) + r_б$. На практиці $r_e \ll R_E$ та $r_б \ll R_г (\beta + 1)$, тому приблизно можна вважати, що $R_{вх} \cong R_г (\beta + 1)$.



Мал.1.60.

Тут не було враховано також вплив опору r_k^* . Схема заміщення, яка враховує цей вплив, показана на мал. 1.60,б. Допустимо, що $r_k^* = \infty$ та генератор струму βI_b відсутній. Тоді струм колектора I_k дорівнює нулю і вхідний струм бази I_b визначається тільки r_b та R_E . У такому випадку $R_{ак} = r_b + R_E$.

Тепер припустимо, що опір r_k^* нескінченний, але є генератор струму βI_b . Отже, джерело U_b збуджує струм I_b , а джерело βI_b буде збуджувати струм колектора $I_k = \beta I_b$. Ці струми збуджують на опорі R_E спад напруги $R_E(I_b + \beta I_b)$. З аналізу схеми випливає, що

$$I_b = \frac{U_b - R_E(\beta + 1)I_b}{r_b}$$

Розв'язавши це рівняння відносно I_b , одержимо

$$I_b = \frac{U_b}{r_b + R_E(\beta + 1)}$$

Тоді вхідний опір

$$R_{ак} = U_b / I_b = r_b + R_E(\beta + 1)$$

Будемо вважати, що опір r_k^* скінченний. Із зменшенням r_k^* все більша частина струму βI_b буде проходити через цей опір, замість того, щоб іти до колекторних виходів та збуджувати струм колектора. Отже, спад напруги на резисторі R_E буде менший і вхідний опір буде зменшуватися. Проаналізуємо це явище, замінивши у схемі на мал. 1.60,б генератор струму на генератор напруги. Використовуючи метод еквівалентного генератора, одержимо схему, показану на мал. 1.61. Для її контурів можна записати:

$$U_b = (r_b + R_E)I_b + R_E I_k,$$

$$0 = (R_E - \beta r_k^*)I_b + (R_E + r_k^* + R_H)I_k$$

Розв'яжемо ці рівняння відносно I_b :

$$I_b = \frac{\begin{vmatrix} U_b & R_E \\ 0 & R_E + r_k^* + R_H \end{vmatrix}}{\begin{vmatrix} r_b + R_E & R_E \\ R_E - \beta r_k^* & R_E + r_k^* + R_H \end{vmatrix}} = \frac{U_b(R_E + r_k^* + R_H)}{(r_b + R_E)(R_E + r_k^* + R_H) - R_E(R_E - \beta r_k^*)}$$

Перетворимо знаменник дробу:

$$r_b(R_E + r_k^* + R_H) + R_E^2 + R_E r_k^* + R_E R_H - R_E^2 + R_E \beta r_k^*,$$

або

$$r_b(R_E + r_k^* + R_H) + R_E[r_k^*(\beta + 1)].$$

Якщо чисельник та знаменник рівняння для I_b розділити на $R_E + r_k^* + R_H$, то можна переписати це рівняння у вигляді $I_b = U_b / R_{ак}$, де $R_{ак}$ - вихідний опір. Отже, вхідний опір

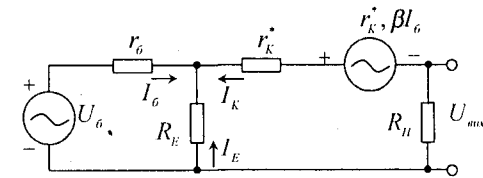
$$R_{ак} = r_b + \frac{R_E[r_k^*(\beta + 1) + R_H]}{R_E + r_k^* + R_H}$$

Розділивши чисельник та знаменник на r_k^* , одержимо

$$R_{ак} = r_b + \frac{R_E[(\beta + 1) + R_H / r_k^*]}{1 + (R_E + R_H) / r_k^*}$$

Ми одержали точний вираз для вхідного опору. З цього виразу можна вивести роль опору r_k^* . Якщо $(R_E + R_H) / r_k^* \ll 1$, то $R_H / r_k^* \ll 1$, і тоді рівняння приймає вигляд

$$R_{ак} = r_b + R_E(\beta + 1).$$



Мал.1.61.

Завдання для самоконтролю

1. Перерахуйте рухомі та нерухомі заряди в напівпровідниках, що містять домішки, вкажіть їхнє походження та залежність концентрації від температури.
2. Чому при аналізі електропровідності металів не враховують дірку складову струму?
3. Чому поза запірним прошарком p-n переходу прошарки напівпровідника нейтральні? Якими зарядами утворюється запірний прошарок та внутрішнє електричне поле переходу?
4. Поясніть залежність ширини запірного прошарку p-n переходу від прикладеної напруги.

5. Вкажіть напруги, прикладені до р-п переходів транзистора на пологій ($U_{KE} > U_{KE,н}$) та крутій ділянці вихідної характеристики мал. 1.7, а.
6. Поясніть (без формул), чому при постійній ($U_{KE} > U_{KE,н}$) збільшення струму бази транзистора викликає збільшення струму колектора.
7. Поясніть процеси в транзисторі при $I_B = 0$, $U_{KE} > U_{KE,н}$.
8. Як зміниться емітерний струм транзистора при збільшенні U_{KE} ($U_{KE} > U_{KE,н}$), якщо струм бази підтримується постійним?
9. Вкажіть випадки, коли струм стіку польових транзисторів змінюється через розширення р-п переходів.
10. На основі стікових характеристик мал. 1.9, г і мал. 1.11, б, в побудуйте стікозатворні характеристики $I_C = f(U_{ЗВ})$ при $U_{СВ} = \text{const}$.
11. Поясніть розподілення струмів у тиристорі. Яку роль у його роботі відіграє залежність коефіцієнтів передачі α_p та α_n від струму I_A ?
12. Чому процес відкривання тиристора з подаванням струму керування протікає лавиноподібно?
13. Чому в одноопераційному тиристорі зменшення керуючого струму не призводить до закривання пристрою?
14. Назвіть переваги ІМС. Поясніть залежність вартості ІМС від ступеня інтеграції.
15. Сформулюйте відмінні особливості напівпровідникових та гібридних ІМС.
16. Поясніть принцип дії світловопромінюючого діода, фотодіода, фототранзистора та фототиристора. В чому перевага оптронів над пристроями з електричним зв'язком?

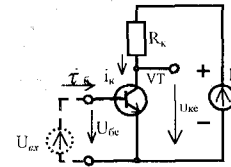
Глава друга

2. Транзисторні підсилювачі

[1, 2, 4, 5, 6, 7]

§2.1. Передатна характеристика підсилювального каскаду

Підсилювачами називаються пристрої, у котрих порівняно малопотужний вхідний сигнал керує передачею значно більшої потужності з джерела живлення на навантаження. Найбільш поширені підсилювачі, побудовані на напівпровідникових підсилювальних елементах (біполярних та польових транзисторах); в останні роки підсилювачі переважно використовуються у вигляді готових неподільних компонентів – підсилювальних інтегральних мікросхем (ІМС). Найпростіша комірка, що дає змогу здійснити підсилення, називається підсилювальним каскадом. Електричні сигнали, що подаються на вхід підсилювачів, можуть бути надзвичайно різноманітні; це можуть бути величини, що безперервно змінюються, зскрема гармонійні коливання, однополярні або двополярні імпульси. Як правило, ці сигнали пропорційні певним фізичним величинам. У встановлених режимах багато фізичних величин постійні або змінюються дуже повільно (напруга та частота мережі, частота обертання двигуна, напір води на гідроелектростанції). У перехідних і особливо аварійних режимах ті ж величини можуть змінюватися протягом малих проміжків часу. Тому підсилювач повинен володіти властивістю підсилювати як змінні, так і постійні або величини, що повільно змінюються. Такі підсилювачі є найбільш універсальними та поширеними. За традицією їх називають підсилювачами постійного струму (ППС), хоча така назва і не цілком справедлива: ППС підсилюють не лише постійну, але і змінну складову (фірієт сигналу) і в переважній більшості випадків вони є підсилювачами напруги, а не струму. У ППС не можна зв'язувати джерело і приймач сигналу через трансформатори та конденсатори, що не пропускають постійної складової сигналу. Ця умова викликає деякі труднощі при створенні ППС, з якими ми познайомимося нижче, але вона зумовила ще більше поширення ППС із появою мікроелектропіки: ППС не містять елементів, виконання яких у складі ІМС не можливе (трансформатори та конденсатори великої ємності).



Мал.2.1. Найпростіша схема вмикання транзистора з СЕ

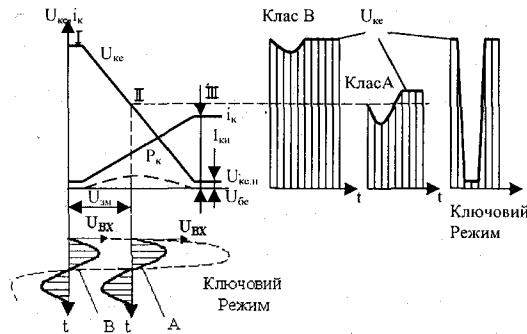
Для того, щоб розглянути принцип дії найпростішого підсилювального каскаду, увімкненого за схемою із спільним емітером, (СЕ), повернемося до схеми мал. 1.24,а. Зобразимо цю схему з транзистором п-р-п-типу в іншому вигляді (див. мал. 2.1). Джерело напруги $E_K \gg U_{KE,н}$, де $U_{KE,н}$ зазначено на вихідній характеристиці транзистора (мал. 1.25, а), пов'язане із колекторним електродом транзистора через опір навантаження R_K . Вхідний сигнал подається на базу транзистора (напруга U_{BE} та струм i_B). Побудуємо залежність $U_{KE} = f(U_{BE})$, що називається передатною характеристикою каскаду.

Зі збільшенням напруги U_{BE} зростає струм i_B (див. вхідну характеристику транзистора мал. 1.25,б при $U_K \geq U_{KE,н}$), зростає і струм колектора: $i_K = (\beta + 1)i_{KB0} + \beta i_B$ [див. вираз (1.9)]. У результаті збільшується падіння напруги на резисторі R_K , зменшується напруга $u_{KE} = E_K - i_K R$ (мал. 2.2). З досягненням напруги $U_{KE} = U_{KE,н}$ подальше збільшення U_{BE} не

викликає змін напруги $U_{ке}$ та струму $i_{к}$, що проходить через резистор $R_{к}$. У цьому режимі до $R_{к}$ прикладена напруга $E_{к}-U_{ке,н}$, і тому струм колектора $i_{к} = I_{к,н} = (E_{к} - U_{ке,н}) / R_{к}$.

Розгляд передатної характеристики каскаду показує, що при зміні напруги $U_{бе}$ або струму $i_{б}$ у ланцюзі малопотужного джерела сигналу можна змінити струм $i_{к}$ та напругу $U_{ке}$ у ланцюзі більш потужного джерела $E_{к}$. Проте колекторну напругу можна змінювати лише в межах $U_{ке,н} \leq U_{ке} \leq E_{к}$, а струм в межах $I_{к\beta 0} \leq i_{к} \leq (E_{к} - U_{ке,н}) / R_{к}$ (ділянка II на передатній характеристиці). З від'ємним значенням $u_{бе}$ на ділянці I через транзистор протікає тільки малий некерований струм колекторного переходу, а на ділянці III $U_{ке} = U_{ке,н}$ і транзистор, як було вказано у § 1.5, втрачає властивості підсилювального елемента. Ще один висновок, який можна зробити з аналізу передатної характеристики розглянутого підсилювального каскаду: при збільшенні $U_{бе}$ (ділянка II) $U_{ке}$ зменшується. Підсилювач, у якому приріст вихідного сигналу протилежний за знаком до приросту вхідного сигналу, називається *інвертуючим*.

Передатна характеристика каскаду дозволяє нам розглянути різноманітні способи роботи



Мал.2.2. Передатна характеристика транзисторного каскаду із СЕ

каскаду, що називаються класами підсилення.

На мал. 2.2 показані довільний двополярний вхідний сигнал $U_{вх}(t)$ та форма кривої напруги на колекторі $U_{ке}(t)$ у різноманітних режимах (класах підсилення). При роботі в *класі підсилення В* $U_{бе} = U_{вх}$. Нелінійність передатної характеристики каскаду призводить до того, що в класі В на вихід передається сигнал тільки однієї полярності: $U_{вх} > 0$. Клас В у розглянутому найпростішому каскаді можна використовувати лише для передавання однополярних сигналів, що зустрічаються нечасто. З передаванням двополярної напруги форма її спотворюється, частина інформації безповоротно губиться.

При роботі в *класі підсилення А* на вхід підсилювача одночасно з вхідним сигналом $u_{вх}(t)$ подається також постійна напруга зсуву, так що $u_{бе} = u_{вх} + U_{зм}$ (див. часові діаграми сигналів на мал. 2.2). Завдяки зміщенню $u_{вх}(t)$ вхідний сигнал відтворюється цілком, практично без спотворення форми, тому що значення $U_{бе}$ постійно відповідають ділянці II передатної характеристики. Режим роботи підсилювача, коли увімкнені джерела живлення та подане зміщення, але $u_{вх} = 0$, називається *режимом спокою*. У цьому режимі $u_{бе} = U_{бе,с}$ та $i_{б} = I_{б,с}$, а $u_{ке} = U_{ке,с}$. З прикладанням

від'ємної (або позитивної) напруги $u_{вх}$ зменшується (або відповідно збільшується) струми $i_{б}$ та $i_{к}$ та падіння напруги на $R_{к}$, у результаті збільшиться (зменшиться) напруга $u_{ке}$; $u_{ке,с} = U_{ке,с} + \Delta U_{ке}$, де $\Delta U_{ке} = u_{вх}$ - корисний ефект підсилення.

При роботі у *ключовому режимі* (режим великого сигналу) зміна вхідної напруги захоплює ділянки I-III передатної характеристики (див. часові діаграми на мал.2.2). Форма переданого сигналу спотворюється (обмежується його амплітуда). Подібний режим роботи каскаду знаходить широке застосування в імпульсній техніці з передаванням імпульсів прямокутної форми, де обмеження амплітуди імпульсів несуттєве.

Вибір класу підсилення та вибір режиму спокою визначає не лише форму переданого сигналу, але і потужність втрат, що викликає нагрів транзистора:

$$P_{к} = \frac{1}{T} \int_0^T U_{ке} i_{к} dt$$

На діаграмах мал. 2.2 пунктиром зображена залежність потужності $P_{к}$ у режимі спокою від напруги зміщення $U_{зм}$. Ця залежність показує, що вибір $U_{зм}$ всередині ділянки II передатної характеристики каскаду відповідає максимальним втратам потужності в транзисторі. Більш докладно це питання розглядається у наступних розділах при побудові каскадів підсилення потужності.

§ 2.2. Режим спокою в каскаді із спільним емітером

Виділення режиму спокою при аналізі електронних схем є одним із типових прийомів схемотехнічної електроніки. Продовжимо розгляд каскаду із СЕ у найбільш поширеному класі підсилення – класі А. Схема каскаду наведена на мал. 2.3; спочатку будемо розглядати спрощений варіант каскаду при $R_{с} = 0$. Схема містить знайомі нам компоненти: підсилювальний елемент – транзистор, джерело живлення $E_{к}$, опір колекторного навантаження $R_{к}$. На схемі з'явився опір колекторного навантаження $R_{н}$, до якого прикладена напруга $U_{вх}$, а вхідне коло умовно подане у вигляді послідовного вмикання двох джерел напруги $U_{вх}$ та $U_{зм}$ (у § 2.5 ми уточнимо способи зв'язку каскаду з джерелом сигналу і з навантаженням, поки відзначимо лише, що в класі підсилення А на вхід каскаду крім вхідного сигналу подається постійна напруга зміщення $U_{зм}$).

На мал. 2.4 подані тимчасові діаграми напруг та струмів у каскаді із СЕ. При $u_{вх} = 0$ у режимі спокою через транзистор протікають постійні струми $I_{б,с}$, $I_{к,с}$, $I_{е,с}$ і до бази та колектора транзистора прикладені постійні напруги $U_{бе,с}$ і $U_{ке,с} \neq 0$. Для того, щоб у режимі спокою $u_{вх} = 0$, у коло навантаження $R_{н}$ необхідно ввести джерело постійної компенсуючої напруги $U_{ком,с} = U_{ке,с}$. З прикладанням вхідної напруги, струми та напруги в транзисторі одержують приріст $\Delta U_{бе} = u_{вх}$, $\Delta I_{б}$, $\Delta I_{к}$, $\Delta I_{е}$, $\Delta U_{ке} = U_{вх}$, які показані на мал. 2.4 для вхідного сигналу довільної форми. Миттєві значення струмів та напруг у транзисторі можуть бути знайдені за допомогою графічного методу, що є одним з ефективних засобів аналізу нелінійних кіл.

У схемі мал. 2.3 є лише один нелінійний елемент – транзистор; зв'язок струмів та напруг у транзисторі поданий його ВАХ (див. мал. 1.25), зокрема його вихідними характеристиками

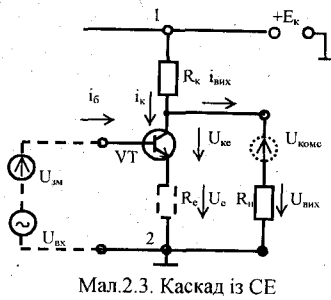
$$i_{к} = f(u_{ке}) \text{ при } I_{б} = \text{const} \quad (2.1)$$

При графічному аналізі лінійна частина схеми описується рівнянням у тих же координатах

($i_{к}$, $u_{ке}$)

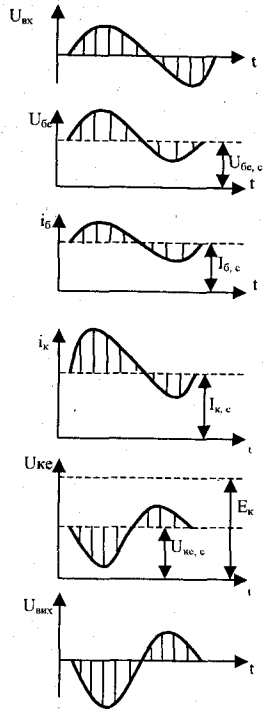
Розглянемо *режим спокою*. Допустимо, що в ланцюг навантаження увімкнене джерело напруги, що компенсує, $U_{ком,с} = U_{ке,с}$. Тоді в режимі спокою струм у навантажувальний ланцюг ($R_{н}$, $U_{ком,с}$) не відгалужується, і рівняння лінійної частини схеми записується у вигляді

$$i_{к} = (E_{к} - U_{ке,с}) / R_{к} \quad (2.2)$$



Мал.2.3. Каскад із СЕ

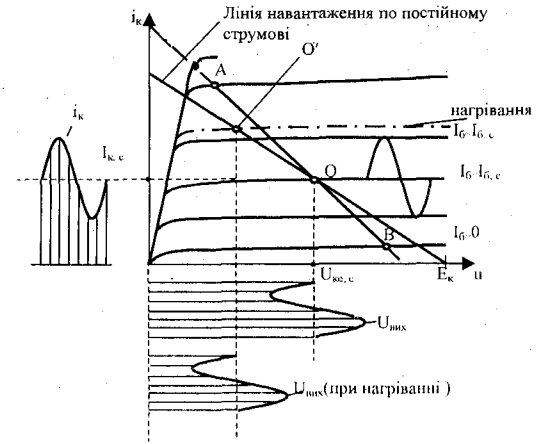
Мал.2.4. Часові діаграми струмів та напруг в каскаді із СЕ



Розв'язуємо систему рівнянь (2.1), (2.2) графічно, для цього через сімейство вихідних характеристик транзистора (мал. 2.5) проводимо лінію навантаження по постійному струму, що описується формулою (2.2). З формули (2.2) знаходимо, що при $i_k=0$, $u_{квс}=E_k$ і при $u_{квс}=0$, $i_k=E_k/R_k$. Через дві знайдені точки проводимо пряму лінію. Задамо струм бази в режимі спокою $I_{б,с}$, тоді перетин лінії навантаження по постійному струму з вихідною характеристикою транзистора при $i_b=I_{б,с}$ буде відповідати розв'язку системи рівнянь (2.1), (2.2)-точці спокою 0 ($U_{квс,0}$, $I_{к,с}$)*.

Графічний аналіз каскаду при наявності вхідного сигналу проводиться аналогічно. Розглянемо контур проходження струму ΔI_k через лінійну частину схеми. Цей струм може пройти через R_k та E_k , а також через $U_{комс}$ та R_n . Оскільки опір джерел постійної напруги для приросту струму (тобто їхній опір для змінної складової струму) дорівнює нулю, рівняння лінійної частини схеми має вигляд:

* У загальному випадку умова $U_{комс}=U_{квс}$ не виконується і струм колектора відгалужується в ланцюг R_n . Замінимо в цьому випадку лінійну частину схеми (E_n , R_n , $U_{комс}$, R_n) еквівалентними опором та ЕРС $R_{екв}$ та $E_{екв}$ знайденими згідно з теоремою про еквівалентний генератор. Читач може переконатися, що $R_{екв}=R_k R_n / (R_k + R_n)$, а $E_{екв}=[R_k \times R_n / (R_k + R_n)](U_{комс} R_n + E_n / R_n)$. Ці значення $R_{екв}$ та $E_{екв}$ підставимо замість R_k та E_k у формулу (2.2) і побудуємо за цим рівнянням лінію навантаження по постійному струму.



Мал.2.5. Графічний розрахунок каскаду із СЕ: штрихпунктирна лінія – вихідна характеристика при $I_{б,с}$ та $I_{б,с}$ та нагріванні

$$\Delta I_k = \Delta U_{квс} (R_k + R_n) / (R_k R_n) = \Delta U_{квс} / (R_k || R_n) \quad (2.3)$$

де $R_k || R_n$ – позначення паралельного з'єднання резисторів. Розв'яземо спільно рівняння (2.1) та (2.3). Для цього через сімейство вихідних характеристик транзистора (мал. 2.5) проводимо, через точку спокою, лінію навантаження по змінному струму AOB відповідно до виразу (2.3). Оскільки $R_k > (R_k || R_n)$, пряма AOB проходить крутіше лінії навантаження по постійному струму.

Із збільшенням i_b робоча точка каскаду ($U_{квс}$, i_k) переміщується вгору по прямій OA , струм i_k зростає, $U_{квс}$ падає. Із зменшенням струму бази робоча точка переміщується по прямій OB ; струм i_k падає, $U_{квс}$ зростає. Пряма AOB – це траєкторія робочої точки каскаду.

Графічний аналіз дозволяє врахувати нелінійність характеристик транзистора, дає можливість розглядати дії будь-яких сигналів у будь-якому класі підсилення. Недоліком його є громіздкість і неможливість вибору параметрів елементів каскаду за заданими вимогами. Головною перевагою графічного аналізу є наглядне представлення про роботу каскаду як про схему з нелінійним елементом.

У § 1.5 ми відзначили сильну залежність струму $I_{к,с}$ від температури. З нагріванням росте $I_{к,с}$ вихідна характеристика при зберіганні рівності $I_b=I_{б,с}$ зміщується вгору, як показано штрихпунктирною лінією на мал. 2.5. Точка спокою переміщується вгору по лінії навантаження по постійному струму з θ у θ' , внаслідок чого приріст сигналів може вийти за ділянку II передатної характеристики (див. мал. 2.2) і форма кривої сигналу буде спотворена (крива $u_{вих}$ при нагріванні на мал. 2.5). Тому в транзисторних підсилювачах необхідна стабілізація точки спокою і каскади без стабілізації практично не застосовуються. Стабілізація режиму спокою дозволяє не лише вилучити спотворення форми сигналу при нагріванні, але і стабілізувати режим при зміні транзистора, оскільки параметри транзисторів мають великий розкид, показаний у паспортних даних приладу.

§ 2. 3. Зворотні зв'язки. Стабілізація режиму спокою

Для стабілізації режиму спокою у каскад вводять зворотний зв'язок (ЗЗ). Зворотним зв'язком називається передавання інформації (або енергії) з виходу пристрою або системи на його вхід.

За допомогою ЗЗ добиваються нових якостей пристроїв та створюють нові схеми. Теорія ЗЗ лежить в основі «Теорії автоматичного регулювання». Зворотний зв'язок застосовують не лише в техніці, але й у керуванні галузями народного господарства, у керуванні соціальними процесами.

Звернемося до електронної техніки. Сигнал ЗЗ залежить від одного з вихідних параметрів пристрою: напруги, струму, частоти обертання двигуна, температури об'єкта і т.ін. Відповідно до цього ЗЗ поділяються на ЗЗ по напрузі, струмові, швидкості, температурі і т.ін.

На вході пристрою відбувається додавання вхідного сигналу та сигналу ЗЗ. Якщо згадані сигнали додаються так, що алгебраїчно складаються їхні напруги, то ЗЗ називається послідовним. При алгебраїчному додаванні струмів йдеться паралельний ЗЗ.

Якщо на вході додаються сигнали різних знаків, то ЗЗ є негативний (НЗЗ). У даному випадку на вході схеми діє різницевий сигнал, який менший вхідного. Вихідний сигнал при цьому зменшується. Проте із застосуванням НЗЗ збільшується стабільність вихідної величини: НЗЗ по напрузі стабілізує напругу, НЗЗ по швидкості стабілізує швидкість і т.д. У цій особливості НЗЗ переконаємося в даному параграфі.

Із додатним ЗЗ (ДЗЗ) на вхід пристрою подається сума вхідного сигналу та сигналу ЗЗ. Вихідний сигнал збільшується, але стабільність вихідного параметра падає. ДЗЗ використовуються для прискорення перехідних процесів, вони застосовуються в схемах генераторів та в імпульсних пристроях.

Отже, перед нами поставлене завдання стабілізації точки спокою каскаду зі спільним емітером. Для цього вводимо в каскад мал. 2.3 резистор R_c падіння напруги на ньому $u_c = i_c R_c \approx i_k R_c$ прикладається до входу транзистора:

$$u_{bc} = u_{ax} + U_{zm} u_c \quad (2.4)$$

Напруга u_c є сигналом ЗЗ, він пропорційний вихідному струмові транзистора $i_c \approx i_k$ тобто в даному випадку йдеться про ЗЗ по струмові. На вході відбувається віднімання напруг, тому ЗЗ є послідовний та від'ємний.

У § 1.5 вказувалося, що при нагріванні збільшуються $\beta, I_{ke,c}$, тому росте постійна складова напруги ЗЗ $U_{c,c} = I_{c,c} R_c \approx I_{k,c} R_c$. У відповідності з виразом (2.4) $U_{bc,c} = U_{zm} - U_{c,c}$ зменшується, знижується пряма напруга на емітерному переході, внаслідок чого зменшуються струми транзистора $I_{b,c}$, $I_{k,c}$ та $I_{e,c}$. Отже, ЗЗ підтримує струми транзистора в режимі спокою більш стабільними. Стабільність режиму спокою зростає зі збільшенням R_c , тому що при цьому росте сигнал ЗЗ.

Така стабілізація точки спокою дається дорогою ціною. З подачею на вхід каскаду позитивного (або негативного) вхідного сигналу u_{ax} збільшуються (або відповідно зменшуються) струми i_e та i_k , а також падіння напруги па R_c (сигнал ЗЗ). З виразу (2.4) визначимо збільшення напруги між базою та емітером: $\Delta U_{bc} = u_{ax} - \Delta U_c$. Транзистор керується напругою $|\Delta U_{bc}| < |u_{ax}|$, тому ΔI_b , ΔI_k , ΔU_{ke} тепер менше, знижуються u_{ax} та коефіцієнт підсилення каскаду.

Для зменшення шкідливого впливу ЗЗ на підсилення каскаду обмежують напругу $U_{z,c}$ (не більше 0,1 E_k), але і при цьому шкідливий вплив ЗЗ достатньо великий. Протиріччя між вимогами до стабільності точки спокою і до високого підсилення переборені в диференціальному каскаді (див. § 2.6).

З вибиранням точки спокою в класі А необхідно позбавитись спотворень сигналу (для чого траєкторія робочої точки повинна бути обмежена відрізком АОВ) (мал. 2.5), при цьому потужність, що розсіюється на транзисторі, повинна бути мінімальною. Для виконання цих умов достатньо вибрати

$$U_{ke,c} = U_{k,n} + \Delta U_{k,c} + U_{вих,max}; \quad (2.5)$$

$$I_{k,c} = (\beta + 1) I_{k\beta 0} + U_{вих,max} / (R_k || R_n), \quad (2.6)$$

де $U_{ke,n}$ – напруга, що відтинає кругу ділянку вихідних характеристик транзистора (див. мал. 1.25, а); $\Delta U_{k,c}$ – запас на переміщення точки спокою 0 з нагріванням; $U_{вих,max}$ – максимальна амплітуда вихідного сигналу.

Пропонуємо читачу за допомогою діаграм мал. 2.5 переконатися, що при виконанні співвідношень формул (2.5), (2.6) траєкторія робочої точки каскаду не покидає зони $u_k > U_{ke,n}$, $i_k > I_{k\beta}(\beta + 1)$, що відповідає ділянці II передатної характеристики мал. 2.2, як при мінімальній, так і при максимальній температурі.

При $U_{z,c} = U_{ke,c}$

$$I_{k,c} = (E_k - U_{ke,c} - U_{e,c}) / R_k$$

Розв'язавши це рівняння разом із виразом (2.6), після перетворень знайдемо опір у ланцюзі колектора:

$$R_k = \frac{E_k - U_{ke,c} - U_{e,c} - U_{вих,max}}{I_{k\beta 0}(\beta + 1) + U_{вих,max} / R_n}$$

§ 2.4. Схема заміщення та головні показники каскаду із СЕ

Для розрахунку підсилювальних параметрів каскадів користуються іншим методом розрахунку нелінійних кіл, оснований на лінеаризації нелінійних вольт-амперних характеристик транзистора (див. мал. 1.25). Лінеаризація нелінійних характеристик неминуче пов'язана з втратою інформації про реальний елемент та обмеження, зумовлені його нелінійністю. Так, при аналізі підсилювачів можемо розраховувати лише змінні складові (пріористи) струмів та напруг каскаду у класі підсилення А.

Із розрахунком змінних складових підсилювальний елемент замінюється лінійною схемою заміщення. На похилій ділянці вихідних характеристик мал. 1.25,а транзистор функціонує як джерело струму i_k , збільшення якого може бути записане у вигляді

$$\Delta I_k = \beta \Delta I_b + \Delta U_{ke} / r_{k,c},$$

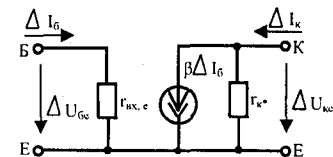
де $r_{k,c} = \Delta U_{ke} / \Delta I_k$ при $I_b = \text{const}$ – динамічний вихідний опір транзистора із СЕ, обумовлений нахилом похилої ділянки вихідних характеристик. Опір $r_{k,c}$ великий (10^4 Ом та вище).

Таким чином, вихідний (колекторний) ланцюг транзистора являє собою кероване джерело струму з внутрішнім опором $r_{k,c}$.

Вхідний (базовий) ланцюг транзистора описується рівнянням

$$\Delta I_b = \Delta U_{bc} / r_{ax,c}.$$

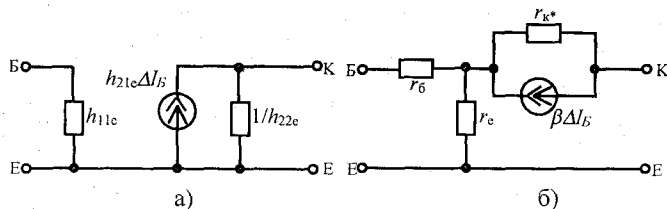
де $r_{ax,c}$ – динамічний вхідний опір транзистора із СЕ, зумовлений нахилом вхідної характеристики транзистора (мал. 1.25,б) при $U_{ke} > U_{ke,n}$. Опір $r_{ax,c}$ для малопотужних транзисторів порядку 10^3 Ом, для більш потужних транзисторів він знижується.



Мал. 2.6. Схема заміщення транзистора із СЕ по змінній складовій

Схема заміщення транзистора для змінних складових подана на мал. 2.6.

Транзистор, як і будь-який багатополосник, може бути поданий у вигляді різноманітних схем заміщення (див., наприклад, мал. 2.7, а та б). Схема мал. 2.6 має ряд переваг, що зумовили її вибір: 1) її параметри легко визначаються з ВАХ транзистора і мають визначений фізичний зміст; 2) позначення елементів на схемі заміщення відповідає розмірності величин; 3) розрахункові вирази з використанням даної схеми заміщення найбільш прості.



Мал.2.7. Схеми заміщення транзистора із СЕ по змінній складовій: а – в h-параметрах; б – у фізичних параметрах.

У табл. 2.1 поданий перевід параметрів схем заміщення мал. 2.7 у параметри схеми заміщення мал. 2.6.

Порядок розрахунку змінних складових струмів та напруг каскаду такий: 1) замінемо транзистор схемою заміщення мал. 2.6; 2) заміняємо лінійну частину схеми каскаду еквівалентними опорами для змінного струму, при цьому враховуємо, що джерела постійних

Таблиця 2.1. Зв'язок параметрів схем заміщення транзистора з вмиканням із спільним емітером

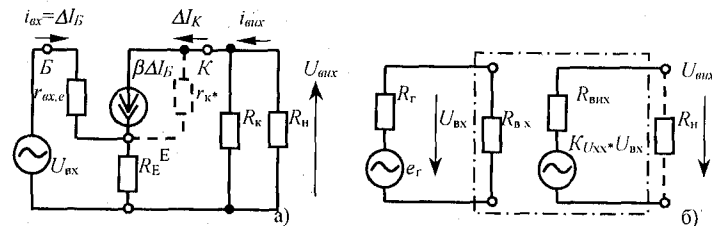
Параметр схеми мал. 2.6	Значення параметра через параметри інших схем заміщення	
	Схема заміщення в h- параметрах (мал. 2.7, а)	Схема заміщення у фізичних параметрах (мал. 2.7, б)
$r_{ax,e}$	h_{11e}	$r_b + r_e (\beta + 1)$
β	$ h_{21e} $	β
r_{k^*}	$1/h_{22e}$	r_{k^*}

напруг (E_k , U_{ax} , U_{koms}) для змінної складової струму мають нульовий опір (§ 2.2) і тому замикаються накоротко; 3) з отриманої схеми заміщення каскаду розраховуються електричні параметри лінійного ланцюга методами, відомими з курсу електротехніки.

На мал. 2.8, а наведена схема заміщення каскаду із СЕ за мал.2.3. До колектора транзистора увімкнені паралельно резистори R_k (джерело E_k , тобто точки 1 та 2 на мал.2.3 закорочуємо) і R_n (закорочуємо U_{koms}), до емітера – резистор R_e , а між базою та загальним провідником (точки 1, 2) увімкнене джерело вхідного сигналу.

Користуючись схемою заміщення каскаду мал.2.8,а, знайдемо параметри, що характеризують його підсилювальні властивості. При розрахунку не враховуємо r_{k^*} , оскільки він великий.

1. Вхідний опір $R_{ax} = u_{ax} / i_{ax}$. Обійдемо вхідний ланцюг каскаду: $i_{ax} = \Delta I_b r_{ax,e} + \Delta I_c R_e = \Delta I_b [r_{ax,e} + (\beta + 1) R_e]$, оскільки $\Delta I_c = \Delta I_b + \Delta I_e = (\beta + 1) \Delta I_b$. Отже,



Мал. 2.8. Схема заміщення каскаду із загальним емітером по змінній складовій (а) та узагальнена схема заміщення підсилювача (б).

$$R_{ax} = r_{ax,e} + (\beta + 1) R_e \quad (2.7)$$

При $R_e = 0$ (каскад без стабілізації точки спокою) $R_{ax} = r_{ax,e}$. Величина R_{ax} у каскадах із СЕ малої потужності дорівнює порядку 10^3 Ом.

2. Коефіцієнт підсилення по напрузі у режимі холостого ходу: $K_{U_{ox}} = u_{ox} / u_{ax}$ при $R_n = \infty$. Користуючись законом Ома, виразимо напругу через струми:

$$K_{U_{ox}} = \frac{\Delta I_c R_k}{\Delta I_b R_{ax}} = \frac{\beta R_k}{r_{ax,e} + (\beta + 1) R_e} \quad (2.8)$$

При $R_e = 0$ $K_{U_{ox}} = \beta R_k / r_{ax,e}$. Значення $K_{U_{ox}}$ при $R_k \gg R_e$ досягає в каскадах величини 10^2 . Залежність формули (2.8) показує дуже сильне зменшення $K_{U_{ox}}$ при збільшенні R_e (тобто при підвищенні стабільності точки спокою).

3. Вихідний опір R_{ox} знаходять за теоремою про еквівалентний генератор: цей опір між вихідними виводами підсилювача з вмиканням усіх джерел сигналу (джерела напруги обривають, джерела струму закорочують). Допустимо $u_{ax} = 0$, тоді $\beta \Delta I_b = 0$. Опір між вихідними виводами

$$R_{ox} = R_k \quad (2.9)$$

У малопотужних підсилювачах $R_{ox} \approx 10^3$ Ом.

Будь-який підсилювач можна замінити узагальненою схемою мал. 2.8, б, що містить підсилювальні параметри $K_{U_{ox}}$, R_{ax} та R_{ox} . Протягом цієї частини курсу можна простежити тенденцію замінювати прилади, каскади та більш значні електронні вузли чотириполосниками з визначеною системою узагальнених параметрів. Розумне узагальнення зведень про елементи електронних пристроїв дає змогу розглядати усе більш складні системи, звільняючи аналіз від раніше вивчених подробиць.

За допомогою узагальненої схеми заміщення мал.2.8, б знайдемо інші параметри підсилювального каскаду із СЕ, що є похідними від $K_{U_{ox}}$, R_{ax} та R_{ox} . Допускаємо, що джерело сигналу E_r має внутрішній опір R_r . Знайдемо коефіцієнт підсилення каскаду по напрузі при $R_n \neq \infty$:

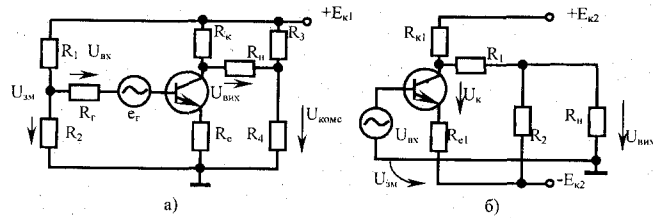
$$K_U = \frac{u_{ox}}{E_r} = K_{U_{ox}} \frac{R_{ox}}{R_{ox} + R_r} \frac{R_n}{R_n + R_{ox}} = K_{U_{ox}} \gamma_{вх} \gamma_{вих} \quad (2.10)$$

де $\gamma_{вх}$ та $\gamma_{вих}$ коефіцієнти, що показують втрату сигналу у вхідному колі (на опір R_r) та у вихідному колі (на R_{ox}). Завжди $K_U < K_{U_{ox}}$.

Коефіцієнт підсилення каскаду по струмові

$$K_I = i_{ox} / i_{ax} = K_{U_{ox}} R_{ax} (R_n + R_{ox}), \quad (2.11)$$

Оскільки в каскаді з СЕ $K_{U_{ox}} > 1$, то $K_I > 1$ досяжний.



Мал. 2.9. Різні способи побудови схем ППС

Коефіцієнт підсилення по потужності

$$K_P = P_{вих} / P_{вх} = K_U K_I \gg 1 \quad (2.12)$$

Як правило, малопотужні підсилювачі створюються для підсилення напруги. Для одержання максимального підсилення по напрузі, як випливає з формули (2.10), треба забезпечити $R_{вх} \gg R_i$ та $R_{вих} \ll R_n$. У каскаді із СЕ ці умови забезпечуються погано. Покажемо це на прикладі. Нехай $\beta=50$, $r_{вх,е} = R_n = 1 \text{ кОм}$, $R_k = R_c = 2 \text{ кОм}$, $R_e = 100 \text{ Ом}$. Із формули (2.7) $R_{вх} = 6 \text{ кОм}$. Із формули (2.8) $K_{U_{вх}} = 16$, а з формули (2.10) $K_U = 4$. Невдале співвідношення $R_{вх} / R_i$ та $R_n / R_{вих}$ зменшує коефіцієнт підсилення в 4 рази!

У § 2.7, 2.8 розглянуті способи подолання цього недоліку, властивого транзисторним підсилювачам.

§ 2.5. Види зв'язків та дрейф нуля у підсилювачах постійного струму

Із побудовою підсилювальних каскадів, що працюють у класі А, на вхід каскаду (мал. 2.3) подається вхідна напруга та напруга зміщення. На колекторі транзистора – вихідна напруга та постійна складова $U_{к,с}$, для компенсації якої може бути введена компенсуюча напруга. Схема мал. 2.3 може бути реалізована при виконанні джерел $U_{зм}$ та $U_{комс}$ у вигляді незалежних гальванічних елементів. Проте таке вирішення сильно ускладнює джерело живлення підсилювача і застосовується дуже рідко. На схемі мал. 2.9, а напруги $U_{зм}$ та $U_{комс}$ формуються резистивними подільниками R_1/R_2 та R_3/R_4 , що увімкнені до джерела живлення $E_{к1}$. Недоліком схемного вирішення мал. 2.9, а є відсутність загальної точки у джерелі $u_{вх}$ та навантаженні R_n , що нерідко утруднює використання такого підсилювача.

Цей недолік може бути ліквідований у підсилювачах із двома різнополярними джерелами живлення, що у даний час широко поширені. Схема вмикання джерела сигналу до такого підсилювача наведена на мал. 2.9, б. Для одержання напруги зміщення використовується джерело $-E_{к2}$ до якого увімкнений емітерний ланцюг каскаду, що містить резистор $R_{е1}$. Джерело сигналу увімкнене безпосередньо між базою і загальним (заземленим) провідником. Для цієї схеми справедливий вираз (2.4).

Загальним недоліком розглянутих способів вмикання джерела сигналу до ППС (схеми мал. 2.3, мал. 2.9, а, б) є те, що через джерело сигналу протікає струм бази спокою. Якщо джерело сигналу не припускає цього, каскад варто виконувати на польовому транзисторі (див. § 2.8).

Вмикання навантаження у схемах із двома джерелами живлення може бути здійснене, як показано на мал. 2.9, б. Напруга $U_{к,с}$ компенсується напругою на резисторі R_1 подільника напруги R_1/R_2 . У режимі спокою напруга на виході

$$u_{вих} = U_{к,с} - (U_{к,с} + |E_{к2}|) R_1 / (R_1 + R_2).$$

Оскільки в режимі спокою потрібно забезпечити $u_{вих} = 0$, то після нескладних перетворень можна одержати, що для цього необхідно

$$U_{к,с} / |E_{к2}| = R_1 / R_2.$$

Із передаванням корисного сигналу $u_{вх}$ частина його губиться на подільнику, що складається з резистора R_1 та опора R_2 || R_n . Коефіцієнт передавання цього подільника

$$\gamma = R_2 || R_n / (R_1 + R_2 || R_n).$$

Таким чином, у підсилювачах постійного струму завдання зв'язку підсилювача з джерелом сигналу та навантаженням викликає відомі труднощі, вирішення нерідко носить компромісний характер. Найбільше вдалі схемні вирішення одержують широке поширення і випускаються у вигляді (або в складі) ІМС, які аналізуються нижче.

Характерною рисою ППС є також дрейф нуля – самочинна зміна вихідного сигналу при $\Delta U_{вх} = 0$. Причинами виникнення дрейфу можуть бути нестабільність джерел живлення підсилювачів і особливо зміна параметрів напівпровідникових приладів та інших елементів схеми внаслідок зміни температури або старіння елементів. Наприклад, у схемі мал. 2.9, а при збільшенні ЕРС джерела живлення $E_{к1}$ ця зміна ΔE через подільник R_1/R_2 буде передана на базу транзистора, викличе збільшення базового струму та зниження потенціалу колектора. Оскільки в схемі із СЕ $K_U \gg 1$, ця зміна ΔU_k може бути значно більша, ніж ΔE . На навантаженні з'явиться негативне збільшення вихідної напруги – сигнал дрейфу.

Розглянемо інший випадок. При збільшенні температури зростають струм $I_{к,б0}$ та коефіцієнт β транзистора, внаслідок цього збільшується струм колектора (див. § 1.5) і знижується потенціал колектора. На навантаженні виникає негативне збільшення напруги – сигнал дрейфу.

Максимальну напругу на виході підсилювача, викликану дрейфом, позначимо $U_{др,вих}$. Величина $U_{др} = U_{др,вих} / K_n$, де K_n – коефіцієнт підсилення підсилювача, називається *сигналом дрейфу, приведеним до входу*. Сигнал дрейфу є повільно змінна величина. При роботі підсилювача необхідно забезпечити $U_{вх} \gg U_{др}$, інакше дрейф на виході не можливо відрізнити від корисного сигналу. Для створення якісних ППС необхідно знижувати, а при можливості цілком позбавитися дрейфу нуля. Стабілізація джерел живлення, робочих режимів, температури для цього неефективна, тому що найменші відхилення підсилюються ППС. Ефективним засобом боротьби з дрейфом стало застосування каскадів, побудованих за принципом зрівноважених мостів. Найбільш поширеним із них є диференціальний каскад.

§ 2.6. Диференціальний каскад

Із розглядом каскаду із СЕ виявлено ряд труднощів, що виникають при створенні підсилювачів. По-перше, при стабілізації режиму спокою за допомогою опору R_c відбувається значне зниження коефіцієнта підсилення каскаду внаслідок дії ВЗЗ. По-друге, при зв'язку каскадів один з одним коефіцієнт підсилення зменшується за рахунок втрат на резистивних елементах (див. мал. 2.9, б), для ліквідації цього зниження K_n необхідно застосовувати схеми зі складним джерелом живлення. По-третє, у підсилювачах є дрейф нуля. Цих серйозних недоліків частково або цілком позбавлений диференціальний каскад, який тому надзвичайно широко застосовується.

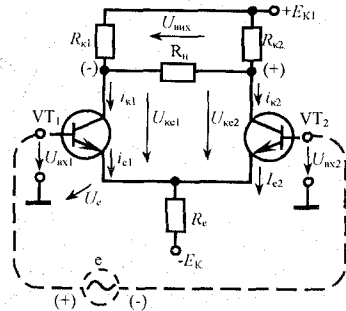
Найпростіша схема диференціального каскаду наведена на мал. 2.10. Транзистори VT_1 , VT_2 та резистори $R_{к1}$ та $R_{к2}$ утворюють міст, в одну діагональ якого вмикаються джерела живлення $+E_{к1}$ та $-E_{к2}$, а в другу – навантаження. Диференціальний каскад нерідко називають також *паралельно-балансним каскадом*. Високі показники каскаду можуть бути досягнуті лише при високій симетрії (балансуванні) моста. У симетричному каскаді $R_{к1} = R_{к2} = R_c$, транзистори повинні бути ідентичні за своїми параметрами. Останнє досяжне лише при виготовленні транзисторів на одній кристалі за однією технологією, тому диференціальні каскади використовують у даний час лише у вигляді (або в складі) ІМС.

Розглянемо режим спокою в каскаді мал. 2.10, коли $u_{вх1} = 0$ та $u_{вх2} = 0$. Напруги зміщення на

обох транзисторах однакові: $U_{BE,c1} = U_{BE,c2} = -U_b$, де, як випливає з мал. 2.10, $U_{E,c} = -E_{K2} + (I_{E,c1} + I_{E,c2})R_c < 0$. За рахунок однакового позитивного зміщення на базах через транзистори протікають рівні струми: $I_{B,c1} = I_{B,c2}$, $I_{K,c1} = I_{K,c2}$, $I_{E,c1} = I_{E,c2}$. Колекторні струми створюють падіння напруги на резисторах R_{K1} та R_{K2} , тому $U_{KE,c1} = U_{KE,c2} = E_{K1} - I_{K,c1} R_{K1} - U_{E,c} = E_{K1} - I_{K,c2} R_{K2} - U_{E,c}$.

На виході каскаду $u_{вих} = U_{KE2} - U_{KE1} = 0$

У такому каскаді здійснюється стабілізація режиму спокою. Якщо при нагріванні зростуть $I_{K,c1}$ та $I_{K,c2}$, збільшиться струм $I_{E,c1} + I_{E,c2}$, що протікає через R_e і напруга $U_{E,c}$ зросте: $\Delta U_{E,c} > 0$. Напруга $U_{BE,c1} = U_{BE,c2} = -U_{E,c}$ зменшиться, емітерні переходи транзисторів стануть пропускатися менший струм, внаслідок чого струми колектора $I_{K,c1}$ та $I_{K,c2}$ будуть стабілізовані. Напруга $\Delta U_{E,c}$ це сигнал ЗЗ, що стабілізує сумарний струм $(I_{E,c1} + I_{E,c2})$. У диференціальному каскаді R_e велике і стабілізація точки спокою дуже точна, тому можна вважати, що $I_{E,c1} + I_{E,c2} = \text{const}$, тобто через резистор R_e на схему каскаду подається стабільний струм. Робота каскаду не зміниться, якщо замінити R_e джерелом постійного струму $(I_{E,c1} + I_{E,c2})$.



Мал. 2.10. Симетричний диференціальний каскад

Розглянемо проблему дрейфу нуля. Допустимо, що джерело живлення E_{K1} нестабільне, і ЕРС E_{K1} збільшилася. Збільшуються струми на колекторах на значення $\Delta U_{KE1} = \Delta U_{KE2}$. При цьому $\Delta U_{вих} = 0$, тобто дрейф відсутній. Інший варіант нестабільності: при нагріванні збільшується колекторний струм $\Delta I_{K1} = \Delta I_{K2}$, тому що транзистори ідентичні. При цьому $\Delta U_{KE1} = \Delta U_{KE2}$, $\Delta U_{вих} = 0$ і дрейф знову відсутній. Будь-які симетричні зміни в схемі не викликають дрейфу нуля. У реальних каскадах симетрія елементів непевна, але дрейф у порівнянні з каскадами, розглянутими в § 2.1-2.5, знижується на декілька порядків, що дозволяє подавати на вхід каскадів дуже малі напруги.

Розглянемо підсилювальні властивості каскаду. Насамперед треба відзначити, що каскад дає змогу вмикати джерела вхідного сигналу різними методами:

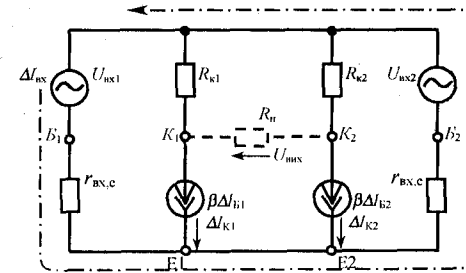
1. Джерело сигналу вмикається між базами транзисторів, як показано пунктиром на мал. 2.10. До входу VT_1 прикладена $u_{вх1} = e/2$. Нехай $e > 0$, тоді під впливом позитивної напруги на базі з'являється позитивний приріст ΔI_{B1} та $\Delta I_{K1} = (\beta + 1)\Delta I_{B1}$; збільшення струму i_{K1} , що протікає через R_{K1} , знижує напругу $u_{кв1} = \Delta U_{KE1} < 0$. До входу VT_2 прикладена $u_{вх2} = -e/2$, що викликає зменшення струму бази $-\Delta I_{B2}$ та зменшення струму колектора VT_2 на значення $\Delta I_{K2} = -(\beta + 1)\Delta I_{B2}$. Напруга $u_{кв2}$ збільшується: $\Delta U_{KE2} > 0$. На навантаженні $u_{вих} = \Delta U_{KE2} - \Delta U_{KE1} = 2\Delta U_{KE2}$. Звертає на себе увагу те, що при $u_{вх1} = -u_{вх2}$, $\Delta I_{E1} = -\Delta I_{E2}$, тому $i_{E1} + i_{E2} = \text{const}$, тобто сигнал ЗЗ $\Delta U_{E,c} = 0$ і падіння напруги на R_e не впливає на коефіцієнт підсилення. Отже, в каскаді подолане протиріччя між необхідністю стабілізації режиму спокою і зниженням коефіцієнта підсилення за рахунок ЗЗ.

2. Джерело вхідного сигналу вмикається лише до входу VT_1 : $u_{вх1} = e$, вхід другого транзистора закорочується: $u_{вх2} = 0$. Під впливом вхідного сигналу змінюється струм бази, його приріст $\Delta I_{B1} > 0$ при $e > 0$, зростає i_{K1} , збільшується падіння напруги на R_{K1} , на колекторі $\Delta U_{KE1} < 0$. Із збільшенням i_{B1} збільшується i_{E1} . Як показано вище, ВЗЗ за сумою струмів $(i_{E1} + i_{E2})$ стабілізує вказаний струм, що протікає через R_e , тобто $i_{E1} + i_{E2} = \text{const}$, тому $\Delta I_{E2} = -\Delta I_{E1}$.

Звідси $\Delta I_{B2} = -\Delta I_{B1}$, $\Delta I_{K2} = -\Delta I_{K1}$, $\Delta U_{KE2} = -\Delta U_{KE1}$. На навантаженні $U_{вих} = \Delta U_{KE2} - \Delta U_{KE1} > 0$. Таким чином, подавання вхідного сигналу на один із входів викликає зміну струмів та напруг в обох транзисторах завдяки стабілізації струму $i_{E1} + i_{E2}$. Аналогічно можна розглянути з подаванням

сигналу на вхід VT_2 : $u_{вх2} = e$, $u_{вх1} = 0$. При $e > 0$ $\Delta U_{KE1} > 0$, $\Delta U_{KE2} < 0$, на навантаженні $u_{вих} = \Delta U_{KE2} - \Delta U_{KE1} < 0$. З подаванням сигналу на вхід VT_1 полярність вихідного сигналу збігається з полярністю вхідного (вхід VT_1 називаємо *прямим входом*), з подаванням на вхід VT_2 полярності $u_{вих}$ та e протилежні (вхід VT_2 — *інвертуючий*). При цьому відзначаємо, що схема диференціального каскаду симетрична і знак $u_{вих}$ залежить лише від того, який напрямок $u_{вих}$ прийнятий позитивним.

3. На обидва входи диференціального каскаду можна увімкнути незалежні джерела сигналів $u_{вх1}$ та $u_{вх2}$, у режимі лінійного підсилення (клас А) вихідну напругу може бути знайдено методом суперпозиції від впливу кожного із сигналів.



Мал. 2.11. Схема заміщення симетричного диференціального каскаду по змінній складовій

мал. 2.11. Оскільки $i_{E1} + i_{E2} = \text{const}$, то $i_{B1} + i_{B2} = (i_{E1} + i_{E2}) / (\beta + 1) = \text{const}$, отже, $\Delta I_{B2} = -\Delta I_{B1}$. Прирости вхідного струму джерела $u_{вх1}$ протікають через VT_1 , через емітерний ланцюг входять у VT_2 і замикаються через джерело сигналу $u_{вх2}$, яке пов'язане із джерелом $u_{вх1}$ загальним провідником (див. мал. 2.10). На схемі заміщення цей контур струму показаний пунктиром. Закон Ома для цього контуру дає співвідношення

$$\Delta I_{B1} = (u_{вх1} - u_{вх2}) / 2r_{вх,с} = -\Delta I_{B2}. \quad (2.13)$$

Звідси

$$\Delta I_{K1} = \beta \Delta I_{B1} = \beta (u_{вх1} - u_{вх2}) / 2r_{вх,с} = -\Delta I_{K2}. \quad (2.14)$$

При $R_e = \infty$ $\Delta U_{KE1} = -R_{K1} \Delta I_{K1}$, $\Delta U_{KE2} = -R_{K2} \Delta I_{K2} = -\Delta U_{KE1}$, звідси

$$K_{U_{вих}} = \frac{u_{вих}}{u_{вх1} - u_{вх2}} = \frac{\Delta U_{KE2} - \Delta U_{KE1}}{u_{вх1} - u_{вх2}} = \frac{2\beta R_K (u_{вх1} - u_{вх2})}{2r_{вх,с} (u_{вх1} - u_{вх2})} = \beta R_K / r_{вх,с}. \quad (2.15)$$

Ми знову переконуємося, що емітерний ланцюг, який служить для стабілізації режиму спокою, у диференціальному каскаді не впливає на коефіцієнт підсилення: ЗЗ по змінній складовій струмів у каскаді немає. Порівняємо формулу (2.15) із (2.8): вони збігаються, якщо в останній прирівняти $R_e = 0$.

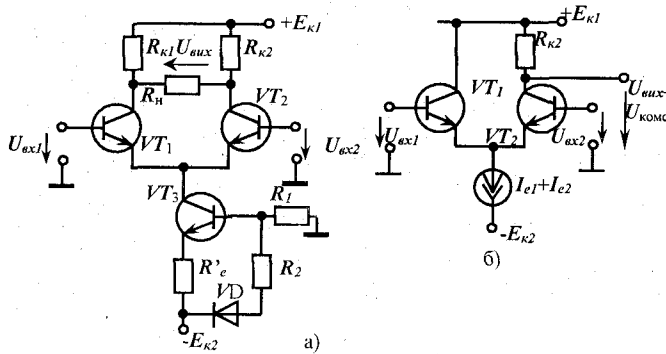
Знайдемо інші параметри, що характеризують підсилення диференціального каскаду. З виразу (2.13)

$$R_{вх} = (u_{вх1} - u_{вх2}) / \Delta I_{B1} = 2r_{вх,с}, \quad (2.16)$$

де $\Delta I_{B1} = \Delta I_{B1}$

Порівняння з виразом (2.7) показує збільшення $R_{вх}$ у 2 рази, що зумовлено протіканням струму джерел сигналу через обидва транзистори. Знайдемо $R_{вих}$. Для цього прирівняємо $U_{вх1} = 0$ та $U_{вх2} = 0$. При нульових вхідних сигналах $\beta \Delta I_{B1} = 0$ та $\beta \Delta I_{B2} = 0$ і опір каскаду з боку виходу

$$R_{вих} = 2R_k. \quad (2.17)$$



Мал. 2.12. Практичні схеми симетричного (а) та несиметричного (б) диференціальних каскадів

У порівнянні з $R_{вих}$ у виразі (2.9) тут воно зросло вдвічі. Отримані значення $K_{авт}$, $R_{авт}$ та $R_{вих}$ можна використовувати для побудови узагальненої схеми заміщення диференціального каскаду (див. мал. 2.8,б), до входу якої прикладена різниця $u_{ax1} - u_{ax2}$. Для розрахунку інших підсилювальних параметрів каскаду скористасмося виразами (2.10)–(2.12).

Диференціальний каскад підсилює різницю сигналів, тому з поданням на обидва входи диференціального каскаду однакових сигналів $u_{ax1} = u_{ax2}$, $u_{вих} = K_U (u_{ax1} - u_{ax2}) = 0$. При цьому підсилювач працює в режимі *синфазних сигналів*. За рахунок неповної симетрії каскаду в реальних підсилювачах у режимі синфазних сигналів на виході утворюється ненульовий сигнал: $u_{вих} = k_c u_{ax}$, де k_c – коефіцієнт передавання для синфазного сигналу. Якість ослаблення синфазного сигналу характеризує коефіцієнт $K_{ос,сф} = 20 \log(k_c/K_U)$. У силу високої симетрії каскадів, виконаних у виді ІМС, $K_{ос,сф}$ складає -80 ± 100 дБ, тобто $k_c/K_U = 10^4 - 10^5$.

На мал. 2.12,а наведена схема диференціального каскаду при його виконанні у вигляді напівпровідникової ІМС. Небажаний при виготовленні ІМС елемент – високоомний резистор R'_c – замінений джерелом струму ($i_{e1} + i_{e2}$), зібраному на транзисторі VT_3 . Для стабілізації струму i_c транзистора VT_3 в його емітерне коло введений відносно невеличкий опір R'_c , що забезпечує подання на емітерний перехід сигналу ВЗЗ: при нагріванні збільшується напруга $u'_c = i'_c R'_c$, під дією якої струм через емітерний перехід VT_3 зменшується. Діод VD також призначений для стабілізації струму: при збільшенні температури напруга на ньому і, отже, на базі VT_3 падає, зменшується струм через емітерний перехід VT_3 .

Недоліком диференціального каскаду є відсутність загальної точки між джерелами сигналу та навантаженням. Цього недоліку позбавлений *несиметричний диференціальний каскад* на мал. 2.12, б, у якого сигнал знімається з колектора VT_2 . Схема також має стабілізацію точки спокою, оскільки $i_{e1} + i_{e2} = \text{const}$, при цьому в ній немає ВЗЗ по змінній складовій струму, тому що і емітерне коло не впливає на коефіцієнт підсилення. У багатокаскадних підсилювачах перші (перший) каскади виконуються у виді симетричного диференціального каскаду і забезпечують попереднє

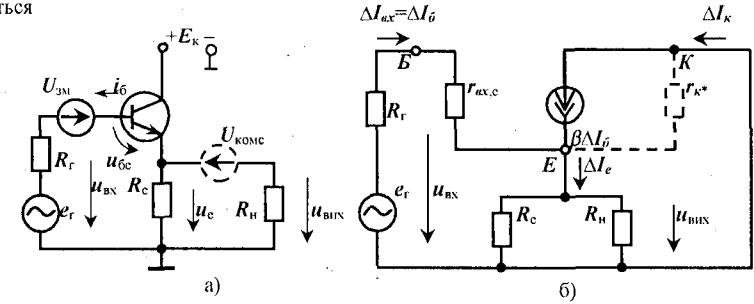
підсилення сигналу практично без дрейфу, додаткове підсилення може бути здійснене в несиметричному диференціальному каскаді.

§ 2.7. Каскад із спільним колектором

У § 2.4, 2.6 було показано, що співвідношення між $R_{авт}$ та $R_{вих}$, характерні для підсилювальних каскадів з СЕ, не забезпечують умов одержання максимального підсилення по напрузі, для виконання якого необхідно, щоб $R_{авт} \rightarrow \infty, R_{вих} \rightarrow 0$. Через малий $R_{авт}$ підсилювачі споживають від джерела сигналу помітну потужність. Велике значення $R_{вих}$ не дозволяє здійснювати роботу каскаду на низькоомне навантаження через втрати сигналу на $R_{вих}$.

У каскаді із спільним колектором (СК) досягаються високі значення $R_{авт}$ при низьких $R_{вих}$. Але за що перевагу в жертву приноситься інший параметр: у схемі із СК $K_U < 1$. Каскад із СК не підсилює сигналу по напрузі, а використовується лише як допоміжний каскад, що зв'язує схему із СЕ із малопотужним джерелом сигналу (R_r велике), або з низькоомним навантаженням (R_n мале). Незважаючи на допоміжну роль, що виконує схема із СК у підсилювачах, застосовується цей каскад досить часто.

Схема каскаду із СК наведена на мал. 2.13, а. Колектор транзистора увімкнений до джерела живлення E_k . В емітерне коло уведений резистор R_c , що створює ВЗЗ, тим стабілізує точку спокою. Навантаження R_n вмикається до емітерного ланцюга. У класі підсилення А на вхід подаються



Мал. 2.13. Каскад із спільним колектором (а) і його схема заміщення по змінній складовій (б)

вхідна напруга u_{ax} та напруга зміщення $U_{зм}$ (реальні схеми виконання вхідного ланцюга розглянуті в § 2.5).

Джерело сигналу u_{ax} приєднане між базою та загальним провідником, навантаження – між емітером та загальним провідником. Загальний провідник через джерело живлення E_k , що має нульовий опір для змінних складових, пов'язаний із колектором. Тому схема й одержала назву – каскад із СК, інша її назва *емітерний повторювач*.

У режимі спокою $u_{ax} = 0$. Напруга $U_{зм}$ викликає струм бази $I_{б,c}$, в емітерному ланцюзі під дією струму $I_{б,c}$ що створює падіння напруги на R_c . Для того, щоб у режимі спокою $u_{вих} = 0$, необхідно в ланцюг навантаження ввести джерело напруги, що компенсує, $U_{комс} = U_{б,c}$ (реальні схеми виконання вихідного кола розглянуті у § 2.5). У режимі спокою до емітерного переходу транзистора прикладена напруга $U_{б,c} = U_{ем} - U_{е,c}$.

Із поданням вхідного сигналу струми та напруги транзистора одержать приріст. При позитивному (або негативному) вхідному сигналі u_{ax} струми бази та емітера збільшаться (або відповідно зменшаться), зросте (зменшиться) падіння напруги на R_c . Приріст напруги на ньому

відповідає вихідному сигналу, що буде позитивним (негативним). Полярність вхідного та вихідного сигналів у схемі із СК збігаються, каскад є *неінвертуючим підсилювачем*. До емітерного переходу транзистора прикладена керуюча напруга $\Delta U_{be} = u_{ax} - u_{вих}$. Сигнал $u_{вих}$ подається на вхід як сигнал ВЗЗ: $\Delta U_{зз} = u_{вих}$. Оскільки при роботі транзистора u_{be} завжди позитивна, то $u_{вих} < u_{ax}$, тобто $K_u = u_{вих} / u_{ax} < 1$.

Для розрахунку підсилювальних параметрів каскаду побудуємо схему заміщення згідно з правилами, які викладені в § 2.4. Схема заміщення каскаду із СК наведена на мал. 2.13,б. Знаходимо головні підсилювальні параметри:

1. *Вхідний опір* $R_{вх} = u_{ax} / \Delta I_{ax}$. Розглянемо вхідний ланцюг каскаду $u_{ax} = \Delta I_{ax} [r_{ax,e} + \Delta I_c (R_c \parallel R_n)] = \Delta I_c [r_{ax,e} + (\beta + 1) (R_c \parallel R_n)]$.

Отже:

$$R_{вх} = r_{ax,e} + (\beta + 1) (R_c \parallel R_n). \quad (2.18)$$

При великому $R_c \parallel R_n$ $R_{вх}$ досягає розмірів порядку 10^4 Ом.

2. *Коефіцієнт підсилення по напрузі* в режимі холостого ходу $K_{U_{хх}} = u_{вих} / u_{ax}$. За законом Ома виразимо напруги через струми

$$K_{U_{хх}} = \frac{\Delta I_c R_c}{\Delta I_c R_{вх(хх)}} = \frac{(\beta + 1) R_c \Delta I_c}{\Delta I_c [r_{ax,e} + (\beta + 1) R_c]} = \frac{(\beta + 1) R_c}{r_{ax,e} + (\beta + 1) R_c} < 1, \quad (2.19)$$

але як $r_{ax,e} \ll (\beta + 1) R_c$, то $K_{U_{хх}} \approx 1$.

3. *Вихідний опір* знаходимо за теоремою про еквівалентний генератор, для цього допустимо $e_r = 0$ (тобто замкнемо джерело e_r). Опір між вихідними виводами з прикладанням напруги $\Delta U_{вих}$

$$R_{вих} = R_c \parallel \frac{\Delta U_{вих}}{\Delta I_e},$$

тоді із схеми заміщення $\Delta U_{вих} = \Delta I_c (r_{ax,e} + R_c) = [\Delta I_c / (\beta + 1)] (r_{ax,e} + R_c)$. У результаті отримаємо

$$R_{вих} = R_c \parallel \frac{r_{ax,e} + R_c}{\beta + 1}. \quad (2.20)$$

У каскадах із СК $R_{вих} = 10 \div 10^2$ Ом.

Інші підсилювальні параметри можуть бути знайдені з формул (2.10)-(2.12). У каскаді із СК досяжні значення

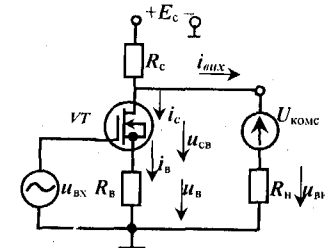
$$K_I > 1 \text{ і } K_P > 1.$$

Оскільки керуючий сигнал у схемі із СК $\Delta U_{be} = \Delta U_{вх} - \Delta U_{вих}$ малий, спотворення форми переданого сигналу спостерігається лише при достатньо великих вхідних напругах, коли амплітуда сигналу складає (0,2-0,4) E_c . Назва емітерний повторювач закріпилася за каскадом із СК саме тому, що він передає сигнал із коефіцієнтом K_u близьким до 1 і не спотворює його форми. Як буде показано нижче, якості, властиві каскаду із СК, характерні для підсилювачів з ланцюгом ВЗЗ по напрузі.

§ 2. 8. Каскад із спільним витокom

Найбільші значення вхідного опору дозволяють одержати каскади на польових транзисторах. Як показано в § 1.7, польові транзистори керуються напругою і практично не споживають струму з вхідного ланцюга. Тому їх можна використовувати разом із малопотужними джерелами сигналу, причому через джерело сигналу постійна складова струму не протікає. Обмежимося розглядом каскаду із спільним витокom (СВ) на польовому транзисторі МДН-типу з вмонтованим каналом (мал. 2.14).

Підсилювальний елемент – польовий транзистор із каналом п-типу увімкнений до джерела живлення через навантажувальний резистор R_c . Власне навантаження R_n увімкнене між стіком та загальним (заземленим) провідником. Виток транзистора зв'язаний із загальним провідником через резистор R_b , уведений для створення ВЗЗ, що стабілізує точку спокою. Джерело вхідного сигналу вмикається безпосередньо до засува відносно загальної шини. Розглянемо режим спокою. Через канал транзистора протікає струм $I_{c,c} = I_{b,c}$, що викликає падіння напруги на R_b $U_{b,c} = I_{b,c} R_b$. Напруга $U_{зв} = -U_{b,c}$, тобто польовий транзистор працює в режимі збіднення при невеличкій негативній напрузі на засуві. У режимі спокою на стіку є напруга $U_{c,c}$, тому для забезпечення $u_{вих} = 0$ у схему вводиться джерело напруги, що компенсує напругу, $U_{комс} = U_{c,c}$ (схемні варіанти створення $U_{комс}$ розглянуті в § 2.5).



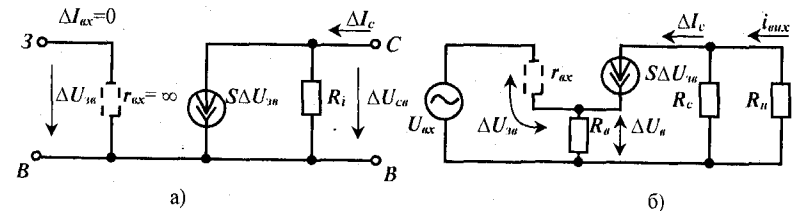
Мал. 2.14. Каскад із спільним витокom

Із подаванням сигналу всі струми та напруги транзистора одержують приріст. При позитивному (або негативному) $u_{вх}$ напруга на засуві збільшується (або відповідно зменшується), струми i_c та i_b збільшуються (зменшуються), зростає (зменшується) падіння напруги на резисторі R_c , зменшується (збільшується) напруга $U_{св}$, приріст якої є вихідною напругою каскаду $\Delta U_{св} = u_{вих}$. Каскад із СВ є інвертуючим підсилювачем, з розглядом його структури та принципу дії можна знайти багато аналогій із каскадом із СЕ.

Розрахунок каскаду по змінній складовій проводиться тими ж способами, що і для підсилювачів на біполярних транзисторах. На мал. 2.15,а наведена схема заміщення польового транзистора. Вихідні характеристики польових транзисторів (мал. 1.28, г та 1.30,б, в) показують, що транзистор є керованим джерелом струму з високим внутрішнім опором R_i .

$$\Delta I_c = S \Delta U_{зв} + \Delta U_{св} / R_i,$$

де $S = \Delta I_c / \Delta U_{зв}$ при $U_{св} = \text{const}$ – *крутість* параметр, що характеризує вплив вхідної напруги на вихідний струм (S буває порядку одиниць мА/В) (див. § 1.7); $R_i = \Delta U_{св} / \Delta I_c$ при $U_{зв} = \text{const}$ – *динамічний вихідний опір* транзистора, зумовлений нахилом похилої ділянки вихідних характеристик транзистора. Вхідний ланцюг польового транзистора між засувом та витокom не



Мал.2.15. Схеми заміщення по змінній складовій: а-польового транзистора; б- каскаду із спільним витокom

пропускає струму і на схемі заміщення подане високоомним (порядку 10^6 Ом) резистором $r_{вк}$. Порівняємо схеми заміщення польового та біполярного транзисторів (мал.2.6 і 2.15,а), вони відрізняються тим, що в другій з них джерело вихідного струму керується напругою, а не струмом, як в першій схемі, а також тим, що $r_{вк} \gg r_{вк.е}$.

Скориставшись правилами, що викладені в § 2.4, і побудуємо схему заміщення каскаду із СВ, представлену на мал.2.15, б. Знайдемо основні підсилювальні параметри:

1. *Вхідний опір* $R_{вх} = u_{вх} / i_{вх}$ у каскадах на польовому транзисторі надзвичайно великий (10^6 Ом та вище).

2. *Коефіцієнт підсилення по напрузі* в режимі холостого ходу $K_{U_{хх}} = u_{вхх} / u_{вх}$. Запишемо напруги $u_{вхх}$ та $u_{вх}$ через струм ΔI_C , тоді

$$K_{U_{хх}} = \frac{\Delta I_C R_C}{\Delta U_{зб} + \Delta I_B R_B} = \frac{S \Delta U_{зб} R_C}{\Delta U_{зб} + S \Delta U_{зб} R_B} = \frac{S R_C}{1 + S R_B} \quad (2.21)$$

При $R_B = 0$ $K_{U_{хх}} = SR_C$, але стабілізація точки спокою відсутня. У каскаді із СВ можна одержати $K_{U_{хх}} \gg 1$ з забезпеченням $SR_C \gg 1$ та $R_C \gg R_B$.

3. *Вихідний опір* $R_{вих}$ знайдемо, допустивши, що $u_{вх} = 0$. Опір між вихідними виводами в даному випадку $R_{вих} = R_C$

Вихідний опір каскаду із СВ досить великий (порядку 10^3 Ом).

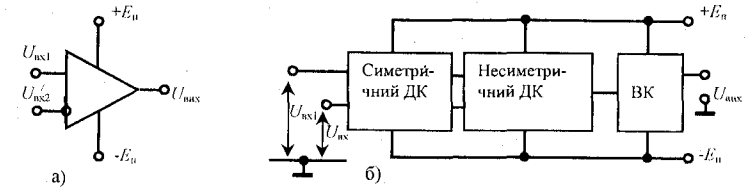
При побудові каскадів на польових транзисторах інших типів (польові транзистори з *p-n* переходом або з індукованим каналом) у вхідне коло вводиться напруга зміщення. Можлива побудова диференціальних каскадів на польових транзисторах та каскаду із спільним стіком (витоківого повторювача) – аналога емітерного повторювача. Використовуються підсилювачі, змонтовані на основі сполучення польових та біполярних транзисторів.

§ 2.9. Операційний підсилювач

Розвиток мікросхемотехніки змінює підхід до проектування напівпровідникових підсилювальних пристроїв. Раніше при створенні підсилювачів на дискретних компонентах виробники прагнули знайти найбільш просте вирішення пристроїв, у першу чергу прагнули зменшити кількість активних компонентів схеми (діодів, транзисторів); такий підхід забезпечував зниження вартості апаратури і її високу надійність. Тепер при розробці апаратури на ІМС виробник прагне використовувати готові ІМС масового випуску; саме такі ІМС найдешевші, вартість, їхні схемні вирішення старанно пророблені і забезпечують високі показники роботи апаратури. Тому підприємства, що випускають ІМС, прагнуть до виготовлення найбільш універсальних вузлів, що застосовувалися б у найрізноманітніших пристроях, це забезпечує збільшення випуску даного типу ІМС і зниження їхньої вартості. Тому ІМС створюються не на основі найбільш простого вирішення, а найбільш удосконаленого, що володіє універсальними перевагами. Застосування таких ІМС виправдане й у тих випадках, якщо ряд їхніх параметрів в конкретному пристрої буде неповністю використаний.

Найбільш поширеною підсилювальною ІМС є *операційний підсилювач* (ОП), в якому зосереджені головні переваги підсилювальних схем. Ідеальний операційний підсилювач має надзвичайно високий коефіцієнт підсилення по напрузі $K_U = u_{вхх} / u_{вх} \rightarrow \infty$, великий вхідний опір $R_{вх} \rightarrow \infty$, малий вихідний опір $R_{вих} \rightarrow 0$. ОП є підсилювачем постійного струму, тобто підсилює широкий спектр частот аж до постійної складової. При цьому дрейф нуля ОП дуже малий. ОП має диференціальний вихід $u_{вхх} = K_U (U_{вх1} - U_{вх2})$. з подачею сигналу на прямиий вхід вихідна напруга $u_{вхх} = K_U u_{вх1}$, з подачею $u_{вх2}$ на інвертуючий вхід $u_{вхх} = -K_U u_{вх2}$.

На мал. 2.16,а показане позначення ОП на схемах, На мал. 2.16,б показана структурна схема ОП. Перший каскад виконується за схемою симетричного диференціального каскаду (ДК) (наприклад, за схемою мал. 2.12, а), в якій максимально компенсується дрейф нуля. У якості



Мал. 2.16. Схемне позначення (а) і спрощена структурна схема ОП (б)

другого каскаду часто використовується ДК із несиметричним виходом (наприклад, схема мал. 2.12,б). Третій вихідний каскад виконується за схемою емітерного повторювача (каскад із СК), що забезпечує малий вихідний опір ОП. Сучасні ОП використовують схеми каскадів, що набагато складніші роз'ялнугих, додаткові елементи забезпечують підвищення вхідного опору, додаткову стабілізацію режиму спокою, підвищення коефіцієнта підсилення та ін. Схеми ОП можуть нараховувати декілька десятків транзисторів.

Властивості реальних ОП в більшій або меншій мірі наближаються до властивостей ідеального ОП. Система параметрів, що приводиться в довідниках, дає змогу оцінити ці властивості і визначити режими, у яких може використовуватися ІМС. У табл. 2.2 наведені параметри деяких ОП.

Таблиця 2.2. Параметри операційних підсилювачів

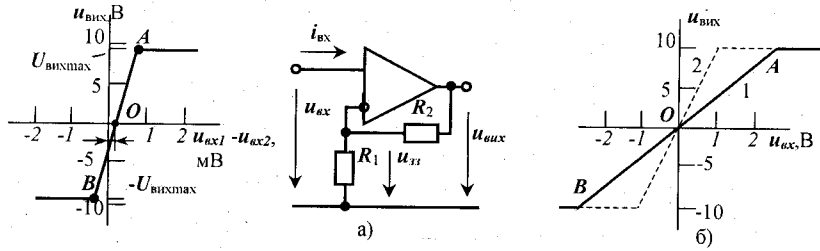
Параметр	140УД2	140УД6	140УД7	140УД1
$E_{жн. В}$	$\pm 12,6$	$\pm 12,6$	± 15	± 15
$I_{вхк} \text{ мА, не більше}$	8,0	8,0	2,8	6,0
K_U	5 000-150 000	35 000	50 000	20 000-80 000
$I_{вк} \text{ мкА, не більше}$	0,7	0,35	0,2	0,6
$U_{зс} \text{ мВ, не більше}$	± 5	± 5	± 4	± 5
$K_{ос.сф} \text{ дБ, не більше}$	-80	-80	-70	-65
$U_{вхх} \text{ В, не менше}$	± 10	± 10	$\pm 11,5$	± 10
$R_{вк} \text{ кОм, не менше}$	300	300	400	100
$R_{вхх} \text{ Ом, не більше}$	-	-	-	200
$R_{в1} \text{ кОм, не менше}$	-	-	2	2

ЕРС живлення $E_{жн}$ та споживаний від джерела живлення струм $I_{сп}$ дають змогу вибрати джерело двополярного живлення по напрузі і по потужності. Параметри K_U , $R_{вх}$ та $R_{вих}$ характеризують підсилювальні властивості ІМС. Параметр $I_{вх}$ (вихідний струм або струм витікання) характеризує струм спокою вхідного електроду ІМС. Приводиться коефіцієнт ослаблення синфазного сигналу $K_{ос.сф}$ (див. § 2.6). Нерідко наведені граничні напруги на входах та між входами, при відсутності цих параметрів у паспортних даних їх приймають рівними $\pm E_{жн}$. У реальних ОП режиму $u_{вхх} = 0$ відповідає ненульова напруга $U_{вх1} - U_{вх2} = U_{зс}$, що називається

напрягою зміщення нуля (див. передатну характеристику ОП, мал.2.17). Гранична напруга на виході ОП досягається при $|u_{вх1}|=(0,9 \div 0,95) E_{жив}$. Цю напругу позначимо $U_{вхmax}$. У довіднику приводиться мінімально можлива гранична напруга $U_{вх}$, її значення помітно менше напруги $U_{вхmax}$ у більшості зразків ІМС даного типу.

Узагальнена схема заміщення ОП по змінній складовій відповідає мал., 2.8,б з подаванням на вхід напруги $u_{вх1} - u_{вх2}$.

Зображення джерел живлення $E_{жив}$ та $-E_{жив}$, до яких вмикають відповідно виводи ІМС, на схемах нерідко опускають.



Мал.2.17. Передатна характеристика ОП Мал.2.18. Неінвертуючий ОП із ВЗЗ (а) та його передатна характеристика (б)

§ 2.10. Неінвертуючий операційний підсилювач зі зворотним зв'язком

Незважаючи на те, що ОП містить в собі кращі властивості підсилювальних пристроїв, безпосередньо в якості підсилювача ОП не застосовується. Це пов'язано з двома причинами: по-перше, лінійна ділянка АОВ на передатній характеристиці (див, мал. 2.17) обмежена дуже малими напругами $U_{вхmax} / K_u$. Зі збільшенням вхідної напруги за ці межі вихідна напруга не змінюється, тобто спостерігаються нелінійні спотвори сигналу. По-друге, коефіцієнт підсилення ОП K_u змінюється в дуже широких межах та дуже сильно залежить від режиму роботи, у першу чергу, від температури, що зумовлено сильною залежністю від температури β транзисторів, які входять до складу ІМС. Ця нестабільність K_u ускладнює створення підсилювальних пристроїв.

Для поліпшення параметрів підсилювальних пристроїв застосовують ОП з ЗЗ. На мал. 2.18, а наведена схема неінвертуючого підсилювача на базі ОП. Вхідний сигнал подається на прямий вхід ІМС. З виходу ОП напругу ЗЗ $u_{зз}$ подають на інвертуючий вхід ОП. Таким чином, на входах ОП діє вхідна напруга $u_{вх}$ та напруга $u_{зз}$, тобто йдеться про ЗЗ з додаванням напруг, названим також послідовним ЗЗ. Вихідна напруга ОП визначається різницею ($u_{вх} - u_{зз}$), такий ЗЗ називається від'ємним (ВЗЗ) (див. § 2.3).

Знайдемо коефіцієнт підсилення схеми мал. 2.18,а. При цьому вважаємо, що $R_{вх} \gg R_{вх}, R_{вх} \gg R_1, R_2 \gg R_{вх}$ (ці умови в реальних ОП легко виконуються). Напруга ЗЗ дорівнює:

$$u_{зз} = u_{вх} R_1 / (R_1 + R_2) = u_{вх} \gamma, \quad (2.22)$$

де $\gamma = R_1 / (R_1 + R_2)$.

Вихідна напруга визначається різницею напруг на входах ОП:

$$u_{вх} = K_u (u_{вх} - u_{зз}) = K_u (u_{вх} - u_{вх} \gamma)$$

Звідси формула для розрахунку ОП з ВЗЗ має вигляд

$$K_{Uзз} = u_{вх} / u_{вх} = K_u / (1 + K_u \gamma) < K_u. \quad (2.23)$$

ВЗЗ зменшує коефіцієнт підсилення, тому що на вході підсилювача діє не напруга $u_{вх}$, а менше значення $u_{вх} - u_{зз}$. Оскільки в ОП K_u дуже велике, то з виразу (2.23) при $K_u \rightarrow \infty$ одержуємо

$$K_{Uзз} = 1 / \gamma = R_1 / (R_1 + R_2), \quad (2.24)$$

тобто $K_{Uзз}$ визначається лише відношенням опорів $R_1 / (R_1 + R_2)$ і не залежить від K_u .

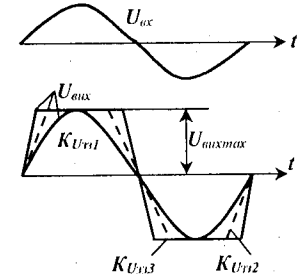
Таким чином, введення ВЗЗ дає змогу стабілізувати коефіцієнт підсилення ІМС. Дійсно, якщо K_u ІМС зменшиться, зменшаться значення $u_{вх}$ та $u_{зз}$, зросте різниця ($u_{вх} - u_{зз}$), що призведе до зростання $u_{вх}$, що компенсує початкове зменшення вихідної напруги.

Формула (2.24) може бути отримана іншим шляхом, що дасть змогу нам познайомитися з характерним розрахунковим прийомом, який застосовується при аналізі схем на ОП. Вихідна напруга ОП $u_{вх} \leq U_{вхmax}$, а коефіцієнт підсилення ІМС $K_u \rightarrow \infty$, отже, $u_{вх} - u_{зз} = u_{вх} / K_u = 0$, тобто $u_{вх} \approx u_{зз}$. Звідси з урахуванням формули (2.22) випливає формула (2.24). У режимі лінійного підсилення напруга між входами ОП дуже мала, - ця властивість виявляється в будь-яких схемах вмикання ОП та широко використовується при аналізі.

Хоча коефіцієнт підсилення схеми залежить лише від співвідношення опорів R_1 та R_2 , це не означає, що вони можуть бути обрані цілком довільно. Мінімальний опір резисторів у схемах ОП обмежений навантажувальною спроможністю ІМС. Максимальний опір резистора обмежений, тому що малі струми, що протікають через високоомні резистори, будуть сумірні з вхідними струмами ОП, а це підсилить вплив неідеальності ОП на роботу схеми. У практичних схемах опір знаходиться в межах $10^3 - 10^6 \Omega$.

Стабілізація коефіцієнта підсилення ОП за рахунок уведення ЗЗ наближає властивості підсилювача до джерела ЕРС, тобто вихідний опір схеми мал. 2.18, а менший, ніж вихідний опір самого ОП: $R_{вх,зз} \ll R_{вх}$. Це ще одна перевага, досягнута за рахунок ЗЗ. Вхідний опір схеми мал. 2.18,а визначається $R_{вх,зз} = u_{вх} / i_{вх}$, де $i_{вх}$ - струм між входами ОП: $i_{вх} = (u_{вх} - u_{зз}) / R_{вх}$, де $R_{вх}$ - вхідний опір власне ОП. Оскільки $(u_{вх} - u_{зз}) \approx 0$, то $i_{вх} \approx 0$, а вхідний опір різко збільшується: $R_{вх,зз} \gg R_{вх}$, що є перевагою підсилювача з ЗЗ*.

Вихідна напруга ОП обмежена межами $\pm U_{вхmax}$. У схемі мал. 2.18, а режим лінійного підсилення відповідає вхідним напругам, обмеженим значеннями $\pm U_{вхmax} / K_{Uзз}$. Оскільки $K_{Uзз} < K_u$, передатна характеристика ОП з ЗЗ має достатньо велику ділянку лінійного підсилення (мал. 2.18,б). Нахил передатної характеристики підсилення $K_{Uзз}$: лінія 1 наведена для $K_{Uзз} = 4$, лінія 2 для $K_{Uзз} = 10$. Таким чином, уведення ЗЗ дозволяє розширити лінійну ділянку передатної характеристики та зменшити нелінійні спотвори. На мал. 2.19 наведена вхідна напруга $u_{вх}$, яка подана на схему (мал. 2.18,а) та вихідна напруга $u_{вх}$ при різних коефіцієнтах підсилення $K_{Uзз}$: $K_{Uзз1} < K_{Uзз2} < K_{Uзз3}$. Розширення зони лінійного підсилення досягається за рахунок зниження коефіцієнта підсилення. З цим ефектом ми вже зустрічались при розгляді підсилювальних каскадів, наприклад, схеми з СК (див. § 2.7), в якій також діє послідовний ВЗЗ по вихідній напрузі.



Мал.2.19. Форма сигналів на вході та виході підсилювача мал.2.18. при різних коефіцієнтах підсилення $K_{Uзз}$

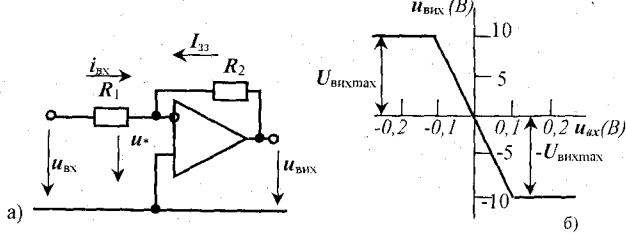
§ 2.11. Інвертуючий операційний підсилювач із зворотним зв'язком

Операційний підсилювач із подаванням сигналу на інвертуючий вхід, при підсиленні змінює полярність сигналу на протилежну. З подаванням синусоїдної напруги здійснюється зсув фази підсилювального сигналу на 180° . У підсилювальних пристроях широко застосовується

*Шляхом неважких розрахунків можна вивести:

$$R_{вх,зз} = R_{вх} (1 + K_u \gamma), \text{ при } K_u \rightarrow \infty, R_{вх,зз} \rightarrow \infty;$$

$$R_{вх,зз} = R_{вх} / (1 + K_u \gamma), \text{ при } K_u \rightarrow \infty, R_{вх,зз} \rightarrow 0;$$



Мал.2.20. Інвертуючий ОП із ВЗЗ (а) та його передатна характеристика (б)

схема *інвертуючого ОП із ВЗЗ* (мал. 2.20). Вхідний сигнал та сигнал ВЗЗ подають на інвертуючий вхід ОП, при цьому відбувається додавання струмів $i_{вх}$ та $i_{зз}$, тобто йдеться про ВЗЗ із додаванням струмів, що називається також паралельним ВЗЗ. Для здійснення додавання струмів необхідно вилучити вмикання безпосередньо до входу ОП джерел ЕРС, тобто необхідно забезпечити $R_1 \neq 0, R_2 \neq 0$.

Знайдемо підсилювальні параметри ОП із ВЗЗ. При аналізі вважаємо: $R_{вх} \gg R_{вн}, R_{вн} \gg R_1, R_{вн} \ll R_2$, ці умови в реальних схемах легко виконуються. Оскільки в ІМС $R_{вх} \rightarrow \infty$, то $i_{вх} = -i_{зз} = i$. У § 2.10 було відзначено, що на лінійній ділянці передатної характеристики ОП напруга між його входами $U^* = 0$. Тоді

$$u_{вх} = i_{вх} R_1 = i R_1, \quad (2.25)$$

$$u_{внз} = i_{зз} R_2 = -i R_2. \quad (2.26)$$

Звідси легко одержати коефіцієнт підсилення схеми мал. 2.20, а;

$$K_{U_{зз}} = u_{внз} / u_{вх} = -R_2 / R_1 \quad (2.27)$$

Знак мінус вказує, що полярності вхідної та вихідної напруг протилежні. Коефіцієнт підсилення $|K_{U_{зз}}| \ll K_{н}$, але при цьому $K_{U_{зз}}$ залежить лише від співвідношення опорів R_2/R_1 , тому його стабільність дуже висока.

Знайдемо вхідний опір ОП із ВЗЗ:

$$R_{вх,зз} = u_{вх} / i_{вх}.$$

Так як $i_{вх} = i$ з виразу (2.25) маємо

$$R_{вх,зз} = R_1$$

Кінцеве значення вхідного опору відрізняє розглянутий ОП від схеми мал. 2.18,а. Зі стабілізацією коефіцієнта підсилення схема наближається за своїми властивостями до джерела ЕРС, тобто вихідний опір знижується. Можна допустити, що $R_{вх,зз} \ll R_{вн}$, що є перевагою, яка досягається за рахунок ВЗЗ*.

Передатна характеристика інвертуючого підсилювача наведена на мал.2.20,б. Вона відрізняється від характеристики мал.2.18,б тим, що розташована в другій та четвертій чвертях, що характерно для схем, які інвертують полярність сигналу. Лінійна ділянка характеристики обмежена напругами $\pm U_{внз,макс} / K_{U_{зз}}$. Оскільки $|K_{U_{зз}}| \ll K_{н}$, лінійна ділянка передатної характеристики розширюється за рахунок уведення ВЗЗ і сигнали більшої амплітуди передаються без спотворень.

Таким чином, введення ВЗЗ у схему інвертуючого ОП дає змогу поліпшити його параметри: підвищити стабільність коефіцієнта підсилення, зменшити вихідний опір, розширити лінійну зону передатної характеристики та знизити спотворення з подаванням сигналів великої амплітуди. Такі ж результати досягаються і при уведенні ВЗЗ у неінвертуючий ОП, відрізняються лише значення вхідних опорів (див. § 2.10). Таким чином, за допомогою ВЗЗ за рахунок погіршення одного з параметрів (зниження коефіцієнта підсилення $K_{U_{зз}}$) можна поліпшити інші параметри. Зниження $K_{н}$ в багатьох схемах несуттєве, тому що ОП володіють дуже високим $K_{н}$. При необхідності великого підсилення сигналів застосовують багатокаскадні схеми, в яких кожний каскад виконаний на ОП та охоплений ланцюгом ВЗЗ.

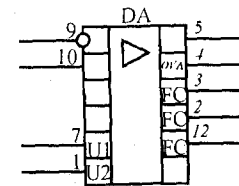
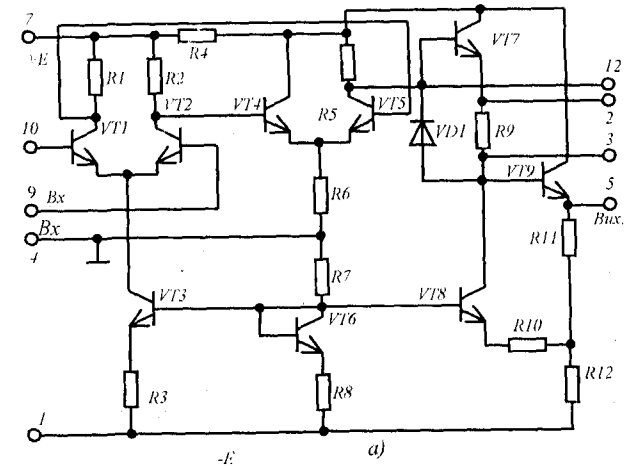
*Більш детальний аналіз показує, що $R_{вх,зз} = R_{вн} / (1 + K_{н} \gamma)$, де $\gamma = R_2 / (R_1 + R_2)$. При $K_{н} \rightarrow \infty, R_{вх,зз} \rightarrow \infty$.

§ 2.12. Принципова схема операційного підсилювача

Найпростіший універсальний ОП в інтегральному виконанні вивчається на прикладі мікросхеми К140УД1А (мал. 2.21).

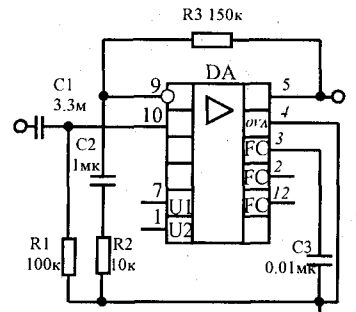
Мікросхема К140УД1А розташована в герметичному металоскляному дванадцятиштирковому корпусі. Мікросхема має три каскади підсилення, між другим та третім з них знаходиться каскад зсуву рівня сигналу на транзисторі VT7. На транзисторах VT3, VT6, VT8 зібрано стабілізатор струму, в якому VT6 вмикається за діючою схемою, що забезпечує температурну компенсацію зміни напруги $U_{бе}$ транзисторів VT3 та VT8.

Перший каскад підсилення -- це диференційний симетричний підсилювач на транзисторах VT1 та VT2 з живленням емітерного ланцюга через стабілізатор струму на транзисторі VT3. Каскад має два входи: інвертуючий 9 та неінвертуючий 10. Сигнал можна подавати на один із входів відносно спільної точки схеми (в цьому випадку вільний вхід через резистор з'єднують із спільною точкою) або на обидва виводи.



Мал. 2.21. Принципова схема (а) та умовні позначення (б) ОП К140УД1А

Другий каскад підсилення – диференційний несиметричний підсилювач – складається з емітерного повторювача на VT4 та підсилювача на VT5. До емітерного p-n переходу VT5 підводиться сигнал з колектора VT1, а з колектора транзистора VT2 сигнал підводиться через емітерний повторювач на VT4. Підсилений сигнал з колектора транзистора VT5 подається на вхід емітерного повторювача на транзисторі VT7. Емітерний повторювач забезпечує розв'язку між другим каскадом підсилення та каскадом виходу. Він знижує рівень напруги на виводі 5 до нуля при відсутності сигналу. Стабілізований струм колектора VT8 тече по резистору R₉ і створює на ньому стабілізований спад напруги, тобто необхідний зсув рівня сигналу на виводі 5 відносно виводу 2.



Мал.2.22. Принципова схема апериодичного підсилювача на K140UD1

Вихідний каскад підсилювача побудовано за схемою емітерного повторювача на VT9. Резистор R₁₂ в його емітерному колі є частиною емітерного навантаження транзистора VT8 і збільшує коефіцієнт підсилення струму вихідного каскаду завдяки неглибокому додатковому зворотному зв'язку, напруга якого знімається з R₁₂. Це забезпечує додаткове зменшення вихідного опору схеми.

Додаткові виводи 2, 3 та 12 використовують для присаднання зовнішніх елементів схеми, що надають підсилювачу необхідних властивостей.

Розглянемо схеми деяких пристроїв на базі ОП K140UD1, які можна зібрати та дослідити. **Широкопasmовий неінвертуючий підсилювач**, схема якого показана на мал. 2.22, має розділовий конденсатор на вході, тобто виступає підсилювачем змінної напруги. У підсилювачі створено від'ємний зворотний зв'язок через резистор R₃. Постійна складова струму зворотного зв'язку проходить через подільник напруги, утворений резистором R₃ та вхідним опором мікросхеми на вході 9. Оскільки R_{вх} >> R₃, коефіцієнт передавання цього ланцюга дорівнює одиниці. Змінна складова струму зворотного зв'язку шунтується ланцюгом R₂C₂, що й визначає частотні властивості підсилювача. Починаючи з частоти

$$f = \frac{1}{2\pi R_2 C_2}, \quad (2.28)$$

коефіцієнт передавання β ланцюга зворотного зв'язку зменшується, а коефіцієнт підсилення становить

$$K_u = \frac{R_2 + R_1}{R_2} \quad (2.29)$$

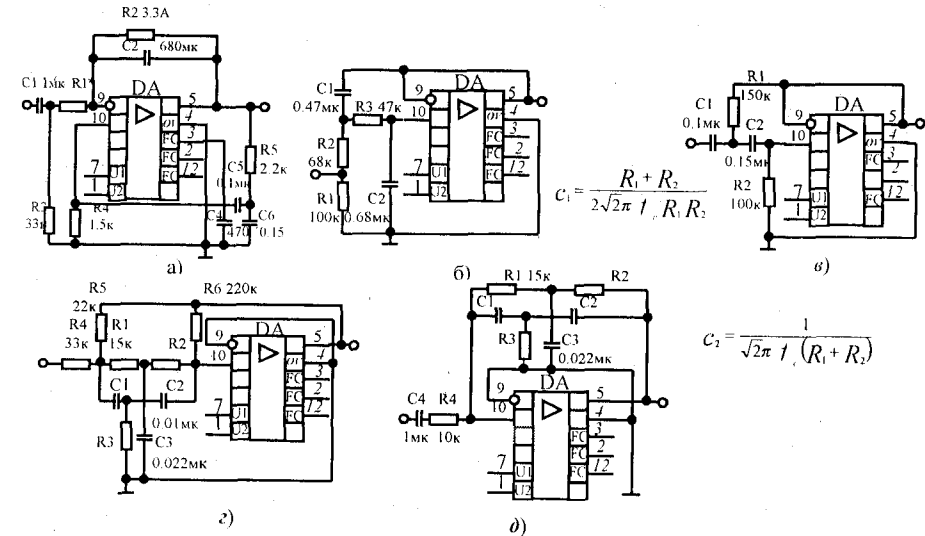
Конденсатор C₃ запобігає можливому самозбудженню підсилювача.

Активні RC-фільтри на інтегральній мікросхемі можна побудувати з ланцюгами зовнішніх частотно-залежних зв'язків, схеми яких виводяться згідно з призначенням фільтрів. На мал.2.23, а показано вузькосmуговий фільтр на мікросхемі з двома видами зворотних зв'язків. Ланцюг додатного частотнозалежного зворотного зв'язку на елементах R₃C₅, R₄C₆ утворює квазірезонансний фільтр з середньою частотою, величина якої визначається параметрами цих елементів (при наведених на схемі величинах опорів і ємностей f₀=1кГц).

Ширина смуги пропускання на рівні 0,7 встановлюється залежно від величини опору резистора R₁* в ланцюзі від'ємного зворотного зв'язку R₂C₂R₁R₃. При зменшенні коефіцієнта від'ємного зворотного зв'язку збільшується коефіцієнт передавання та звужується смуга

пропускання.

На мал. 2.23 б, в показані схеми активних фільтрів нижніх та верхніх частот з великою крутістю схилів амплітудно-частотних характеристик. У ланцюгах зворотного зв'язку тут застосовані прості Г-подібні схеми. При наведених величинах опорів та ємностей граничні частоти цих фільтрів f_B=1 кГц і f_H=250 Гц.



Мал. 2.23. Принципові схеми активних RC-фільтрів на ОП: а- вузькосmугового; б-ФНЧ; в-ФВЧ; г-загороджувачого; д- квазірезонансного

На мал. 2.23 з, д показані схеми загороджувачого та квазірезонансного фільтрів із використанням 2Т-подібного моста. Загороджувачий фільтр утворений за допомогою частотнозалежної вхідної провідності підсилювача, яка зумовлена послідовним вмиканням (відносно сигналу) моста та вхідного опору мікросхеми. Квазірезонансний фільтр утворено за рахунок частотнозалежного від'ємного зворотного зв'язку, здійснюваного також за допомогою моста. Середні частоти f_c смуги загородження та смуги пропускання розраховують за формулою

$$f_c = \frac{1}{2\pi RC}, \quad (2.30)$$

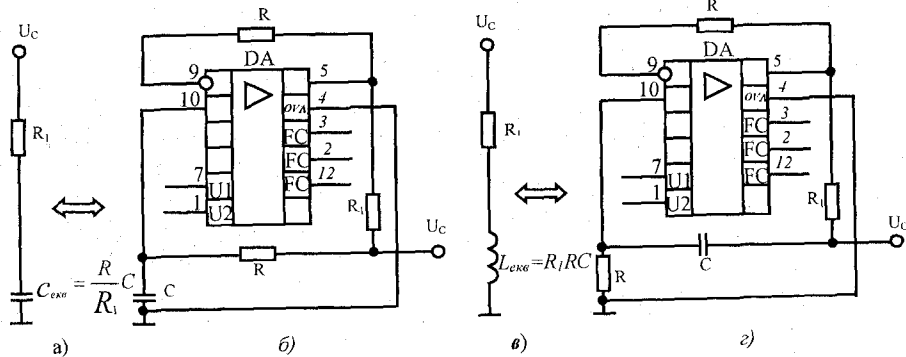
де

$$R_1=R_2=2R_3=R; \quad C_1=C_2=\frac{C_3}{2}=C.$$

Еквівалентні реактивні елементи. У фільтрах із застосуванням мікросхемної технології часто необхідні великі ємності та індуктивності. Використання ОП дає змогу просто розв'язати цю проблему методом синтезу еквівалентних реактивних схем. Принципові схеми еквівалентних реактивних елементів показані на мал. 2.24.

Для одержання великої ємності необхідно, щоб модуль вхідного опору схеми зменшувався пропорційно частоті сигналу на вході, а струм від джерела живлення зростає із зростанням частоти. Якщо до неінверсного входу ОП, що увімкнений як повторювач сигналу, увімкнати

аперіодичне коло RC, то сигнал на його виході буде однаковим із сигналом на конденсаторі.



Мал.2.24. Еквівалентні (а, в) та принципові (б, г) схеми для одержання штучних реактивних елементів на ОП

Якщо джерело сигналу з'єднати через малий опір R_1 з виходом підсилювача, то на найбільш високих частотах від джерела буде проходити струм, що приблизно становить

$$I = \frac{U_c}{R_1} \quad (2.31)$$

Із зниженням частоти будуть зростати напруги сигналу на конденсаторі та на виході підсилювача, а струм через R_1 зменшуватиметься, тобто вхідний опір такої схеми матиме емісійний характер з еквівалентною ємністю

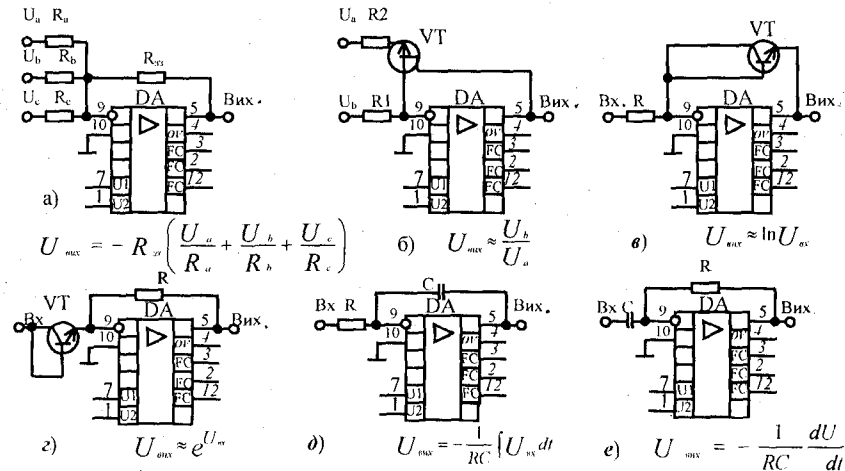
$$C_{екв} = \frac{RC}{R_1} \quad (2.32)$$

Для одержання гіратора – схеми з вхідним опором, еквівалентним індуктивному опору, – досить у схемі мал. 2.24 поміняти місцями елементи R та C . Тоді сигнал, що проходить через конденсатор C на неінверсний вхід, збільшується із зростанням частоти, а тому струм, що проходить від джерела сигналу U_c через резистор R_1 , зменшується із зростанням частоти, тобто виконується умова, що забезпечує індуктивний характер вхідного опору. Еквівалентна величина індуктивності при цьому

$$L_{екв} = R_1 RC \quad (2.33)$$

Якщо розглянути схеми застосувати в коливальному контурі автогенератора і змінювати опір резистора під впливом керуючого сигналу, (наприклад, застосувавши замість R транзистор, яким керують за допомогою напруги низької частоти), можна здійснити частотну модуляцію з досить великим індексом модуляції.

Схеми деяких елементів аналогової обчислювальної техніки із ОП показані на мал.2.25. Їх основні властивості визначаються ланцюгом від'ємного зворотного зв'язку.



Мал.2.27. Принципові схеми деяких елементів аналогової обчислювальної техніки на основі К140УД1:

а – суматор; б – подільник; в – логарифмувач; г – схема для одержання експоненти; д – інтегратор; е – диференціатор

Додавання сигналів із зміною знаків суми можна виконати при будь-якому коефіцієнті передавання в схемі на мал.2.25, а. Якщо вибрати $R_A=R_B=R_C=R_{33}$, то коефіцієнт передавання дорівнюватиме одиниці (R_{33} – резистор ланцюга зворотного зв'язку).

Ділення виконується в схемі на мал.2.25, б за рахунок того, що коефіцієнт передавання ланцюга від'ємного зворотного зв'язку змінюється за законом зміни U_A . У цьому випадку доцільно використовувати польовий транзистор як керувану провідність.

Для логарифмування використовують експоненціальну частину вольт-амперної характеристики р-п переходу транзистора, увімкненого у ланцюг зворотного зв'язку як діод (мал.2.25, в).

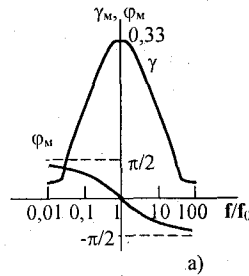
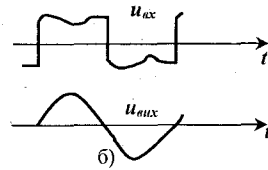
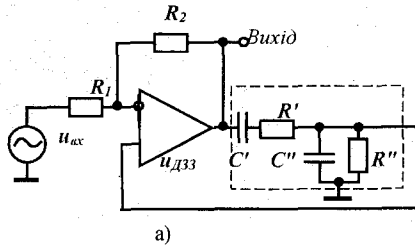
Схема, показана на мал.2.25, г, забезпечує виконання операції антилогарифмування $U_{вих} = e^{U_{вх}}$. Диференціювання та інтегрування будуть досліджені в главі третій, де точність цих операцій була обмежена низьким коефіцієнтом передавання. Використання ОП дає змогу забезпечити коефіцієнт передавання, що дорівнює одиниці при високій точності виконання математичної дії (мал.2.25, д, е).

§ 2.13. Вибірні підсилювачі та генератори синусоїдних коливань

Вибірний підсилювач називається схема, що має максимальний коефіцієнт передавання у вузькій смузі частот поблизу f_0 . За межами цієї вузької смуги пропускання коефіцієнт підсилення різко спадає до нуля. Виділення однієї гармоніки із сигналу складного гармонійного складу буває необхідним при дослідженні фізичних процесів, при керуванні багатьма об'єктами. Широко застосовуються вибірні підсилювачі в зв'язку, наприклад, у радіозв'язку: за допомогою настроювання вибірного підсилювача на несучу частоту передавача тим самим здійснюється

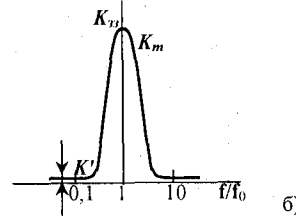
частотна селекція корисного сигналу.

Вибірні підсилювачі дають змогу вибирати потрібні сигнали з передавання декількох повідомлень по одному каналі зв'язку.



Мал. 2.26. Вибірний підсилювач (а) та часові діаграми сигналів на вході та виході (б)

Мал. 2.27. Частотні характеристики моста Віна (а) та вибірного підсилювача (б)



Широке поширення одержали вибірні підсилювачі, побудовані на основі ОП. Як показано в § 2.10, 2.11, коефіцієнт підсилення ОП із В33 визначається лише параметрами ланцюга ЗЗ. Якщо в ланцюзі ЗЗ використовувати RC-ланку, коефіцієнт передавання і фазовий зсув якої залежать від частоти, можна забезпечити потрібну залежність коефіцієнта передавання вибірного підсилювача від частоти.

В якості частотозалежних ланцюгів використовують різні RC-ланки, наприклад, схему моста Віна (схема моста виділена пунктиром). Із подаванням на вхід підсилювача несинусоїдний сигнал $u_{вх}(t)$ частоти f_0 на виході отримуємо синусоїдний сигнал (мал.2.26,б).

Розглянемо частотні характеристики моста Віна, (мал. 2.27,а). Міст складається з послідовної (C'R') та паралельної (C''R'') ланок (див. мал. 2.26, а). З проходженням через міст, сигнал низької частоти губиться на конденсаторі C', а сигнал високої частоти гаситься на ділянці напруги, що складається з послідовної та паралельної ланок, тому що з підвищенням частоти опір конденсатора C'' падає. Тому найбільший коефіцієнт передавання міст має на деякій частоті f_0 .

Фазовий зсув, внесений мостом, на частоті f_0 дорівнює нулю. При оптимальних співвідношеннях $C'=C''=C$, $R'=R''=R$ частота $f_0=1/(2\pi RC)$; при $f=f_0$ коефіцієнт передавання моста $\gamma_m=1/3$

Повернемося до розгляду вибірного підсилювача в цілому. На частотах, відмінних від f_0 , коефіцієнт передавання моста Віна малий і можна вважати, що сигнал на прямому вході ОП $u_{ДЗЗ}=0$. Схема ідентична інвертуючому ОП (мал.2.20,а) і має коефіцієнт підсилення, що визначається за формулою (2.27), $K'=-R_2/R_1$.

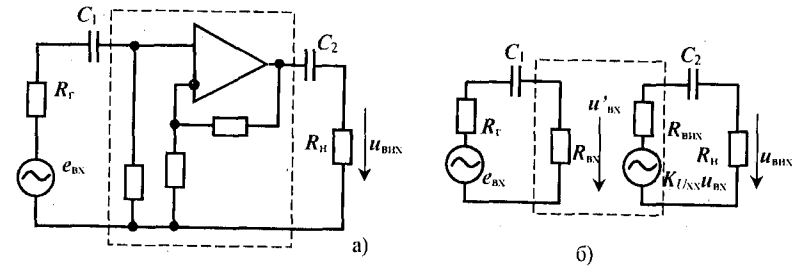
На частоті f_0 коефіцієнт передавання моста Віна максимальний. Через міст Віна на вхід ОП подається сигнал ДЗЗ, що різко збільшує коефіцієнт підсилення схеми K_m у порівнянні зі значенням K' . Частотна характеристика вибірного підсилювача наведена на мал. 2.27, б. Чим вищий коефіцієнт підсилення $K'=-R_2/R_1$, тим вища підсилювальна зона частот (смуга пропускання), вище відношення K_m/K' .

Проте при значенні $R_2/R_1=2$ виконується умова самозбудження і коефіцієнт підсилення схеми K_m на частоті f_0 стає рівним безмежності. Це означає, що на виході схеми будуть існувати синусоїдні коливання частоти f_0 і при нульовому входньому сигналі. У такому вигляді схема мал. 2.26, а стає генератором синусоїдної напруги, ланцюг джерела входньої напруги може бути вимкнутим (джерело $U_{вх}$ замкнуте).

Розглянута схема не є єдиним прикладом схем вибірних підсилювачів та генераторів синусоїдних сигналів. Існують численні варіанти цих пристроїв, побудованих на базі інших частотозалежних RC-ланцюгів.

§ 2.14. Підсилювачі з ємнісним зв'язком

Поряд із застосуванням головного типу підсилювачів – ППС – у ряді випадків є доцільним використання підсилювачів із ємнісним зв'язком. На мал. 2.28 як приклад показаний підсилювач із ємнісним зв'язком, виконаний на базі ОП. Застосування ємнісного зв'язку між

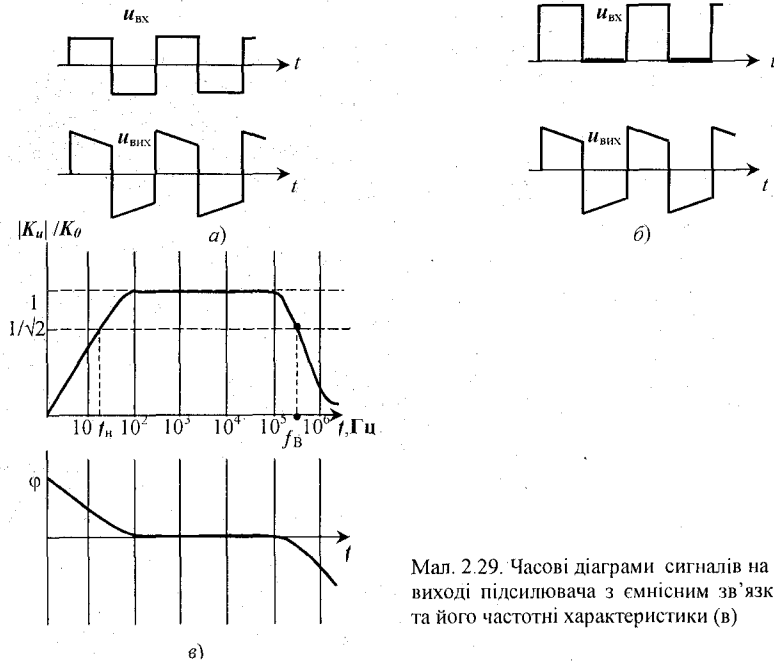


Мал. 2.28. Підсилювач із ємнісним зв'язком і його схема заміщення

каскадами підсилювачів у даний час вишло з використання, тому що конденсатори з великою ємністю не виконуються у вигляді елементів ІМС.

Перевагою підсилювачів із ємнісним зв'язком є відсутність дрейфу нуля: конденсатори не пропускають постійної складової, у тому числі напруги дрейфу.

Із подаванням сигналу без постійної складової, що показано на мал. 2.29, а, вихідний сигнал практично повторює форму входнього, але з подаванням сигналу, що має постійну складову (мал. 2.29, б) вона через конденсатори зв'язку C_1 та C_2 не передається і форма сигналу на виході вже не відповідає входньому. По вихідній напрузі підсилювача з ємнісним зв'язком не можна визначити,



Мал. 2.29. Часові діаграми сигналів на вході та виході підсилювача з емнісним зв'язком (а,б) та його частотні характеристики (в)

яка форма вхідного сигналу – як на мал. 2.29,а чи б. Обмеженість частотного діапазону підсилювачів із емнісним зв'язком є їхнім головним недоліком, через який в міру удосконалювання ППС сфера їх застосування помітно скоротилася.

Розглянемо частотні властивості підсилювачів із емнісним зв'язком. Вся зона частот розбивається на три частини: робоча зона *середніх частот* (смуга пропускання) характеризується тим, що опір конденсаторів $1/\omega C_1$ та $1/\omega C_2$ малий, і змінний сигнал без втрат проходить через конденсатори. Підсилення в цій зоні частот постійне і не залежить від частоти. В зоні *високих частот* виявляється інерційність транзисторів. Як і в ППС, із ростом частоти знижується коефіцієнт підсилення і з'являється запізнений фазовий зсув між вхідним та вихідним сигналами підсилювача. В зоні *низьких частот* опір конденсаторів C_1 та C_2 , росте, частина сигналу прикладається до конденсаторів і губиться на них, коефіцієнт підсилення зі зменшенням частоти падає. На мал. 2.29, в наведені амплітудно-частотні та фазо-частотні характеристики підсилювача з емнісним зв'язком. Смуга пропускання обмежена частотами f_n та f_v , на яких $|K_u| = K_0/\sqrt{2}$.

Для аналізу підсилювача за схемою мал. 2.28, а замінимо власне підсилювач узагальненою схемою заміщення, що складається з вхідного опору $R_{вх}$, джерела напруги $K_{U_{вх}} U_{вх}$ та вихідного опору $R_{вих}$ (мал. 2.28,б). Отримана схема заміщення підсилювача з конденсаторами зв'язку C_1 та C_2 описується виразом у комплексній формі:

$$K_U = \frac{U_{вих}}{U_{вх}} = \frac{E_{вх}}{E_{вх}} = \gamma_{вх} K_{U_{вх}} \gamma_{вих}, \quad (2.34)$$

де $\gamma_{вх}$ - коефіцієнт передавання вхідного ланцюга:

$$\gamma_{вх} = \frac{U_{вх}}{E_{вх}} = \frac{R_{вх}}{R_{вх} + 1/i\omega C_1 + R_{вх}}, \quad (2.35)$$

$\gamma_{вих}$ - коефіцієнт передавання вихідного ланцюга:

$$\gamma_{вих} = \frac{U_{вих}}{K_{U_{вих}} U_{вх}} = \frac{R_{вх}}{R_{вих} + 1/i\omega C_2 + R_{вх}} \quad (2.36)$$

Проаналізуємо залежність $\gamma_{вх}$ від частоти. Для цього поділимо чисельник та знаменник виразу (2.35) на $(R_{вх} + R_{вх})$:

$$\gamma_{вх} = \frac{R_{вх}/(R_{вх} + R_{вх})}{1 + 1/i\omega C_1(R_{вх} + R_{вх})} = \frac{\gamma_{вх0}}{1 + 1/i\omega \tau_1}, \quad (2.37)$$

де $\gamma_{вх0} = R_{вх}/(R_{вх} + R_{вх})$ - коефіцієнт передавання вхідного ланцюга при $1/\omega C_1 = 0$, тобто в зоні середніх та високих частот; $\tau_1 = C_1(R_{вх} + R_{вх})$ - стала часу кола заряду конденсатора C_1

Модуль коефіцієнта передавання $\gamma_{вх}$ позначимо $|\gamma_{вх}| = \gamma_{вх0} / M_{н1}$, де $M_{н1}$ показує, у скільки разів зменшується коефіцієнт передавання і на частоті ω . З виразу (2.37) отримуємо

$$M_{н1} = \sqrt{1 + (1/\omega \tau_1)^2} \quad (2.38)$$

Із зменшенням частоти ω $M_{н1}$ росте, а $\gamma_{вх}$ падає, тому що збільшується опір конденсатора C_1 і на ньому губиться частина сигналу джерела ЕРС. При цьому по ланцюзі $R, C_1, R_{вх}$ протікає емнісний випереджаючий струм, що створює на $R_{вх}$ спад напруги $U_{вх}$, яка випереджає $E_{вх}$. З формули (2.37) отримуємо

$$\varphi_1 = \arctg(1/\omega \tau_1). \quad (2.39)$$

Аналогічний аналіз можна проробити і для кола $R_{вих}, C_2, R_{вх}$. Для цього у формулах (2.38)-(2.39) замість τ_1 підставимо $\tau_2 = C_2(R_{вих} + R_{вх})$, де τ_2 - постійна кола заряду конденсатора C_2 . При цьому одержимо вираз для $M_{н2}$ та φ_2 , аналогічні за структурою виразів (2.38) та (2.39).

Коефіцієнт підсилення схеми з емнісними зв'язками згідно з виразом (2.34)

$$K_U = \frac{\gamma_{вх0}}{M_{н1}} K_{U_{вх}} \frac{\gamma_{вих0}}{M_{н2}} = \frac{\gamma_{вх0} K_{U_{вх}} \gamma_{вих0}}{M_{н1} M_{н2} M_{н}},$$

де $M_{н} = M_{н1} M_{н2}$ - параметр, що показує, у скільки разів зменшується коефіцієнт підсилення підсилювача (у порівнянні з максимальним значенням K_0) на частоті $\omega = 2\pi f$,

Фазові спотвори, внесені конденсаторами, додаються:

$$\varphi = \varphi_1 + \varphi_2$$

На характеристиках мал. 2.29, в показано падіння модуля коефіцієнта підсилення на низьких частотах та поява фазового випереджаючого зсуву φ . Для розширення смуги пропускання в зоні низьких частот необхідно збільшувати ємності конденсаторів C_1 та C_2 , що призводить до погіршення масо-габаритних показників підсилювачів.

Спад амплітудно-частотної характеристики в зоні низьких частот призводить до появи спотворень форми переданих сигналів. На мал. 2.29 показано, що з передаванням прямокутних імпульсів напруга на виході підсилювача має спад на вершині. Це падіння напруги зумовлено нездатністю підсилювача передавати сигнали з малою частотою або сигнали, що повільно змінюються. Спотворення форми імпульсів тим більші, чим довше імпульси.

§ 2.15. Каскади підсилення потужності

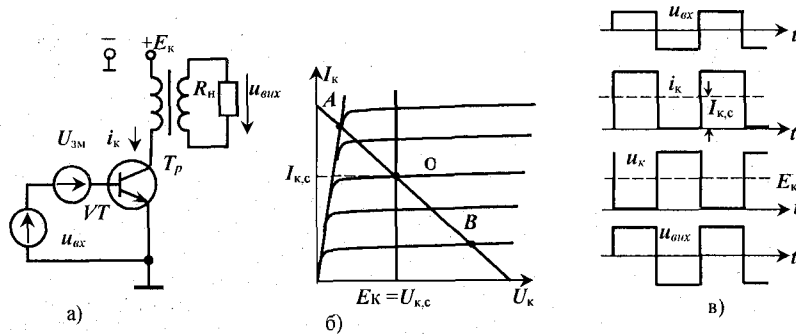
Розглянуті підсилювачі (§2.1-2.14) підсилюють наступні параметри сигналу: потужність, напругу та струм. Проте потужність, яку підсилювачі спроможні передати в навантаження, дуже мала. Так, ІМС ОП 140УД7 має на виході напругу до 11,5 В, мінімальний опір навантаження 2 кОм. При цьому максимальна потужність, передана в навантаження, $P_n = U_{вх\max}^2 / R_n = 0,0024$ Вт. На рівні настільки малих потужностей енергетичні показники підсилювачів (наприклад, ККД) не відіграють великої ролі, і при проектуванні в центрі уваги знаходяться тільки проблеми передавання інформації: підсилення сигналу по напрузі, стабільність коефіцієнта підсилення, відсутність спотворень форми сигналу, повне передавання корисної частини спектра і т.ін. По-

іншому стоїть справа зі створенням підсилювачів, на виході яких є навантаження, що споживає від підсилювача помітну потужність (малопотужні двигуни, різноманітні виконавчі механізми й ін.). У цьому випадку при проектуванні вихідного каскаду підсилювача енергетичні питання є першорядними. Лише при високому значенні ККД можуть бути знижені втрати енергії джерела живлення, зменшений нагрів напівпровідникових приладів і знижена їхня потужність. Каскади підсилення потужності відрізняються від розглянутих схем не лише своєю структурою, але й особливостями розрахунку. Можна вважати, що певною мірою каскади підсилення потужності відносяться до схем енергетичної електроніки, зі створенням яких у першу чергу необхідно забезпечити сприятливі енергетичні співвідношення.

Розглянемо найбільш характерні способи побудови каскадів підсилення потужності. Вони відрізняються класами підсилення (див. § 2.1).

Каскад підсилення потужності класу А наведений на мал. 2.30, а. Для створення підсилювача потужності класу А необхідне застосування трансформаторного зв'язку з навантаженням. Трансформатор не передає постійну складового сигналу, тому частотна характеристика такого каскаду аналогічна частотній характеристикі каскадів із змісним зв'язком (див. мал. 2.29, е). У режимі спокою ($u_{ax}=0$) за рахунок напруги зміщення $U_{зм}$, яка подається на базу, протікають струми $I_{б,с}$ та $I_{к,с} = \beta I_{б,с} + (\beta + 1) I_{к0}$

Будемо вважати трансформатор ідеальним (тобто нехтуємо втратами в ньому, вважаємо індуктивність намагнічування дуже великою, а індуктивності розсіювання малими). Тоді опір первинній обвитці трансформатора постійного струму дорівнює нулю і в режимі спокою $U_{к,с} = E_k$. На вихідних характеристиках транзистора побудуємо лінію навантаження по постійному струму, вона являє собою вертикальну пряму (рис. 2.30, б). Точка спокою O має координати $U_{к,с}, I_{к,с}$.



Мал. 2.30. Однотактний підсилювач потужності класу А:

а - схема; б - побудова ліній навантаження; в - часові діаграми струмів та напруг
 Із подаванням вхідного сигналу u_{ax} з'являється природи струмів бази ΔI_b та колектора $\Delta I_k = \beta \Delta I_b$. Навантаженням для транзистора являється опір $R_n = R_n \omega_1^2 / \omega_2^2$, де ω_1 і ω_2 - числа витків у первинній та навантажувальній обвитках трансформатора. Побудуємо лінію навантаження по змінному струмові. Для цього, як і в § 2.2, проведемо через точку спокою O пряму лінію під кутом, що визначається R_n . При позитивному вхідному сигналі струм колектора зростає, збільшується падіння напруги на первинній обвитці трансформатора, знижується напруга на колекторі (відрізок OA мал. 2.30, б). Зі зменшенням u_{ax} знижується i_k , напруга на колекторі збільшується (відрізок OB) і до транзистора прикладається не лише ЕРС джерела живлення E_k , але і проти-ЕРС трансформатора. При великому u_{ax} величина i_k в межах досягає $2E_k$, що необхідно враховувати при виборі транзисторів. На мал. 2.30, в показані криві напруг $u_{ax}, u_k, u_{вих}$ та колекторного струму i_k з передаванням двополярного прямокутного сигналу.

Визначимо ККД каскаду $\eta = P_n / P_o$, де P_n - потужність навантаження; P_o - потужність, споживана від джерела живлення E_k . При ідеальному трансформаторі та при сигналі u_{ax} , показаному на мал. 2.30, в,

$$P_n = U_{вих м}^2 / R_n = \Delta U_k^2 R_n' = (\xi E_k)^2 / R_n, \quad (2.40)$$

де $\xi = \Delta U_k / E_k$, $U_{вих м}$ - амплітуда $u_{вих}$, в даному випадку $U_{вих м}$ дорівнює діючому значенню.

У класі А завжди

$$P_o = E_k I_{к,с}. \quad (2.41)$$

Для одержання максимальної амплітуди $U_{вих м}$ (при $\xi \rightarrow 1$), як випливає з мал. 2.30, б, варто вибрати $I_{к,с} \approx E_k / R_n$, тоді вираз (2.41) запишеться у вигляді

$$P_o = E_k^2 / R_n. \quad (2.42)$$

З формул (2.40) та (2.42) дістанемо

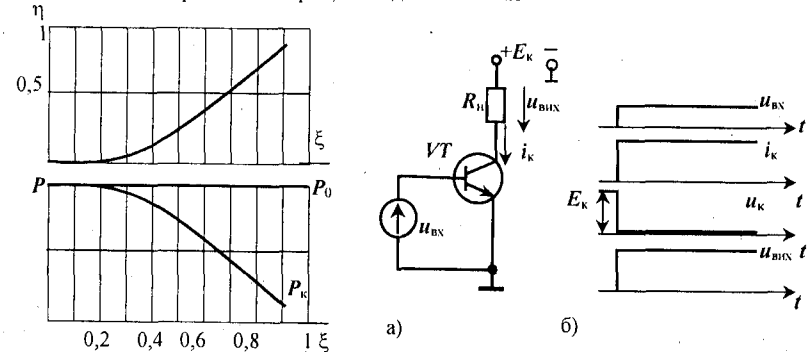
$$\eta = \xi^2 \quad (2.43)$$

На мал. 2.31 наведені залежності η, P_o та $P_k = P_o - P_n$ від ξ . З аналізу цих графіків робимо такі висновки:

- 1) максимальний ККД досягається при великих значеннях $\xi = \Delta U_k / E_k$, тобто при підсиленні великих сигналів;
- 2) потужність, споживана від джерела P_o , не залежить від сигналу, що передається;
- 3) максимальна потужність втрат $P_k = P_o - P_n$ має місце в режимі спокою, коли $u_{ax} = 0$. Потужність втрат - це потужність, що витрачається на нагрівання транзистора, отже, для транзистора найбільше важким являється режим спокою, і за цим режимом треба вибрати транзистор по потужності: $P_{кmax} \geq P_o = E_k I_{к,с}$.

Із передаванням сигналів довільної форми значення ККД буде визначатися середнім значенням коефіцієнта ξ і буде значно нижчим значень, що досягаються при $\xi \rightarrow 1$

Наприклад, при синусоїдному u_{ax} форми ΔU_k та $u_{вих}$ синусоїдні, ξ протягом половини періода змінюється за синусоїдним законом від 0 до ξ_{max} , а в кінці від 0 до 1. Враховування реальних властивостей трансформатора дає ще менші значення ККД каскаду підсилення потужності. Таким чином, підсилювач за схемою мал. 2.30, а, як і всі каскади, що працюють у класі А, дає змогу передавання двополярного сигналу без спотворень, але володіє деякими недоліками: має низький ККД, особливо при малих значеннях u_{ax} ; потужність P_o не залежить від вхідного сигналу і при малих сигналах витрачається марно; каскад повинен мати



Мал. 2.31. Залежності $\eta = f(\xi)$ та $P_k = f(\xi)$ для підсилювача потужності класу А

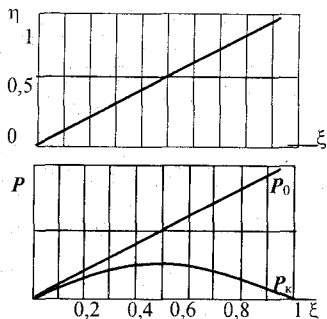
трансформаторний зв'язок із навантаженням, що визначає несприятливий характер його

Мал. 2.32. Однотактний підсилювач потужності класу В:

а - схема; б - часові діаграми струмів і напруг

частотній характеристикі та неможливість передавання однополярних сигналів.

Однотактний каскад класу В наведений на мал. 2.32,а.



Мал. 2.33. Залежності $\eta(\xi)$ та $P_0(\xi), P_\kappa(\xi)$ для підсилювача потужності класу В

Навантаження вмикається безпосередньо в колекторний ланцюг транзистора. У режимі спокою, коли $u_{ax}=0$, зміщення на базу транзистора не подається і $I_{k,c} = I_{k,c0} \approx 0$, $P_\kappa=0$, тобто нагрівання транзистора в режимі спокою практично не відбувається. З подаванням на базу транзистора позитивного вхідного сигналу струм колектора збільшується, з'являється падіння напруги на навантаженні $u_{вих} = i_k R_n$.

При від'ємній напрузі на вході транзистор закритий, $u_{вих}=0$. Такий підсилювач у класі В може підсилювати лише однополярні сигнали, це виключає застосування трансформатора на виході для зв'язку з навантаженням. На мал. 2.32,б наведені криві вхідної та вихідної напруги каскаду з передаванням однополярного сигналу.

Визначимо ККД каскаду для випадку показаного сигналу. Потужність, що віддається на навантаження, визначимо з урахуванням того, що в даному випадку дійсне значення $U_{вих} = U_{вихм}$.

$$P_n = U_{вихм}^2 / R_n = (\xi E_k)^2 / R_n \quad (2.44)$$

Потужність, споживана від джерела, залежить від середнього струму, що протікає через навантаження:

$$P_o = E_k I_k = E_k \frac{U_{вихм}}{R_n} = \xi E_k^2 / R_n \quad (2.45)$$

Із формул (2.44) та (2.45) одержимо ККД

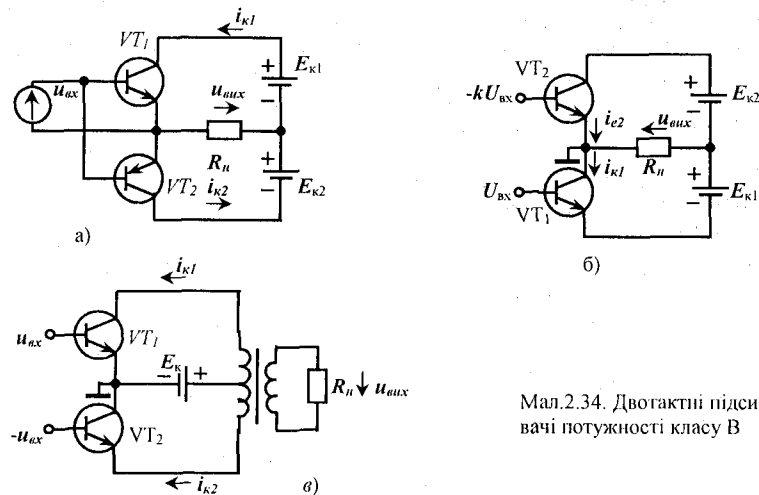
$$\eta = \xi \quad (2.46)$$

На мал. 2.33 подані залежності η , P_o та P_κ від ξ , аналіз яких дозволяє зробити такі висновки:

- 1) ККД каскаду класу В вищий, ніж у схемі мал. 2.30, а, особливо для малих і середніх сигналів u_{ax} ;
- 2) потужність, споживана від джерела E_k мінімальна в режимі спокою і збільшується із збільшенням u_{ax} ;
- 3) потужність втрат максимальна при середніх значеннях ξ , але набагато менша, ніж максимальна потужність втрат у схемі мал. 2.30, а. При малих ξ , P_κ мала, так як малі струми через транзистор, при великих ξ потужність P_κ також мала, оскільки спад напруги на навантаженні великий, а спад напруги на транзисторі $u_k = E_k - u_{вих}$ малий.

Все описане дозволяє зробити висновок про переваги каскадів підсилення потужності класу В у порівнянні з каскадом класу А. Неможливість підсилення двополярних сигналів переборена у двотактних підсилювачах потужності.

Двотактний каскад підсилення потужності класу В з безпосереднім вмиканням навантаження зображений на мал.2.34,а. У режимі спокою обидва транзистора закриті. З



Мал.2.34. Двотактні підсилювачі потужності класу В

подаванням додатного u_{ax} зростає струм i_{k1} *n-p-n* транзистора VT_1 , полярність напруги на навантаженні показана на мал. 2.34,а. Схема працює аналогічно як каскад мал. 2.32,а. Транзистор VT_2 закритий.

Із напругою на вході $u_{ax} < 0$ VT_1 закритий, струм i_{k2} *p-n-p* транзистора VT_2 , який проходить через навантаження, зростає (полярність напруги на навантаженні протилежна показаній на мал. 2.34,а). Таким чином, транзистори вступають у роботу по черзі в залежності від полярності підсилювального сигналу. До закритого транзистора прикладається напруга $u_k = E_k + u_{вих}$, яка на межі при великих ξ наближається до $2E_k$, що необхідно врахувати при виборі транзистора. Для двотактної схеми справедливі співвідношення (2.46) та графіки мал. 2.33.

Двотактні підсилювачі потужності класу В можуть виготовлятися і на транзисторах одного типу провідності. На мал. 2.34,б представлена схема з безтрансформаторним вмиканням навантаження. При $u_{ax} > 0$ відкривається транзистор VT_1 . Транзистор VT_2 закритий зворотною напругою на вході $-kU_{ax}$. Колекторний струм VT_1 i_{k1} проходить через навантаження R_n і замикається через джерело живлення $E_{к1}$. Схема функціонує аналогічно, як і каскад мал. 2.32,а. При $u_{ax} < 0$ транзистор VT_1 закривається, додатна напруга $-k u_{ax}$ на базі VT_2 відкриває його. Емігнерний струм VT_2 i_{e2} проходить через навантаження R_n і замикається через джерело живлення $E_{к2}$. Транзистор VT_2 працює за схемою із СК, при цьому справедливі співвідношення формули (2.46) та графіки мал. 2.33. Для рівності коефіцієнта передавання додатного та від'ємного сигналу u_{ax} для навантаження необхідно виконати умову $K_{U_{ce}} = kK_{U_{ce}}$, де $K_{U_{ce}}$ – коефіцієнт підсилення по напрузі бази з СЕ па транзисторі VT_1 , а $K_{U_{ce}}$ – коефіцієнт підсилення по напрузі схеми із СК на транзисторі VT_2 . Для виконання цієї умови вхідний сигнал подається на VT_2 через інвертуючий підсилювач з коефіцієнтом підсилення k .

Схеми мал. 2.34,а,б при необхідності гальванічної розв'язки з навантаженням та зміни рівня вихідної напруги по відношенню до E_k можуть бути забезпечені трансформатором у навантажувальному ланцюзі.

Схема мал. 2.34,в має одне джерело живлення, але наявність трансформатора в ній обов'язкова. Обидва транзистори працюють за схемою із СЕ, на їх бази подаються сигнали u_{ax} та

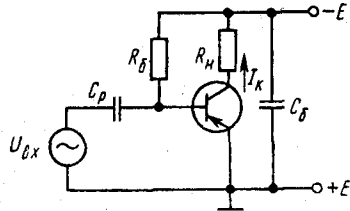
– u_{ax} , що забезпечує при $u_{ax} > 0$ відкриття VT_1 , а при $u_{ax} < 0$, тобто при $-u_{ax} > 0$, відкриття VT_2 . Співвідношення (2.46) і графіки мал. 2.33 застосовуються і до схеми мал. 2.34, в.

Підсилювачі потужності, що працюють по двотактній схемі в класі В, в даний час виготовляються у вигляді ІМС, які допускають безпосереднє підключення навантаження або його приєднання через трансформатор.

Приклад 2.1

Транзистор увімкнений в підсилюючий каскад за схемою СЕ. Каскад живиться від одного джерела з напругою $E=10\text{В}$.

Для подання зміщення в ланцюг бази використовується резистор R_B (мал.2.35). Характеристики транзистора зображені на мал.2.36. Відомо, що постійна складова струму бази $I_{B0}=0,3\text{ мА}$, амплітуда змінної складової струму бази $I_{Bm}=0,2\text{ мА}$, опір навантаження $R_H=500\text{ Ом}$, а максимальна допустима потужність, що розсіюється колектором, $P_{k\text{max}}=150\text{ мВт}$.



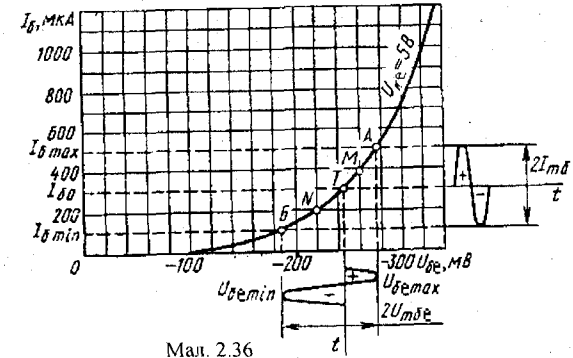
Мал.2.35

Необхідно:

а) побудувати лінію $P_{k\text{max}}$;

б) за вихідними характеристиками знайти постійну складову струму колектора I_{k0} , постійну складову напруги колектор-емітер U_{ke0} , амплітуду змінної складової струму колектора I_{km} , амплітуду вихідної напруги $U_{mk} = U_{mke}$, коефіцієнт підсилення по струмові K_I , вихідну потужність P_{mxc} , потужність, що розсіюється на навантаженні постійної складової струму колектора P_{k0} , повну споживану потужність в колекторному ланцюзі, ККД колекторного ланцюга η .

Перевірити чи не перевищує потужність P_{k0} , що виділяється на колекторі в режимі спокою, максимальну допустиму потужність $P_{k\text{max}}$;



Мал. 2.36

в) за допомогою вхідних характеристик визначити напругу зміщення U_{ce0} , амплітуду вхідного сигналу $U_{mбв}$, вхідну потужність $P_{вх}$, коефіцієнт підсилення по напрузі K_u та по потужності K_p , вхідний опір каскаду $R_{вх}$, опір резистора R_B та ємність роздільного конденсатора C_p . Діапазон частот коливань, що підсилюються $80\text{ Гц}-5\text{ кГц}$;

г) знайти параметри h_{21c} , h_{22c} , $R_{mxc}=1/h_{22c}$, h_{11c} і $h_{21c}S$ та аналітично розрахувати величини K_I , K_u , K_p , $R_{вх}$.

Розв'язок

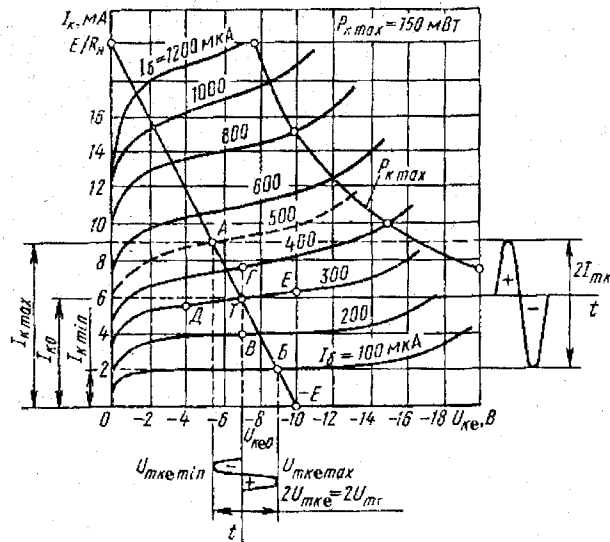
Оскільки у вхідному ланцюзі транзистора при будь-якій схемі вмикання протікає струм, то для розрахунку робочого режиму транзистора недостатньо одного виду вихідних характеристик, а необхідний ще один вид, що визначає режим роботи вхідного ланцюга. Слід відзначити, що в довідниках звичайно дана одна вхідна характеристика, так як вхідні характеристики, зняті при різних вхідних напругах, розміщені близько одна до одної.

Порядок розв'язання задачі наступний. На групі вихідних характеристик будують лінію максимально допустимої потужності, використовуючи рівняння.

$$I_{\text{min}} = P_{k\text{max}} / |U_{ke}| = 0.150 / |U_{ke}|$$

Підставляючи в нього значення U_{ke} , рівні, наприклад, -75; -15; -10 і -20 В, одержимо значення I_k , що рівні 20; 15; 10; та 7,5 мА відповідно. Побудована по цих точках лінія $P_{k\text{max}}$ зображена на мал. 2.37.

Потім, використовуючи рівняння лінії навантаження, $I_k = (E - U_{ke}) / R_H$ на групі вихідних характеристик наносимо лінію навантаження: при $I_k = 0$ $U_{ke} = E = 10\text{ В}$ – перша точка лінії навантаження: при $U_{ke} = 0$ $I_k = E / R_H = 10 / 500 = 20\text{ мА}$ – друга точка лінії навантаження.



Мал. 2.37

Точка перетину лінії навантаження з характеристикою, що відповідає постійній складовій струму бази $I_{б0} = 300$ мкА, визначить робочу точку. Їй будуть відповідати постійна складова струму колектора $I_{к0} = 6$ мА і постійна складова напруги $U_{кe0} = -7$ В. Амплітуду змінної складової струму колектора визначимо як середнє значення.

$$I_{mk} = (I_{k \max} - I_{k \min}) / 2 = (0.009 - 0.002) / 2 = 3.5 \text{ мА}$$

Подальший порядок розрахунку такий:

Амплітуда змінної напруги на навантаженні

$$U_{mк} = U_{mкe} = I_{mk} \times R_{н} = 0.0035 \times 500 = 1.75 \text{ В}$$

Коефіцієнт підсилення по струму

$$K_i = I_{mk} / I_{мб} = 0.0035 / 0.0002 = 17.5.$$

Вихідна потужність

$$P_{вix} = 0.5 \times I_{mk} \times U_{mк} = 0.5 \times 0.0035 \times 1.75 = 3 \text{ мВт}$$

Повна споживана потужність в колекторному ланцюгу

$$P_0 = E \times I_{к0} = 10 \times 0.006 = 60 \text{ мВт}$$

ККД колекторного ланцюга

$$ККД = P_{вix} / P_0 = 0.003 / 0.06 = 0.05 = 5\%$$

Потужність постійної складової колекторного струму, що розсіюється на колекторі.

$$P_{к0} = I_{к0} \times U_{кe0} = 0.006 \times 7 = 42 \text{ мВт} < P_{k \max} = 150 \text{ Вт, тобто режим роботи допустимий.}$$

Далі розрахунок ведемо за групою вхідних характеристик (мал.2.36). Оскільки у транзисторів вхідні характеристики розміщені близько одна від одної, то в якості робочої вхідної характеристики можна прийняти одну із статичних вхідних характеристик, що

відповідає активному режимові, наприклад, характеристику, зняту при $U_{кe} = -5$ В. Це можна зробити в тому випадку, коли джерело коливань, що підсилюються, працює як генератор струму, тобто коли внутрішній опір джерела коливань значно більший від вхідного опору транзистора.

Із графіка знаходимо, що $|U_{бe0}| = 0.25 \text{ В.}$

Амплітуда вхідної напруги

$$U_{мbe} = (U_{бe \max} - U_{бe \min}) / 2 = (0.277 - 0.187) / 2 = 45 \text{ мВ.}$$

Модуль коефіцієнта підсилення по напрузі

$$|K_u| = U_{mкe} / U_{мbe} = 1.75 / 0.045 = 39.$$

Коефіцієнт підсилення по потужності

$$K_p = |K_i \times K_u| = 39 \times 17.5 = 690.$$

Вхідна потужність

$$P_{вх} = 0.5 \times I_{мб} \times U_{мbe} = 0.5 \times 0.0002 \times 0.045 = 4.5 \text{ мкВт.}$$

Вхідний опір

$$R_{вх} = U_{мbe} / I_{мб} = 0.045 / 0.0002 = 225 \text{ Ом}$$

Опір резистора

$$R_0 (E - |U_{бe0}|) / I_{б0} = (10 - 0.25) / 0.0003 = 32.5 \text{ кОм}$$

Ємність конденсатора визначається з умови:

$$1 / (\omega_H \times C_{т}) = R_{вх} / 10$$

де ω_H - нижня робоча частота.

Тоді

$$C_{т} = 10 / (\omega_H \times R_{вх}) = 10 / (2 \times \pi \times f_H \times R_{вх}) = 10 / (6.28 \times 80 \times 225) = 90 \text{ мкФ}$$

Розрахуємо параметри в робочій точці

при $U_{кe} = -7$ В і $I_{к0} = 6$ мА:

$$h_{21e} = \beta = dl_k / dl_b \text{ при } U_{кe} = const$$

По точках В та Г визначимо (мал.2.37)

$$h_{21e} = 0.0037 / 0.002 = 18.5$$

По точках Д та Е визначимо

$$h_{22e} = dl_k / dl_{кe} \text{ при } I_b = const$$

$$h_{22e} = 0.0007 / 6 = 117 \text{ мкСм}$$

$$R_{вix} = 1 / p_{22e} = 1 / 0.000117 = 8.5 \text{ кОм}$$

параметр

$$h_{11e} = dl_{бe} / dl_b \text{ при } U_{кe} = const.$$

По точках М і N (мал.2.37) визначимо

$$h_{11e} = 0.004 / 0.00019 = 210 \text{ Ом}$$

Кругість характеристики транзистора

$$S = h_{21e} / h_{11e} = 18.6 / 210 = 88 \text{ мА/В.}$$

За допомогою знайдених параметрів визначимо шукані значення по наближених формулах. Коефіцієнт підсилення по струмові

$$K_i = h_{21e} = 18.5; \text{ а точніше}$$

$$K_i = h_{21e} \times R_{\text{вих}} / (R_{\text{н}} + R_{\text{вих}}) = 18.5 \times 0.0085 / (500 + 8500) = 17.5,$$

що співпадає з результатом графо – аналітичного розрахунку.

Вхідний опір

$$R_{\text{вх}} = h_{21e} = 210 \text{ Ом.}$$

Коефіцієнт підсилення по напрузі

$$K_u = -h_{21e} \times R_{\text{н}} / R_{\text{вх}} = -18.5 \times 500 / 210 = -44;$$

а точніше,

$$K_u = -17.5 \times 500 / 210 = -41.5.$$

Коефіцієнт підсилення по потужності дорівнює:

$$K_p = |K_i \times K_u| = 17.5 \times 41.5 = 725.$$

Завдання для самоконтролю

1. Як зміниться передатна характеристика каскаду із СЕ (мал. 2.2), якщо збільшити R_k , β , E_k ? Як зміниться передатна характеристика при нагріванні транзистора?
2. Із допомогою графічного методу розрахунку визначити, як залежить коефіцієнт підсилення каскаду із СЕ від вибору E_k , R_k , $R_{\text{н}}$.
3. У схемі із СЕ за мал. 2.3 $E_k=15 \text{ В}$, $U_{\text{Е,п}}=1 \text{ В}$, $R_{\text{н}}=2 \text{ кОм}$, $\beta=50$, $I_{\text{кбо}}=0,01 \text{ мА}$, $U_{\text{кЕ,н}}=1 \text{ В}$, $\Delta U_k=1 \text{ В}$, знайти R_k , $U_{\text{кп}}$, R_E при $U_{\text{вих макс}}=2 \text{ В}$; 4 В .
4. Побудувати схему заміщення по змінній складовій для каскаду із СЕ (мал. 2.9, а). Чи можна за схемою заміщення знайти $I_{\text{кз}}$ та $U_{\text{кз}}$, якщо відомі всі елементи, які входять в схему заміщення?
5. У режимі холостого ходу на виході підсилювача $U_{\text{вих}}=2 \text{ В}$, а при вмиканні навантаження $R_{\text{н}}=2 \text{ кОм}$, $U_{\text{вих}}=1 \text{ В}$. Знайти $R_{\text{вих}}$ підсилювача.
6. Пояснити, чому в схемах мал. 2.9 підвищення стабільності режиму спокою призводить до зниження коефіцієнта підсилення, а в схемі мал. 2.10 коефіцієнт підсилення при цьому не змінюється.
7. Чим замінені на схемі заміщення мал. 2.11 $E_{\text{к1}}$, $-E_{\text{к2}}$, R_E ?
8. Побудувати схему заміщення та знайти підсилювальні параметри несиметричного диференційного каскаду мал. 2.12.
9. Яку напругу зміщення необхідно прикласти до затвору польового транзистора в схемі мал. 2.14, виконаній на польовому транзисторі з р-п-переходом? На МДП- транзисторі з індукованим каналом?
10. Перерахуйте властивості ідеального ОП. Чим зумовлена необхідність забезпечення кожної з цих властивостей?
11. Чому в підсилювальних схемах ОП не використовуються без ланок ВЗЗ? Чому вплив ВЗЗ на коефіцієнт підсилення в схемі мал. 2.3 нами оцінювався як негативний, а у випадку схем мал. 2.18,а та 2.20,а такого висновку не було зроблено.
12. Чому дорівнює напруга між входами ІМС ОП в схемах мал. 2.25,а та 2.25,б? Як використовується це значення при аналізі даних підсилювачів?
13. Побудуйте вихідні напруги інтегратора, якщо в момент часу t_0 до його входу прикладено синусоїдну напругу, а $U_{\text{вих}}(t_0)=0$.
14. Чи можливе самозбудження в схемах мал. 2.20, а, 2.21, а, 2.25, б?
15. Вхідні напруги мал. 2.29, а та б подані на входи схем мал. 2.18, а, 2.20, а, 2.28,а. Побудувати форму вихідної напруги.

16. Як зміниться форма вихідної напруги в підсилювачі мал. 2.28, а з подаванням вхідного сигналу мал. 2.29, а та б, якщо збільшити опір $R_{\text{н}}$?
17. Скласти схему суматора, який реалізує рівняння $U_{\text{вих}} = -(5E_1 + 7E_2 + 4E_3)$. Джерела сигналів E_1 , E_2 , E_3 мають внутрішній опір $R_1=2 \text{ кОм}$. Опір в колі ЗЗ $R_{\text{ЗЗ}}=10 \text{ кОм}$.
18. Побудувати для схеми із завдання 2.17 залежність $U_{\text{вих}} = f(E_1)$, якщо $E_2 = E_3 = 0,5 \text{ В}$, а ОП має $U_{\text{вих макс}} = 10 \text{ В}$.
19. Довести, що самозбудження в схемі мал. 2.28 настає на частоті f_0 при $R_2/R_1=2$.
20. Яку функцію виконує в резонансному підсилювачі коливальний контур? Чому в ньому застосовують паралельний, а не послідовний контур?
21. Як змінюються умови для розрахунку ємностей конденсаторів у резонансному підсилювачі порівняно з аперіодичним?
22. Як впливає на вибірність та коефіцієнт передавання підсилювача транзистор? Яким чином цей вплив можна зменшити?
23. Як впливають на величину параметрів опори навантаження та радіовимірювальних приладів, яким чином цей вплив можна зменшити?
24. Завдяки яким властивостям резонансний підсилювач не критичний до нелінійного режиму роботи? В яких радіотехнічних пристроях використовують цей режим?
25. Що називають кутом відсікання струму електронного приладу і як залежить його величина від режиму роботи резонансного підсилювача та амплітуди вхідного сигналу?
26. У чому полягає множення частоти і як його здійснити в резонансному підсилювачі?
27. Які особливості смугових резонансних підсилювачів і чим відрізняються підсилювачі з зосередженою вибірністю від підсилювачів з розосередженою вибірністю?
28. У чому полягає особливість резонансних підсилювачів на взаємно розстронених контурах?
29. Як впливають на властивості резонансних підсилювачів параметр розладнання та фактор зв'язку коливальних контурів? Які їх значення є критичними?

Глава третя

3. Імпульсні пристрої

[1, 2, 3, 4, 7, 8]

§ 3.1. Переваги передавання інформації у вигляді імпульсів

Сучасна електроніка характеризується широким застосуванням імпульсних пристроїв. Напруги та струми в таких пристроях мають імпульсний характер, часто імпульси відділені один від одного дуже тривалим інтервалом паузи. Можна назвати головні причини, що сприяли розвитку імпульсної техніки.

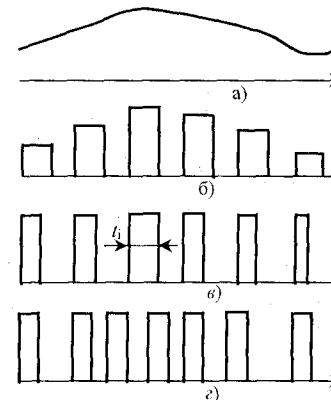
По-перше, багато виробничих процесів мають імпульсний характер: пуск та зупинка агрегатів, зміна швидкості та гальмування, скидання навантаження, спрацьовування захисту і т.д. Більшість технологічних процесів являє собою ряд операцій («такти»), і їхнє чергування також зумовлює імпульсний характер роботи пристроїв. Для керування роботою агрегатів з імпульсним характером функціонування, потрібне створення специфічних імпульсних електронних вузлів.

По-друге, передавання інформації у вигляді імпульсів, розділених паузами, дає змогу зменшити потужність, споживану від джерела живлення, при зберіганні достатньої потужності імпульсу. Це особливо важливо при використанні джерел живлення обмеженої потужності (батареї, акумулятори), наприклад, на рухомих (у тому числі космічних) об'єктах. Але й у стаціонарній апаратурі підвищення ККД значно покращують техніко-економічні показники електронних пристроїв. Докладніше зупинимося на цій перевазі імпульсних пристроїв у § 3.2.

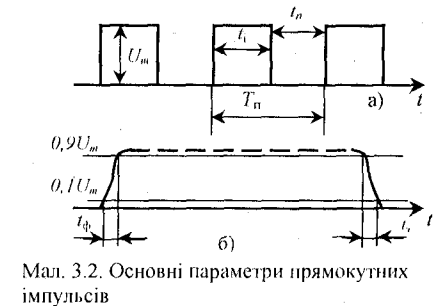
По-третє, передавання інформації у вигляді імпульсів дає змогу значно розвантажити канали зв'язку. Так, наприклад, немає необхідності передавати інформацію про напір ГЕС у вигляді безперервного сигналу, тому що напір змінюється дуже повільно. Передавання інформації у вигляді окремих відліків дозволить використовувати цей же канал зв'язку для одночасного передавання інформації про інші фізичні величини.

По-четверте, передавання інформації в імпульсній формі дає змогу значно підвищити завадостійкість, точність та надійність електронних пристроїв. При передаванні безперервного сигналу точність знижується через присутність дрейфу нуля підсилювачів (див. §2.5), вплив напруги зміщення нуля і вхідних струмів (див. § 2.12) та різноманітних завод.

Існує багато способів передавання безперервного сигналу (мал.3.1,а) у вигляді прямокутних імпульсів (мал. 3.1,б-г). При здійсненні амплітудно-імпульсної модуляції (АІМ) амплітуда імпульсів пропорційна вхідному сигналу (мал. 3.1, б). При такому способі передавання інформації шкідливий вплив дрейфу нуля підсилювачів та інших перерахованих факторів на точність зберігається. Із використанням широтно-імпульсної модуляції (ШІМ) амплітуда та частота повторення імпульсів постійні, але ширина імпульсів t_i пропорційна поточному значенню вхідного сигналу (мал.3.1, в). При частотно-імпульсній модуляції (ЧІМ) (мал.3.1,г) вхідний сигнал визначає частоту проходження імпульсів, що мають постійну тривалість та амплітуду. При ШІМ та ЧІМ дрейф нуля підсилювачів не впливає на точність передавання вхідного сигналу, що у даному випадку залежить лише від точності фіксації часового положення імпульсів. Найбільшу точність та завадостійкість забезпечують нислю – імпульсні методи: інформація передається у вигляді числа, якому відповідає визначений набір імпульсів (код), при цьому істотна лише наявність або відсутність імпульсу.



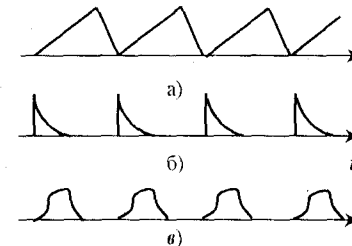
Мал. 3.1. Різні способи передавання інформації з допомогою імпульсів



Мал. 3.2. Основні параметри прямокутних імпульсів

Імпульси прямокутної форми найбільш часто застосовуються в електронній техніці. На мал. 3.2, а наведена періодична послідовність прямокутних імпульсів, а на мал. 3.2, б показана система параметрів, що дає змогу описати імпульси. Імпульс характеризується такими параметрами:

- U_m – амплітуда імпульсу;
- t_i – тривалість імпульсу;
- t_n – тривалість паузи між імпульсами;
- $T_n = t_i + t_n$ – період повторення імпульсів;
- $f = 1/T_n$ – частота повторення імпульсів;
- $Q_i = T_n / t_i$ – щільність імпульсів



Мал. 3.3. Форми імпульсних сигналів

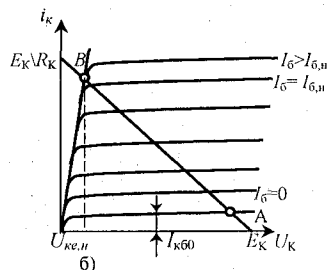
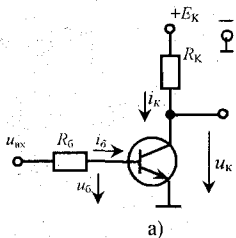
У реальних пристроях прямокутні імпульси мають (мал.3.2, б) певну тривалість фронту $t_ф$ та зрізу $t_з$. Як правило, фронт та зріз імпульсу визначаються протягом наростання (або спадання) напруги від $0,1 U_m$ до $0,9U_m$. Для нормального функціонування імпульсних пристроїв необхідно, щоб $t_ф \ll t_i$ та $t_з \ll t_i$. Іншому випадку тимчасове положення імпульсу не буде зафіксоване з необхідною точністю. Сучасні електронні пристрої дозволяють одержати $t_ф$ та $t_з$ помітно меншу 1 мкс, тому можна в першому наближенні вважати, що $t_ф$ та $t_з \rightarrow 0$.

Поряд із прямокутними імпульсами в електронній техніці широко застосовуються імпульси пілподібної (мал.3.3,а), експоненціальної (мал. 3.3,б) та дзвоноподібної (мал. 3.3, в) форми.

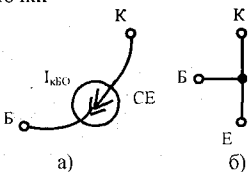
§ 3.2. Ключовий режим транзистора

Відмінною рисою імпульсних схем є широке застосування електронних ключів. Через ідеальний розімкнутий ключ струм не протікає. Напруга на ідеальному замкнутому ключі дорівнює нулю.

Найбільш широко застосовуються в якості електронних ключових елементів транзисторні каскади, у першу чергу, каскад із спільним емітером (СЕ). Розглянемо роботу такого каскаду (мал. 3.4, а) у *ключовому режимі*. При розгляді скористаємося графічним методом розрахунку транзисторних ланцюгів (див. §2.2). На мал.3.4,б наведена вихідна характеристика транзистора,



Мал. 3.4. Транзисторний ключ: а-найпростіша схема ; б- траєкторія робочої точки



Мал. 3.5. Схеми заміщення транзистора в режимах відсікання (а) та насичення (б)

на якій проведена навантажувальна лінія, що перетинає осі координат у точках ($u_к=E_к, i_к=0$) та ($u_к=0, i_к=E_к/R_к$).

У ключовому режимі транзистор може знаходитися в двох головних станах:

1. Стан (режим) *відсікання* («ключ розімкнутий»). При цьому через транзистор протікає мінімальний струм.

Цей стан відповідає точці А на діаграмі мал. 3.4,б $i_к = I_{кв,н} \approx 0$, напруга на транзисторі $u_к = E_к$. Транзистор у режимі відсікання може бути поданий схемою заміщення мал. 3.5, а, що містить тільки одне джерело струму $I_{кв,н}$, увімкнене між базою та колектором.

Для того, щоб транзисторний ключ знаходився в розімкнутому стані, необхідно виконати умову відсікання: змістити в зворотному напрямку емітерний перехід транзистора або для *n-p-n* транзистора виконати умову

$$u_б < 0 \quad (3.1)$$

Потужність, що втрачається в режимі відсікання на транзисторному ключі, $P_к = u_к i_к$ мала, тому що малий струм.

2. Стан (режим) *насичення* («ключ замкнутий»). Мінімальна напруга на транзисторі $u_к = U_{кв,н} \approx \approx 0$ відповідає точці В на діаграмі мал. 3.4, б. Струм через транзистор обмежений резистором $R_к$ і визначається

$$I_{к,н} = (E_к - U_{кв,н}) / R_к \approx E_к / R_к \quad (3.2)$$

Фізичні процеси в транзисторі при малих $u_к$ розглянуті в § 1.5. У режимі насичення обидва переходи транзистора зміщені в прямому напрямку, тому напруги між електродами транзистора малі. Транзистор у режимі насичення поданий схемою заміщення мал. 3.5, б, що відповідає короткому замиканню між усіма електродами транзистора (говорять, що «транзистор стягнутий у точку»).

Режим насичення досягається вже при $i_б = I_{б,н} = I_{к,н} / h_{21c}^*$. Подальше збільшення струму бази $i_б > I_{б,н}$ не змінює струму в колекторному ланцюзі. Таким чином, умова насичення транзистора записується у вигляді

$$i_б \geq I_{б,н} = I_{к,н} / h_{21c} \quad (3.3)$$

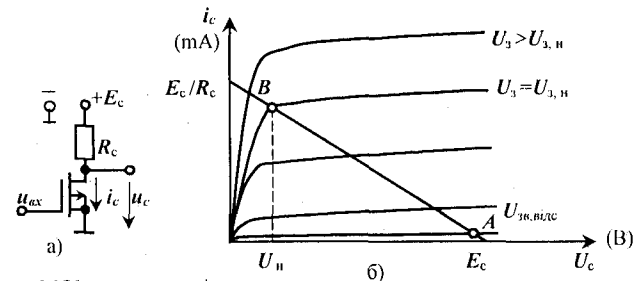
де $I_{к,н} \equiv E_к / R_к$.

Для надійного насичення транзистора необхідно, щоб умова (3.3) виконувалася при $h_{21c} = h_{21c,мін}$. Величина $S_{н} = i_б / I_{б,н} \geq 1$ називається *коефіцієнтом насичення* транзистора.

Як і в режимі відсікання, у режимі насичення потужність, що витрачається на транзисторному ключі, $P_к = U_к i_к$ мала, тому що мала напруга. Напруга $U_{кв,н}$ наводиться в довідниках, для створення електронних ключів варто вибирати транзистори з малим $U_{кв,н} \ll E_к$.

При роботі транзисторного ключа перемикання з відкритого стану в розімкнутий і навпаки відбувається стрибком, втрати потужності при цьому, як правило, незначні. Таким чином, робота транзистора в ключовому режимі характеризується малими втратами потужності та високим ККД, що є важливою перевагою в порівнянні з напівпровідниковими пристроями, розглянутими раніше.

Часто застосовується схема транзисторного ключа, що показана на мал. 3.18, а. Із подаванням позитивної напруги $u_{вх}$ транзистор входить в режим насичення. При відсутності вхідної напруги $u_{вх} = 0$ джерело напруги $-E_{зм}$, зв'язане з базою транзистора через резистор R_2 забезпечує режим відсікання.



Мал. 3.6. Ключ на МОН- транзисторі : а- найпростіша схема; б- траєкторія робочої точки

Широко застосовуються ключі на польових транзисторах. На мал. 3.6 наведена схема на МОН-транзисторі зі вбудованим каналом *n*-тину та лінія навантаження, побудована на вихідних (стікових) характеристиках польового транзистора аналогічно побудован на мал.3.4,б. Ключі на польових транзисторах інших типів будуються аналогічно.

У відкритому стані ключа напруга на транзисторі мала ($U_{н} \approx 0$), а струм $I_{с,н} = (E_к - U_{н}) / R_к \approx E_к / R_к$. Цей струм можна записати у вигляді

$$I_{с,н} = S(U_{з,н} - U_{зв,від}),$$

де S та $U_{зв,від}$ – крутість та напруга відсікання польового транзистора (див. § 1.7). Відкритий стан ключа підтримується при виконанні умови

$$u_з \geq U_{з,н} = (E_к / S R_к) + U_{зв,від}$$

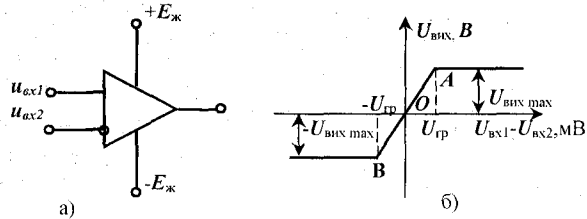
Для замкненого стану ключа, при якому $i_с = 0$, а $u_к = E_к$ необхідно подати на засув транзистора напругу $u_з < U_{зв,від}$.

h_{21c}^* - статичний коефіцієнт підсилення струму, що визначений у § 1.5.

§ 3.3. Нелінійний режим роботи операційного підсилювача. Компаратори

Розгляд роботи транзисторного ключа показує, що схема із СЕ в ключовому режимі має характерні ознаки. Виявимо аналогічні особливості ОП, при розгляді його роботи в нелінійному режимі (мал. 3.7, а).

На мал. 3.7, б наведена передатна характеристика ОП. У попередньому матеріалі ми обмежилися розглядом тільки лінійної ділянки АОВ, коли $|u_{ax1} - u_{ax2}| = \Delta U_{ax} < U_{tr}$. При $|u_{ax1} - u_{ax2}| > U_{tr}$



Мал.3.7. ОП як компаратор: а- схема ; б-передатна характеристика

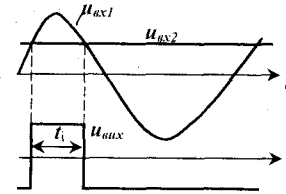
вихідна напруга ОП обмежена значенням $\pm U_{вих\ max}$. Це обмеження напруги викликане тим, що при великих сигналах транзистори вихідних каскадів ОП працюють у ключовому режимі, при цьому гранично досяжна вихідна напруга $U_{вих\ max}$ трохи менше ЕРС джерела живлення $E_ж$ (див. мал. 3.7,а). Таким чином, передатна характеристика ОП містить ділянку позитивного насичення ($\Delta U_{ax} > U_{tr}$, $u_{вих} = u_{вих\ max}$) та негативного насичення ($\Delta U_{ax} < -U_{tr}$, $u_{вих} = -U_{вих\ max}$).

Оскільки K_M ОП дуже великий, то напруга $U_{tr} = U_{вих\ max} / K_M$ дуже мала. В ідеальному ОП $K_M = \infty$ та $U_{tr} = 0$. У реальних ІМС U_{tr} не більш декількох мілівольт (у § 2.9 ми вже зробили важливий висновок, що на лінійній ділянці $u_{ax1} - u_{ax2} \approx 0$). Таким чином, можна вважати, що при $u_{ax1} - u_{ax2} > 0$ (тобто $u_{ax1} > u_{ax2}$) $u_{вих} = U_{вих\ max}$, а при $u_{ax1} - u_{ax2} < 0$ (тобто $u_{ax1} < u_{ax2}$) $u_{вих} = -U_{вих\ max}$. Це означає, що вихідна напруга ОП при $|u_{ax1} - u_{ax2}| > U_{tr}$ залежить від того, яка з вхідних напруг більша, і ОП є схемою порівняння напруг (компаратором). Компаратори є один з основних елементів імпульсних схем, тому будемо неодноразово з ними зустрічатися надалі*.

На мал.3.8 показані вхідні напруги компаратора, причому прийнято, що u_{ax1} – синусоїдна напруга, а u_{ax2} – постійна. Компаратор перемикається в моменти рівності $u_{ax1} = u_{ax2}$, і вихідна напруга має форму прямокутних імпульсів (мал.3.8). Ширина цих імпульсів при заданій амплітуді синусоїди залежить від величини u_{ax2} . Таким чином, ми переконалися, що найпростіший компаратор може служити перетворювачем синусоїдної напруги в прямокутну. У цій же схемі здійснюється перетворення напруги u_{ax2} в тривалість імпульсу t_i .

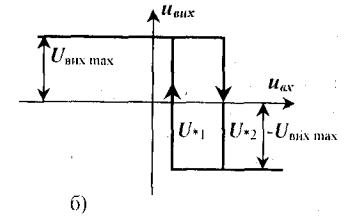
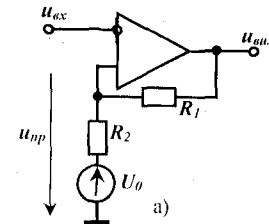
* Промисловість випускає компаратори у вигляді спеціальних ІМС. Вони відрізняються від схем ОП у нелінійному режимі меншим часом фронту та зрізу вихідних імпульсів, вихідна напруга в них стабілізована. Можливе використання ІМС компараторів при одній полярності джерела живлення, $u_{вих}$ в цьому випадку також однополярне. Схеми застосування ІМС компараторів практично не відрізняються від розглянутих нижче схем імпульсних пристроїв на ОП.

Поряд із найпростішою схемою компаратора (див. мал. 3.7, а) широко застосовується схема компаратора із ДЗЗ (мал. 3.9, а), яка називається також *граничним елементом* або *тригером Шмідта*. Ця схема нагадує схему мал. 2.18,а, але тут застосований ДЗЗ через ланцюг R_1, R_2 , а вхідний сигнал подається на інвертуючий вхід ОП.



Мал. 3.8. Напруга на вході та виході компаратора

Мал.3.9. Схема компаратора з додатним зворотним зв'язком. Передатна характеристика компаратора з додатним зворотним зв'язком



На мал.3.9,б побудована передатна характеристика цього компаратора. Пояснимо її роботу. При значній від'ємній напрузі на інвертуючому вході ОП $u_{вих} = U_{вих\ max}$. Напруга u_{np} на прямому вході ОП викликана впливом $u_{вих}$ та U_0 . Знайдемо її методом суперпозиції, з огляду на те, що для обох напруг ланцюг R_1, R_2 виконує роль подільника:

$$u_{np} = U^*1 = U_0 \frac{R_1}{R_1 + R_2} + U_{вих\ max} \frac{R_2}{R_1 + R_2} \quad (3.4)$$

Компаратор буде в режимі насичення ($u_{вих} = U_{вих\ max}$) при $u_{ax} < U^*1$. При $u_{ax} = U^*1$ відбудеться перемикавання компаратора. Зупинимось на цьому процесі докладніше.

При $u_{ax} \approx U^*1$ вихідна напруга ОП почне зменшуватися. Від'ємний приріст $\Delta U_{вих}$ по ланцюзі R_1, R_2 ДЗЗ надійде на прямий вхід ОП, і з'явиться від'ємна ΔU_{np} . ОП підсилить цей приріст, і на виході з'явиться $|\Delta U_{вих}| > |\Delta U_{np}|$, що знову викличе зміну напруги на прямому вході ОП ΔU^*np . Процес буде розвиватися лавиноподібно і завершиться, коли $U_{вих}$ досягає значення $-U_{вих\ max}$. Таким чином, ДЗЗ прискорює процес перемикавання компаратора. Такий прискорений хід перемикавання будь-якого пристрою під дією ДЗЗ називається *регенеративним процесом*.

При $u_{вих} = -U_{вих\ max}$

$$u_{np} = U^*2 = U_0 \frac{R_1}{R_1 + R_2} - U_{вих\ max} \frac{R_2}{R_1 + R_2} \quad (3.5)$$

Від'ємне насичення ОП буде зберігатися при $u_{ax} > U^*2$. Зі зменшенням u_{ax} до значення U^*2

відбудеться нове перемикання компаратора, процес знову буде розвиватися регенеративно і вихідна напруга миттєво досягне значення $U_{\text{вих макс}}$. Таким чином, передатна характеристика компаратора мал. 3.9, а має гістерезисний характер і перемикання компаратора зі збільшенням та зменшенням $u_{\text{вх}}$ відбувається при різних напругах U_{*1} та U_{*2} . Ширина петлі гістерезиса $(U_{*1} - U_{*2})$ збільшується зі збільшенням відношення R_2/R_1 .

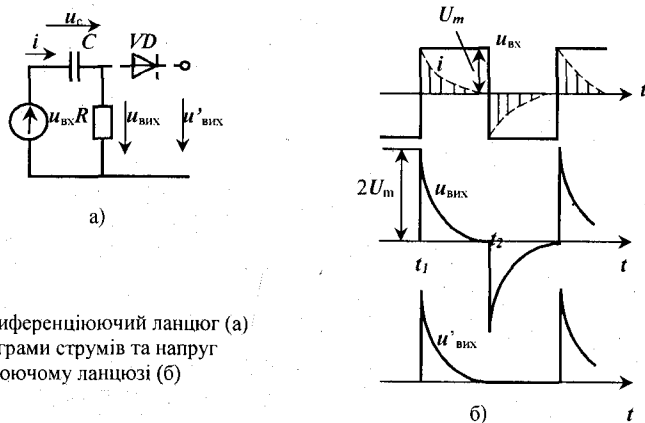
Тим самим встановлено, що введення ДЗЗ у ключові схеми дає змогу значно прискорити процеси перемикання пристроїв. Проте регенеративні схеми володіють і характерним недоліком: поблизу порога спрацювання їхня завадостійкість мала. Дуже мала завада може викликати приріст $\Delta U_{\text{вих}}$, що призведе до виникнення регенеративного процесу перемикання. Підвищення завадостійкості імпульсних пристроїв, що містять регенеративні вузли, нерідко являє собою важке технічне завдання.

§ 3.4. Перетворення імпульсних сигналів за допомогою RC-ланцюгів

Зі створенням імпульсних пристроїв, генеруючих або перетворюючих різноманітні імпульсні сигнали, необхідне формування тимчасових інтервалів, що визначають тривалості імпульсів, пауз між ними, частоту повторення імпульсів та ін. Це завдання вирішується за допомогою часозадаючих ланцюгів, що містять лінійні реактивні елементи (L, C), а нерідко і нелінійні реактивні елементи (наприклад, нелінійні індуктивності). У таких ланцюгах струм або напруга при перехідному процесі змінюються з певною швидкістю. Ми знаємо, що магнітні елементи в складі ІМС нездійсненні, тому в якості часозадаючих кіл використовують головним чином більш прості та надійні ланцюги з резисторами та конденсаторами, тобто RC-ланцюги.

Розглянемо два характерних способи вмикання RC-ланцюгів.

Диференціюючі (або скорочуючі) ланцюги. Схема диференціюючого ланцюга наведена на мал. 3.10, а. На вхід схеми ввімкнене джерело прямокутних імпульсів $u_{\text{вх}}$. Як приклад, розглянемо роботу ланцюга від джерела двополярних імпульсів. Часові діаграми струмів та напруг у схемі наведені на мал. 3.10, б. У момент t_1 напруга $u_{\text{вх}}$ змінюється стрибком на величину $2U_m$. Напруга на конденсаторі стрибком змінитися не може, тому на навантаження передається стрибок напруги $\Delta U_{\text{вих}} = 2U_m$. Потім починається заряд конденсатора напругою $u_{\text{вх}} = U_m$ через резистор R і напруга на C змінюється по експоненті. Напруга $u_{\text{вих}}(t) = u_{\text{вх}}(t) - u_c(t)$. По мірі заряду конденсатора $u_{\text{вих}}$ експоненціально спадає до нуля.



Мал. 3.10. Диференціюючий ланцюг (а) та часові діаграми струмів та напруг у диференціюючому ланцюзі (б)

У момент t_2 напруга $u_{\text{вх}}$ змінюється стрибком. Стрибок вхідної напруги передається на вихід ланцюга $\Delta U_{\text{вих}} = -2U_m$. Потім починається розряд конденсатора C до напруги $-U_m$ через резистор R . Початкова напруга на конденсаторі $U_c(t_2) = U_m$. Таким чином, на резисторі R формуються різнополярні імпульси, що експоненціально спадають, фронт яких відповідає фронту та зрізу імпульсів $u_{\text{вх}}$. Тривалість цих імпульсів залежить від постійної часу $\tau = RC$ і може бути оцінена $t_i = (2 \pm 3)\tau$. При малій постійній часу $\tau \rightarrow 0$ напруга $u_{\text{вих}}$ відповідає значенню похідної $u_{\text{вх}}$.

Часто на виході використовують лише один з імпульсів напруги $u_{\text{вих}}$. Для цього схема мал. 3.10 доповнюється діодом, показаним пунктиром, а напруга $u'_{\text{вих}}$ для цього випадку наведена на мал. 3.10, б.

Диференціюючі ланцюги, широко застосовуються в імпульсних пристроях при необхідності фіксації моментів фронту та зрізу, а також для укорочення імпульсів.

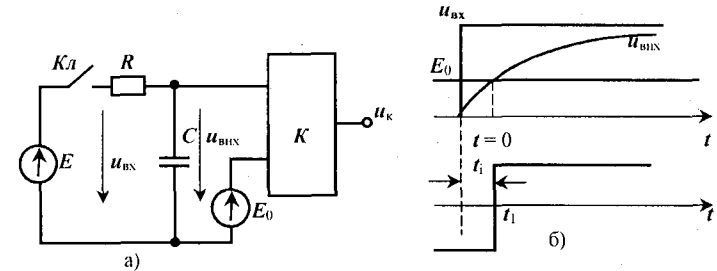
Інтегруючі ланцюги. Знайомий нам RC-ланцюг може бути увімкнений іншим методом, що показано на мал. 3.11, а, при цьому $u_{\text{вих}} = u_c$. Розглянемо процеси в RC-ланцюзі з замиканням у момент $t=0$ ключа $Kл.$, що приєднує до нього джерело постійної напруги E . Процес заряду конденсатора описується диференціальним рівнянням, добре відомим із курсу ТОЕ:

$$RC \frac{dU_c}{dt} + u_c = E \quad (3.6)$$

Його розв'язок має вигляд

$$u_{\text{вих}} = u_c(t) = E - [E - U_c(0)] \exp(-t/\tau), \quad (3.7)$$

де $U_c(0)$ -напруга на конденсаторі в момент $t = 0$; $\tau = RC$ - постійна часу кола. Напруга на



Мал. 3.11. Схема використання інтегруючої ланки в формувачах часових інтервалів (а), часові діаграми напруг (б).

конденсаторі експоненціально росте, відповідно до накопичення заряду (інтегруванню струму) (мал. 3.11, б).

В імпульсних пристроях ланцюг мал. 3.11, а часто постачається компаратором K , на другий вхід якого подана напруга $E_0 < E$. У момент t_1 $u_{\text{вих}} = u_c = E_0$ компаратор спрацьовує. Імпульсний вузол мал. 3.11 формує тимчасовий інтервал між моментом замикання ключа (момент $t=0$) та моментом спрацювання компаратора $t_1 = t_i$. Інтервал залежить від значень E , $U_c(0)$, E_0 та τ . У момент t_i рівняння (3.7) записується у вигляді

$$E - [E - U_c(0)] \exp(-t_i/\tau) = E_0.$$

Логарифмування цього виразу дає змогу знайти довжину інтервалу

$$t_i = \tau \ln \frac{E - U_c(0)}{E - E_0}. \quad (3.8)$$

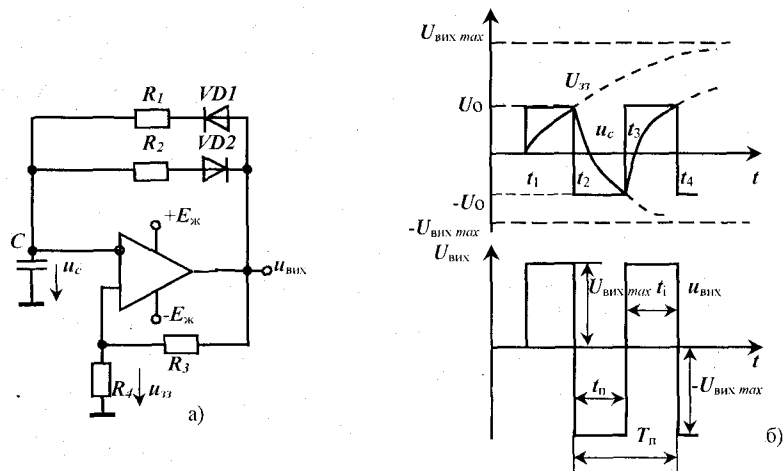
Процес формування інтервалу t_i за допомогою RC-ланцюга та компаратора лежить в основі багаточисленних імпульсних пристроїв (мультивібраторів, одновібраторів та ін.). Існує багато

варіантів вирішень тих самих імпульсних функціональних вузлів на транзисторах, польових транзисторах, різноманітних ІМС і т.ін. Нижче зупинимося на декількох вирішеннях цих вузлів, виконаних на ІМС. Незважаючи на різноманітність інших схемних вирішень, процеси в них можуть бути зведені до розглянутих вище перехідних інтегруючих процесів у RC -ланцюгах, (див. мал. 3.11). Широко застосовуються в імпульсній техніці й інтегратори.

§ 3.5. Мультивібратор на операційному підсилювачі

Мультивібратором називається генератор періодично повторюваних імпульсів прямокутної форми. Мультивібратор є автогенератором і працює без подавання вхідного сигналу.

Схема мультивібратора на ОП подана на мал. 3.12, а. Порівняємо її зі схемою мал. 3.11, а. Конденсатор C та резистори R_1, R_2 утворюють інтегруючий RC -ланцюг: при заряді конденсатора відкритий діод $VD1$, струм проходить через R_1 , при розряді – відкритий $VD2$, струм йде через R_2 . Джерелом напруги на вході є вихідний ланцюг ОП. Компаратор виконаний на ОП з ДЗЗ через



Мал. 3.12. Мультивібратор на ОП (а) і часові діаграми напруг у схемі мультивібратора (б)

ланцюг R_3R_4 (порівняйте з мал. 3.9). Із переключенням компаратора на його виході відбувається комутація ланцюгів заряду та розряду конденсатора C , тобто ОП виконує відразу декілька функцій: джерела напруг заряду та розряду конденсатора, компаратора та ключа.

Розглянемо роботу мультивібратора. Тимчасові діаграми наведені на мал. 3.12,б. Нехай при $t < t_1$ джерела живлення ОП вимкнуті: $E_{ж}=0, -E_{ж}=0$. Конденсатор C розрядився і $u_c=0$. У момент t_1 увімкнемо $E_{ж}$ та $-E_{ж}$.

При їхньому вмиканні вихідна напруга ОП $u_{вих}$ змінюється або в додатному, або у від'ємному напрямку (випадковий процес). Для певності допустимо, що відбувся позитивний приріст $\Delta U_{вих}$. Через ланцюг R_3R_4 цей приріст, подається на прямий вхід ОП, посилюється й у свою чергу викликає приріст $\Delta U_{вих}$. Процес розвивається лавиноподібно, в результаті в момент t_1 стрибком встановлюється $u_{вих} = U_{вих max}$.

Починаючи з моменту t_1 , конденсатор C заряджається напругою $U = U_{вих max}$ через резистор R_1 , тому що до анода діода $VD1$ прикладена позитивна напруга, постійна часу $\tau = R_1C$. Наростаюча по

експоненті напруга u_c подається на інвертуючий вхід ОП. На прямий вхід ОП через ланцюг R_3R_4 подається напруга

$$u_{33} = U_{вих max} R_4 / (R_3 + R_4) = U_0.$$

У момент $t=t_2$ напруга на конденсаторі u_c досягає значення U_0 і відбувається спрацьовування компаратора. Його перемикає лавиноподібно (регенеративний процес) і завершується при $u_{вих} = -U_{вих max}$. Напруга на конденсаторі не може змінитися стрибком і, починаючи з моменту t_2 , відбувається перезарядка конденсатора через резистор R_2 напругою $U = -U_{вих max}$ із постійною часу $\tau = R_2C$ (на діоді $VD2$ пряма напруга – мінус на катоді). Ми відзначаємо, що, впливаючи на діод $VD1$ та $VD2$, компаратор здійснює перемикає ланцюгів заряду ($VD1, R_1$) та розряду ($VD2, R_2$) конденсатора C . При $t_2 < t < t_3$ напруга на прямому вході ОП

$$u_{33} = \frac{-U_{вих max} R_4}{R_3 + R_4} = -U_0.$$

Конденсатор C не встигає розрядитися до напруги $-U_{вих max}$, тому що в момент t_3 напруга на ньому досягає значення $-U_0$ і знову відбувається регенеративне переключення компаратора, при чому встановлюється $u_{вих} = U_{вих max}$, $u_{33} = U_0$. Знову починається етап заряду конденсатора C через резистор R_1 . При напрузі на конденсаторі $u_c(t_4) = U_0$ відбувається чергове спрацьовування компаратора.

Сталій процес починається при $t=t_2$ і характеризується зміною напруги на конденсаторі від U_0 до $-U_0$ та зворотньо. Інтервал $t_3 - t_4$ визначає тривалість імпульсу t_i , тривалість паузи $t_n = t_3 - t_2$.

Знайдемо t_i та t_n . Для цього скористаємося аналізом схеми заряду конденсатора C , виконаним у § 3.4 [вирази (3.7) та (3.8)].

Для обчислення t_i розглянемо заряд конденсатора C від джерела $E = U_{вих max}$ з постійною часу $\tau = R_1C$. Процес починається при $U_c(0) = -U_0$ (див. мал. 3.12, момент t_2) та завершується при $U_c(t_i) = U_0$. Згідно з виразом (3.7)

$$t_i = R_1C \ln \frac{U_{вих max} + U_0}{U_{вих max} - U_0} \quad (3.9)$$

Враховуючи залежність U_0 від $U_{вих max}$, одержимо

$$t_i = R_1C \ln (1 + 2R_4/R_3).$$

Інтервал паузи t_n обчислимо при розряді перезарядки конденсатора C від джерела

$E = U_{вих max}$ з постійною часу $\tau = R_2C$; $U_c(0) = U_0$; $U_c(t_n) = -U_0$. Згідно з виразом (3.8)

$$t_n = R_2C \ln \frac{U_{вих max} + U_0}{U_{вих max} - U_0} = R_2C \ln (1 + 2R_4/R_3). \quad (3.10)$$

Період повторення

$$T_n = t_i + t_n = (R_1 + R_2)C \ln (1 + 2R_4/R_3) \quad (3.11)$$

Щільність

$$Q = T_n / t_i = (R_1 + R_2) / R_1. \quad (3.12)$$

Відзначимо, що значення t_i , t_n , T_n та Q не залежать від параметрів ОП. Це зумовлює високу стабільність частоти та щільності Q мультивібратора. У реальних мультивібраторах процеси розвиваються дещо складніше, тому що $u_{вих}$ ОП при прямому та зворотньому насиченні не цілком однакові за величиною, є напруга зсуву нуля (див. § 2.12), спрацьовування компаратора відбувається при ненульовій напрузі $u_c - u_{с0}$. Ці фактори знижують стабільність роботи схеми.

Розглянемо способи регулювання частоти та щільності мультивібратора.

1. При регулюванні частоти / щільності Q не повинна змінюватися. Можна запропонувати такі способи регулювання частоти:

а) зміною ємності конденсатора C . Цей метод застосовується рідко, тому що пов'язаний із

громіздкими рішеннями;

б) зміною відношення R_3/R_4 шляхом зміни одного з цих опорів. При цьому змінюється U_0 . Наприклад, при збільшенні R_4 збільшується U_0 , конденсатор C за час t повинен заряджатися до більшої напруги U_0 , але його постійна часу незмінна, тому t_1 росте. Так само змінюється і t_n , отже, частота f зменшується.

2. При регулюванні шільності необхідно підтримувати постійним значення t , тобто при збільшенні тривалості імпульсу на те ж значення необхідно зменшити тривалість паузи. Для цього R_1 та R_2 в схемі мал. 3.15 виконуються у виді потенціометра, середня точка якого прислана до інвертуючого входу ОП, а крайні точки – відповідно до катода діода $VD1$ і анода діода $VD2$, з регулюванням зрушується середня точка потенціометра, але сума опорів R_1+R_2 залишається незмінною [див. вирази (3.11) та (3.12)].

§ 3.6. Одновібратор на операційному підсилювачі

Одновібратор є формувачем одиночного імпульсу прямокутної форми та фіксованої тривалості, що виникає на виході з надходженням на вхід запускаючого короткого імпульсу. Одновібратор застосовується або в якості формувача прямокутних імпульсів, або в якості вузла затримки імпульсів на заданий час.

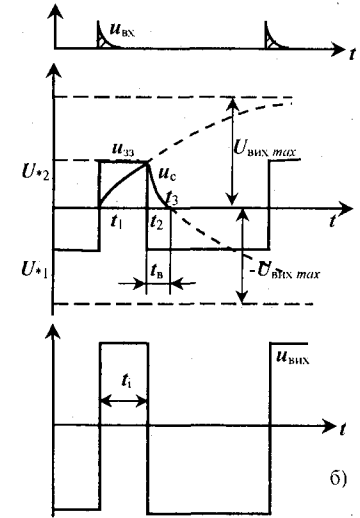
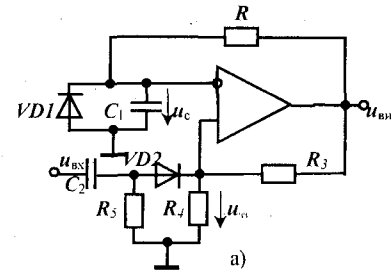
Схема одновібратора на ОП наведена на мал. 3.13. Порівняємо цю схему зі структурною схемою мал. 3.11. Одновібратор містить конденсатор C_1 , пов'язаний із виходом компаратора на вихід ОП через резистор R . В якості компаратора використана добре нам знайома схема з ДЗЗ через ланцюг R_3R_4 (порівняйте з мал.3.9,а). Мікросхема ОП виконує в одновібраторі декілька функцій: компаратора, джерела напруги для заряду конденсатора та ключа, тому що комутація ланцюгів заряду та розряду конденсатора здійснюється при перемиканні компаратора. Діод $VD1$ призначений для фіксації початкової напруги на конденсаторі $U_c(0)$. Елементи $C_2, R_4, R_5, VD2$ складають ланцюг запуску, через них на схему надходить короткий запускаючий імпульс $u_{вх}$. Ланка C_2R_5 є диференціюючою (див. § 3.4).

Тимчасові діаграми напруг у схемі одновібратора наведені на мал. 3.13,б. Розгляд роботи одновібратора потрібно проводити за етапами відповідно до порядку його роботи.

1 е т а п (вихідний стан, «чекаючий» етап), $u_{вх}=0$. Будемо вважати, що компаратор раніше був приведений у стан $u_{вх} = -U_{вих\ max}$. Конденсатор C_1 , розрядився, так як діод $VD1$ перешкоджає його заряду вихідною напругою ОП через резистор R . Неважко переконатися, що аналізований стан стійкий, тобто може тривати як завгодно довго: $u_{зз} < u_c$, отже, компаратор дійсно знаходиться в стані негативного насичення

$$u_{зз} = -U_{вих\ max} \frac{R_4 \parallel R_5}{R_3 + R_4 \parallel R_5} = U_{01}. \quad (3.13)$$

2 е т а п (формування імпульсу). При $u_{вх} > 0$ до прямого входу ОП прикладається вхідна напруга, що діє сильніше, ніж сигнал із виходу ОП через R_3 . Напруга на прямому вході стає позитивною. Оскільки на інвертуючому вході зберігається $u_c(t_1)=0$, то компаратор регенеративно перемикається, і напруга на його виході стрибком досягає $u_{вих} = U_{вих\ max}$. На етапі формування імпульсу потреба в підтримці напруги на вході після переключення компаратора відпадає, тому що позитивне насичення ОП підтримується позитивною напругою, що подається із його виходу на прямий вхід по ланцюзі R_3R_4 . Тому вхідний імпульс одновібратора може бути дуже коротким. При $t > t_1$ конденсатор C_1 заряджається напругою $U_{вих\ max}$ через резистор R , причому $\tau = RC_1$. Етап формування імпульсу завершується в момент t_2 , коли напруга на конденсаторі досягає значення



Мал.3.13. Одновібратор на ОП (а) та часові діаграми напруг у схемі одновібратора (б)

напруги ДЗЗ на прямому вході :

$$u_c(t_2) = u_{зз}(t_2) = U_{вих\ max} \frac{R_4}{R_3 + R_4} = U_{02}. \quad (3.14)$$

У цей момент компаратор регенеративно перемикається.

3 е т а п (стадія відновлення вихідного стану). Отже, в момент t_2 стрибком встановлюється $u_{вих} = -U_{вих\ max}$. Конденсатор C_1 починає розряджатися через резистор R від джерела напруги $-U_{вих\ max}$, причому $\tau = RC_1$. У момент t_3 напруга на конденсаторі досягає $u_c(t_3)=0$, відкривається діод $VD1$, що перешкоджає подальшому зменшенню напруги на конденсаторі. У момент t_3 стадія відновлення завершується, одновібратор готовий до приходу нового імпульсу на вході.

Розгляд принципу дії одновібратора дає змогу знову переконатися в тому, що в цій схемі, як і в схемі мультивібратора, використовуються принципи, закладені в схемі мал. 3.11,а. Для розрахунку головних стадій роботи одновібратора скористаємося виразом (3.8).

Розрахуємо тривалість імпульсу. Початок його формування відбувається в момент t_1 (див. мал.3.13), $U_c(0)=0$, $E=U_{вих\ max}$, постійна часу $\tau=RC_1$. У момент спрацьовування компаратора $u_c(t_2)=U_{02}$. При підстановці цих величин у вираз (3.8), враховуючи зв'язок U_{02} та $U_{вих\ max}$, одержимо:

$$t_1 = RC_1 \ln \frac{U_{вих\ max}}{U_{вих\ max} - U_{02}} = RC_1 \ln(1 + R_4/R_3). \quad (3.15)$$

Аналогічно розрахуємо тривалість стадії відновлення $t_b = t_3 - t_2$. Для цього підставимо у вираз (3.8) $U_c(0) = U_{02}$, $E = -U_{вих\ max}$, $\tau = RC_1$, $u_c(t_3) = 0$.

Одержимо

$$t_B = RC_1 \ln \frac{-U_{вих \max} - U_{02}}{-U_{вих \max}} = RC_1 \ln \frac{R_3 + 2R_4}{R_3 + R_4} \quad (3.16)$$

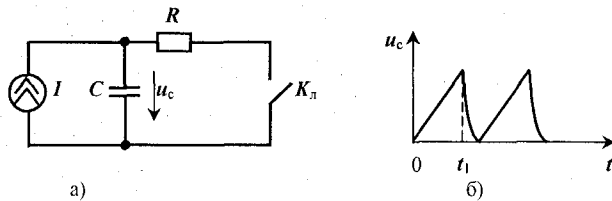
Регулювання тривалості імпульсу одновібратора t_i можуть здійснюватися такими методами:

- а) зміною R або C_1 (останнє звичайно не застосовують, тому що конденсатор із змінною ємністю має більші габарити та масу), при цьому змінюється швидкість заряд конденсатора C_1 ;
- б) зміною співвідношення R_3/R_4 . При цьому змінюється напруга спрацювання компаратора U_{02} , а з цим і час, протягом якого напруга на конденсаторі наростає до величини U_{02} .

Із використанням одновібратора не варто забувати, що схеми з ДЗЗ мають низьку заводостійкість. У вихідному стані напруга на прямому вході ОП, $u_{вх} = U_{01}$ повинна бути багато більша від рівня перешкод. Природно, що її амплітуда вхідного сигналу при цьому повинна бути велика, щоб забезпечити перемикання компаратора на початку стадії формування імпульсу.

§ 3.7. Генератори лінійно змінних напруг

Генератори лінійно змінних напруг (ГЛЗН) формують напруги пилоподібної форми (див. мал.3.14,б). Для створення лінійної залежності напруги від часу частіше використовують заряд (або розряд) конденсатора постійним струмом. Найпростіша схема ГЛЗН наведена на мал.3.14, а, тимчасові діаграми напруг в схемі на мал. 3.14,б. При розімкненому ключі K , конденсатор C заряджається від джерела струму I , і напруга на ньому наростає:



Мал. 3.14. Найпростіша схема для формування лінійно змінної напруги

$$u_c = \frac{1}{C} \int I dt + U_c(0) = It/C + U_c(0), \quad (3.17)$$

де $t = 0$ – момент початку заряду.

У момент $t = t_1$ замикається ключ K , і конденсатор експоненціально розряджається через ключ та резистор R , що введений у схему для обмеження розрядного струму. Після розряду конденсатора до напруги $U_c(t) = 0$ ключ K може бути розімкнений, тоді почнеться знову процес формування лінійно наростаючої напруги.

Відомі численні варіанти схеми мал. 3.14, а, що відрізняються методами побудови джерела струму I та ключового елемента. Більшими техніко-економічними перевагами володіє схема ГЛЗН, побудована на ІМС. Серед них широке поширення одержали схеми на ОП.

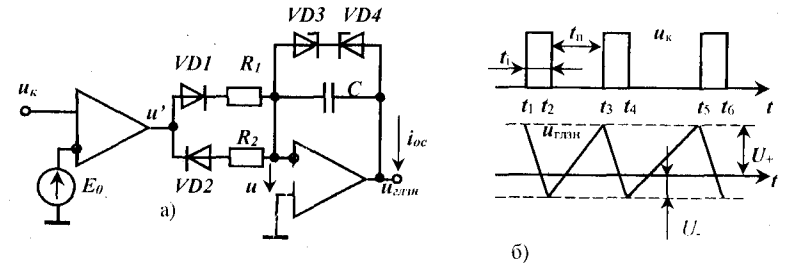
У схемі інтегратора, розглянутій в § 3.4, конденсатор заряджається постійним струмом, якщо на вхід інтегратора подана постійна напруга (див. мал. 3.11,б). З подаванням на вхід $U_{вх} > 0$ напруга на виході зменшується за лінійним законом:

$$u_{вих} = -\frac{1}{RC} \int U_{вх} * dt + U_{вих}(0) = -\frac{U_{вх} *}{RC} t + U_{вих}(0), \quad (3.18)$$

При $u_{вх} = -U_{вх}^*$ вихідна напруга наростає також за лінійним законом:

$$u_{вих} = \frac{1}{RC} \int U_{вх} * dt + U_{вих}(0) = \frac{U_{вх} *}{RC} t + U_{вих}(0). \quad (3.19)$$

На мал. 3.15, а наведена схема ГЛЗН із зовнішнім керуванням (u_k – керуюча напруга) та



Мал. 3.15. Схема ГЛЗН із зовнішнім запуском (а) та часові діаграми сигналів(б)

тимчасові діаграми напруг. Схема складається з компаратора й інтегратора. Тривалість t_i вхідного позитивного імпульсу u_k визначає тривалість стадії спаду вихідної напруги $u_{глен}$ (мал.3.15,б), тривалість стадії наростання $u_{глен}$ дорівнює паузі t_n між імпульсами u_k .

Із надходженням вхідної напруги, амплітуда якої $U_{km} > E_0$, компаратор переходить в стан позитивного насичення $u' = U_{вих \max}$. Відкривається діод $VD1$, і напруга $u_{глен}$ угасає за лінійним законом; у виразі (3.18) підставимо $R = R_1$. Крутість напруги $u_{глен}$ на інтервалі спаду t_1 t_2 :

$$S_c = dU_{глен} / dt = -U_{вих \max} / R_1 C. \quad (3.20)$$

З припиненням імпульсу u_k компаратор під впливом напруги E_0 на інвертуючому вході переходить у стан негативного насичення $u' = -U_{вих \max}$. Відкривається діод $VD2$, і інтегратор формує лінійно наростаючу напругу, у виразі (3.19) підставимо $R = R_2$. Крутість наростання $u_{глен}$ на інтервалі t_2 t_3

$$S_n = dU_{глен} / dt = U_{вих \max} / R_2 C. \quad (3.21)$$

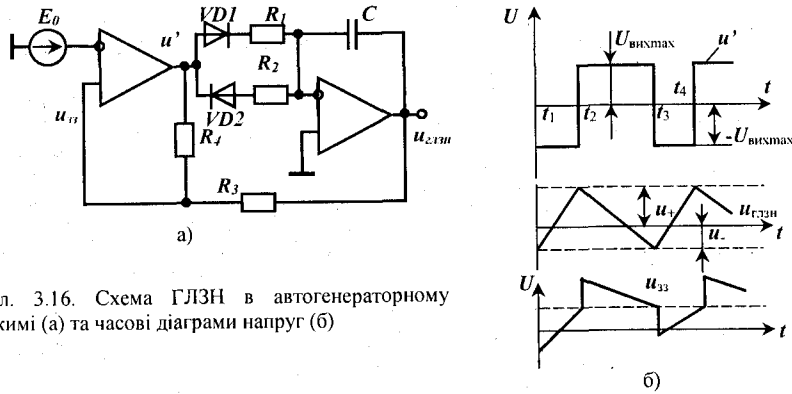
ГЛЗН із зовнішнім керуванням має важливу принципову особливість. Сталій режим досягається лише в тому випадку, якщо рівні $\Delta U_{глен}$ на етапах наростання або спаду, в іншому випадку середнє значення вихідної напруги починає наростати (або угасати), що в кінцевому рахунку призводить до насичення ОП інтегратора. Умова стійкої роботи ГЛЗН зводиться до вимоги

$$-t_1 S_c = t_n S_n. \quad (3.22)$$

Враховуючи можливу нестабільність крутості та тривалості t_i та t_n , орієнтуватися на виконання умови (3.22) у схемі мал. 3.15, а нереально. У практичних схемах максимальне та мінімальне значення напруги $u_{глен}$ обмежується. У схемі мал. 3.15,а для обмеження $u_{глен}$ уведений

стабілітрони $VD3$ та $VD4$. Як показано в §2.12, напруга між входами ОП інтегратора $u \approx 0$. При $0 < U_{\text{стЗН}} < U_+$ на стабілітроні $VD4$ діє пряма напруга $U_{\text{стЗН}} \approx 0$, стабілітрон $VD3$ зміщений в зворотному напрямку і через коло стабілітронів протікає малий струм $I_0 \approx 0$. Таким чином, стабілітрони в цьому випадку практично не впливають на процес розряду конденсаторів. З досягненням $u_{\text{стЗН}} = U_+ = |U_{\text{стЗН}}|$ (де $U_{\text{стЗН}}$ - напруга стабілізації $VD3$) $VD3$ працює в режимі електричного пробивання, розряд конденсатора C припиняється, і струм $i_{\text{стЗН}} = u/R_1$ переходить з конденсатора на ланцюг стабілітронів. Таким чином, напруга $u_{\text{стЗН}}$ зверху обмежена значенням U_+ . Аналогічно знизу напруга $u_{\text{стЗН}}$ обмежена значенням $U_- = -|U_{\text{стЗН}}|$, де $U_{\text{стЗН}}$ - напруга стабілізації $VD4$.

На мал. 3.15,б справа показана робота стабілітронного обмежувача в момент t_5 . Інтервал паузи $t_4 - t_6$ заданий достатньо великим, тому в момент t_5 напруга ГЛЗН досягає значення U_+ . З приходом чергового імпульсу $u_{\text{к}}$ починається процес формування спаду $u_{\text{стЗН}}$, процес описується виразом (3.18) при $U_{\text{вих}}(0) = u_{\text{стЗН}}(t_5) = U_+$.



Мал. 3.16. Схема ГЛЗН в автогенераторному режимі (а) та часові діаграми напруг (б)

Крім ГЛЗН із зовнішнім керуванням часто застосовуються ГЛЗН, що працюють в автогенераторному режимі, тобто без керуючого сигналу. Широко поширена схема ГЛЗН на ОП (мал. 3.16). Ця схема відрізняється від розглянутого ГЛЗН наявністю ланцюга $3R_3R_4$, що зв'язує прямий вхід компаратора з виходами компаратора й інтегратора.

Знайдемо напругу $u_{\text{стЗН}}$ методом суперпозицій: $u_{\text{стЗН}} = u_1 + u_2$. Напругу u_1 знаходимо при $u_{\text{стЗН}} = 0$, а напругу u_2 при $u' = 0$. Одержимо

$$u_{\text{стЗН}}(t) = u' \frac{R_3}{R_3 + R_4} + u_{\text{стЗН}} \frac{R_4}{R_3 + R_4}. \quad (3.23)$$

Тимчасові діаграми напруг у схемі мал. 3.16, а наведені на мал. 3.16,б. Почнемо розгляд у момент t_1 , коли компаратор переходить у стан негативного насичення $u' = -U_{\text{вих max}}$. При цьому відкривається діод $VD2$, і на інтеграторі починається процес формування наростаючої напруги $u_{\text{стЗН}}$. Напруга $u_{\text{стЗН}}$, на інтервалі $t_1 - t_2$ також лінійно наростає згідно з виразом, (3.23). Для моменту t_2 з виразу (3.23) отримаємо:

$$u_{\text{стЗН}}(t_2) = -U_{\text{вих max}} \frac{R_3}{R_3 + R_4} + U_+ \frac{R_4}{R_3 + R_4} = E_0. \quad (3.24)$$

У цей момент t_2 компаратор перемикається, напруга на його виході стрибком змінюється до значення $u' = U_{\text{вих max}}$. Згідно з виразом (3.23) стрибком змінюється і напруга $u_{\text{стЗН}}$. Процес перемикавання компаратора розвивається регенеративно за рахунок ВЗЗ через резистор R_4 .

На інтервалі $t_2 - t_3$ відкритий діод $VD1$. Інтегратор формує лінійно згасаючу напругу $u_{\text{стЗН}}$. Напруга $u_{\text{стЗН}}$ також лінійно згасає, і при $t = t_3$ вираз (3.23) зводиться до вигляду

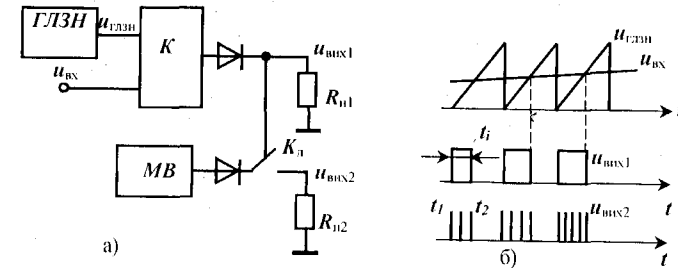
$$u_{\text{стЗН}}(t_3) = U_{\text{вих max}} \frac{R_3}{R_3 + R_4} + U_- \frac{R_4}{R_3 + R_4} = E_0. \quad (3.25)$$

Компаратор знову регенеративно перемикається, починається формування лінійно наростаючої ділянки $u_{\text{стЗН}}$ і т.д.

З розрахунком схеми ГЛЗН в автогенераторному режимі вирази (3.24) та (3.25) дають змогу зв'язати значення U_- та U_+ із значеннями R_3/R_4 та E_0 . Крутість спаду S_c та наростання S_n , а також тривалість ділянок наростання та спаду можуть бути визначені з формули (3.18) з підстановкою $U_{\text{вих}}(0) = U_+$, $R = R_1$ і з формули (3.19) при підстановці $U_{\text{вих}}(0) = U_-$, $R = R_2$. Неважко переконатися, що при $E_0 = 0$ $U_- = -U_+$.

Схема мал. 3.16 може бути використана також і в якості мультивібратора, у цьому випадку вихідна напруга знімається з виходу компаратора (див. мал. 3.16,б).

ГЛЗН дуже широко застосовуються в техніці. На їхній основі будуються системи розгортання електронно-променевої трубок, пристроїв для випробування різноманітних об'єктів на електричну міцність. Дуже велику роль у сучасній техніці відіграють перетворювачі напруги різноманітних фізичних величин в електричні сигнали, наприклад, перетворювачі напруги в тимчасовий інтервал, у число імпульсів, у фазовий зсув. Як приклад подібних пристроїв, розглянемо імпульсний пристрій, структурна схема якого наведена на мал. 3.17, а часові діаграми напруг наведені на мал.3.17,б. Пристрій складається з ГЛЗН, пов'язаного з



Мал.3.17 Структурна схема перетворювача напруги в ширину імпульсів та число імпульсів (а) та тимчасові діаграми сигналів (б)

компаратором K , на другий вхід якого подається вхідний (перетворювальний) сигнал $u_{\text{к}}$. Компаратор через діод пов'язаний з першим виходом схеми R_{n1} і з керуючим колом ключа K_k , що вмикає мультивібратор $МВ$ до другого виходу R_{n2} .

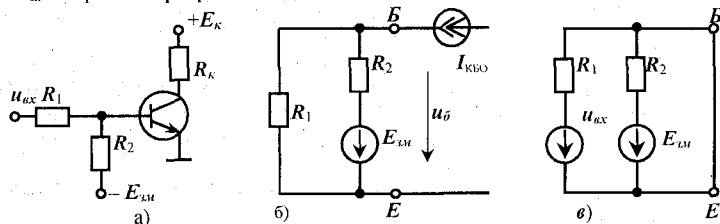
Компаратор K фіксує рівність $u_{\text{стЗН}}(t) = u_{\text{к}}(t)$. У момент t_2 $u_{\text{стЗН}} = S_n(t_2 - t_1)$, де $t_2 - t_1 = t_1$. Звідси $t_1 = u_{\text{к}} / S_n$.

Із перемиканням компаратора на його виході формуються прямокутні імпульси, тривалість яких прямо пропорційна поточному значенню $u_{\text{к}}$ (порівняйте з мал. 3.1, в). При $u_{\text{к}} > 0$ замикається ключ K_k і на навантаження R_{n2} надходить група імпульсів із виходу мультивібратора, число яких прямо пропорційне інтервалу t_1 та напрузі $u_{\text{к}}$. Таким чином, пристрій є перетворювачем напруги в кількість імпульсів.

Приклад 3.1.

Розглянемо приклад розрахунку ключа мал.3.18,а.

Д а н о: Транзистор з параметрами $h_{21e} = 20 \div 60$; $I_{КБ0} \leq 10$ мкА ; $E_K = 10$ В; $E_{ЗМ} = -2$ В. В якості навантаження використовується резистор $R_K = 1$ кОм. Транзистор повинен бути насичений при $U_{BX} \geq 7$ В. При $U_{BX} = 0$ транзистор в режимі відсікання.



Мал. 3.18. Транзисторний ключ з двополярним живленням (а), його схема заміщення в режимах відсікання (б) та насичення (в)

З н а й т и: R_1 та R_2 .

Р о з в ' я з о к

1. Почнемо розрахунок з режиму відсікання. Транзистор замінимо схемою мал. 3.18, а. Тоді базовий ланцюг ключа може бути замінений схемою на мал. 3.18,б. Напряга u_B створюється двома джерелами: джерелом напруги $E_{ЗМ}$ і джерелом струму $I_{КБ0}$. Скористаємося методом суперпозиції і знайдемо

$$u_B = I_{КБ0} \frac{R_1 R_2}{R_1 + R_2} - E_{ЗМ} \frac{R_1}{R_1 + R_2} = \frac{R_1 R_2}{R_1 + R_2} \left(I_{КБ0} - \frac{E_{ЗМ}}{R_2} \right) \quad (3.26)$$

Умову відсікання виразу (3.1) можна записати у вигляді

$$I_{КБ0} \cdot E_{ЗМ} / R_2 \leq 0$$

Найгіршим з боку закривання транзистора є випадок, коли $I_{КБ0} = I_{КБ0 \text{ МАХ}} = 10$ мкА. Знайдемо

$$R_2 < E_{ЗМ} / I_{КБ0 \text{ МАХ}} = 200 \text{ кОм.}$$

Прийmemo для більш надійного закривання $R_2 = 100$ кОм.

2. Перейдемо до режиму насичення. Транзистор замінимо схемою заміщення мал. 3.18, а, тоді базовий ланцюг схеми ключа зведеться до схеми мал. 3.18, в. Струм бази створює джерела напруги u_{BX} та $E_{ЗМ}$. Знову скористаємося методом суперпозиції

$$i_B = u_{BX} / R_1 - E_{ЗМ} / R_2$$

Умова насичення виразу (3.3) виконується при

$$u_{BX} / R_1 - E_{ЗМ} / R_2 \geq E_K / (R_K h_{21e}).$$

Найгіршим випадком для забезпечення насичення є $h_{21e} = h_{21e \text{ min}} = 20$; $u_{BX} = 7$ В. Визначасмо R_1 :

$$R_1 \leq u_{BX} \left(\frac{E_K}{R_K h_{21e \text{ min}}} + \frac{E_{ЗМ}}{R_2} \right) = 1,39 \text{ кОм.}$$

Прийmemo $R_1 = 1,3$ кОм.

Розраховуючи транзисторний ключ, зустрічаємося з характерною особливістю імпульсних схем: незважаючи на нестабільність вхідного сигналу (задані зони, у яких здійснюються режими насичення та відсікання при будь-яких параметрах схеми), здійснюється надійне функціонування ключа. Схема має підвищену стійкість до впливу завод на вході.

h_{21e}^* - статичний коефіцієнт підсилення струму, що визначений у § 1.5.

Завдання для самоконтролю

1. Які обов'язкові структурні елементи входять до складу автогенератора і в чому полягає їх принцип взаємодії?
2. Які умови самозбудження треба задовольнити для одержання незатухаючих коливань?
3. Як можна змінювати амплітуду і фазу коливань у колі зворотного зв'язку автогенератора?
4. У чому особливості самозбудження RC-схем автогенераторів?
5. Чим зумовлене використання в RC-генераторах двох каскадів підсилення?
6. Чим зумовлені спотворення сигналу в автогенераторах? Яким чином можна усунути причини спотворень?
7. У схемі транзисторного ключа мал. 3.18 вимкнені елементи R_2 та $E_{ЗМ}$ закриття ключа здійснюється при $U_{BX} = 0$. До яких недоліків призведе таке спрощення схеми?
8. Як змінюється коефіцієнт насичення транзисторного ключа з нагріванням транзистора?
9. Скласти схему мультівібратора з $f_n = 1$ кГц, $Q = 4$, $U_{\text{max max}} = 10$ В, амплітуда напруги на конденсаторі 3 В. При розрахунках задатись $R_1 = R_3 = 30$ кОм (див. мал. 3.12)
10. Як зміняться параметри вихідної напруги ГЛЗН (мал. 3.16), якщо збільшити R_1 ; R_4 ; E_0 ?

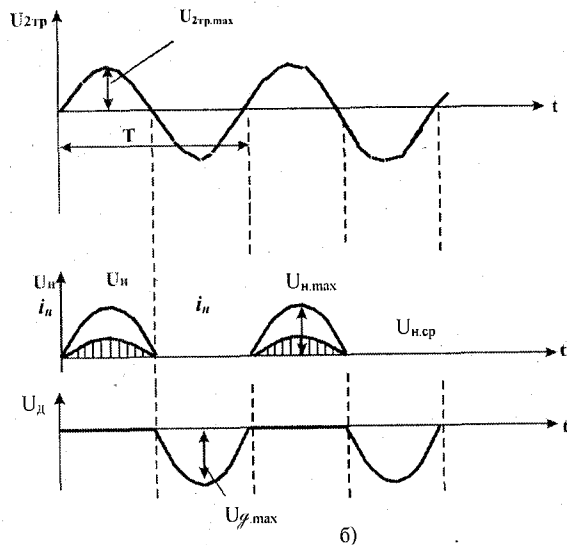
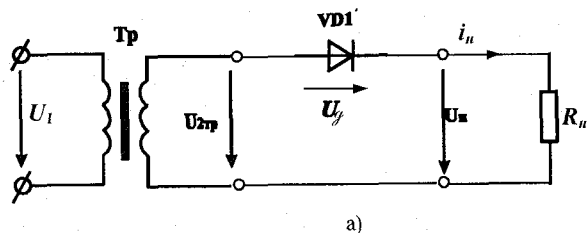
Глава четверта

4. Малопотужні випрямлячі змінного струму

[1, 2, 3, 4, 5, 6]

§ 4.1 Схема однонапівперіодного випрямлення однофазного змінного струму

Схема випрямлення вміщує один вентиль (мал.4.1). Вхід схеми увімкнений до вторинної обвитки трансформатора. До вихідних клем схеми увімкнене навантаження.



Мал.4.1. Схема однофазного випрямлення-а; часові діаграми напруг та струмів -б.

Можна вважати, що робота схеми випрямлення не впливає на трансформатор, він забезпечує напругу $U_{2Tp}(t) = U_{2Tp,max} \sin \omega t$. При додатних значеннях цієї напруги на вторинному ланцюзі трансформатора буде проходити струм, який є для вентилів прямим. Його значення $i_H(t) = U_{2Tp}(t) / R_H$.

У цей інтервал часу $U_H(t) = U_{2Tp}(t)$; а $U_D(t) = 0$ (пряма напруга, на яку вмикається діод).

При від'ємних значеннях напруги трансформатора в його вторинному ланцюзі струму не буде, у зв'язку з нескінченно великим опором вентилів при зворотній напрузі. Тому у цей відрізок часу $U_D(t) = 0$, а $U_H(t) = U_{2Tp}(t)$.

Періодичне повторення цих процесів формує на навантаженні несинусоїдне випрямлення напруги $U_H(t)$,

$$U_{H,CP} = \frac{1}{T} \int_0^T U_H(t) dt = U_{H,max} \frac{\pi}{2}$$

Беручи до уваги те, що $U_{H,max} = U_{2Tp,max} = \sqrt{2} U_{2Tp}$, одержуємо співвідношення, яке дає змогу вибрати вторинну напругу трансформатора для одержання заданої постійної складової випрямленої напруги

$$U_{H,CP} = \sqrt{2} U_{2Tp} \frac{\pi}{2} = 0,45 U_{2Tp}$$

Струм навантаження є струмом вентилів. Постійна складова цього струму визначає вибір вентилів по номінальному струму

$$I_{ном} \geq I_{H,CP}$$

По зворотній напрузі вентиль вибирається, виходячи із максимально прикладеної до неї напруги, яку добре виразити через випрямлену, тобто.

$$U_{D,max} > U_{D,max} = U_{2Tp,max} = \pi U_{H,CP}$$

Властивості схеми:

1. Постійна складова випрямленої напруги дорівнює $0,45 U_{2Tp}$.
2. Випрямлена напруга має значення пульсації.
3. Вентиль вибирається по всьому значенню струму навантаження і з великим значенням зворотньої напруги.
4. Погані умови роботи трансформатора, в зв'язку з проходженням через його вторинну обвитку постійної складової струму навантаження.

Однофазна мостова схема випрямлення. Схема зображена на мал. 4.2. До однієї із діагоналей мостової схеми підводять змінну напругу $U_{2Tp}(t) = U_{2Tp,max} \sin \omega t$. До другої вмикається навантаження R_H .

При додатних значеннях напруги трансформатора в ланцюзі: трансформатор, вентиль VD1, навантаження, вентиль VD4, протікає струм. Значення його визначає R_H . Тому в цей інтервал часу

$$U_H(t) = U_{2Tp}(t),$$

а до вентилів VD2 та VD3 напруга $U_{2Tp}(t)$ буде прикладена як зворотня.

При від'ємних значеннях напруги трансформатора в ланцюзі – трансформатор, вентиль VD3, навантаження, вентиль VD2 буде проходити струм, значення якого також буде визначати R_H , але для трансформатора цей струм буде від'ємним.

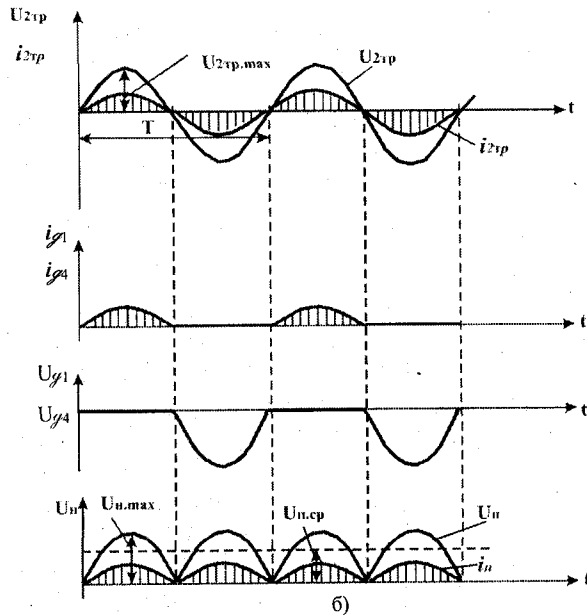
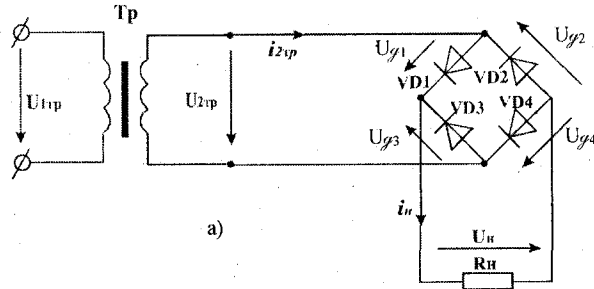
У цьому інтервалі часу зберігається рівність $U_H(t) = -U_{2Tp}(t)$, а до вентилів VD1 та VD4 ця напруга буде прикладена як зворотня:

$$U_{D2}(t) = U_{D3}(t) = 0$$

Періодичне повторення цих процесів визначає несинусоїдну напругу $U_H(t)$, що дорівнюють $|U_{2tp}(t)|$.

Постійна складова цієї напруги в два рази більша, ніж з однонапівперіодним випрямленням:

$$U_{H,CP} = \frac{2}{\pi} U_{Hmax}$$



Мал. 4.2. Схема однофазного мостового випрямлення -а; часові діаграми напруг та струмів -б

Враховуючи співвідношення напруги та струму, отримаємо вираз для вибору U_{2tp} та вентилів у схему виправлення:

$$U_{H,CP} = \frac{2}{\pi} U_{H,max} = \frac{2}{\pi} U_{2tp,max} = \frac{2\sqrt{2}}{\pi} U_{2tp} = 0,9 U_{2tp}$$

$$I_{ном} \geq \frac{I_{H,CP}}{2}$$

$$U_{зв,max} > U_{г,max} = U_{2tp,max} = \frac{\pi}{2} U_{H,CP} = 1,57 U_{H,CP}$$

Властивості схеми:

1. Постійна складова випрямленої напруги дорівнює $0,9 U_{2tp}$.
2. Менший ступінь пульсації випрямленої напруги при порівнянні з однонапівперіодним випрямленням.
3. Вентилі у схемі вибираються на менші зворотні напруги і по половині струму навантаження.
4. Добрі умови роботи трансформатора.

Схема застосовується для випрямлення однофазного змінного струму у приладах невеликої потужності (від одиниць до десятків та сотень ват).

Трифазна мостова схема випрямлення. Схема зображена на мал.4.3, вона запропонована у 1923 році Л.Н.Ларіоновим і часто називається іменем автора.

У схемі трифазний трансформатор зображений системою трьох с.р.с., кожна з яких змінюється за синусоїдним законом із взаємним зсувом на 120° . Можна вважати, що при потенціалі загальної точки (точка 0 на мал.4.3), дорівнює 0 графіки с.р.с, с графіками потенціалів відповідних точок а, б, с.

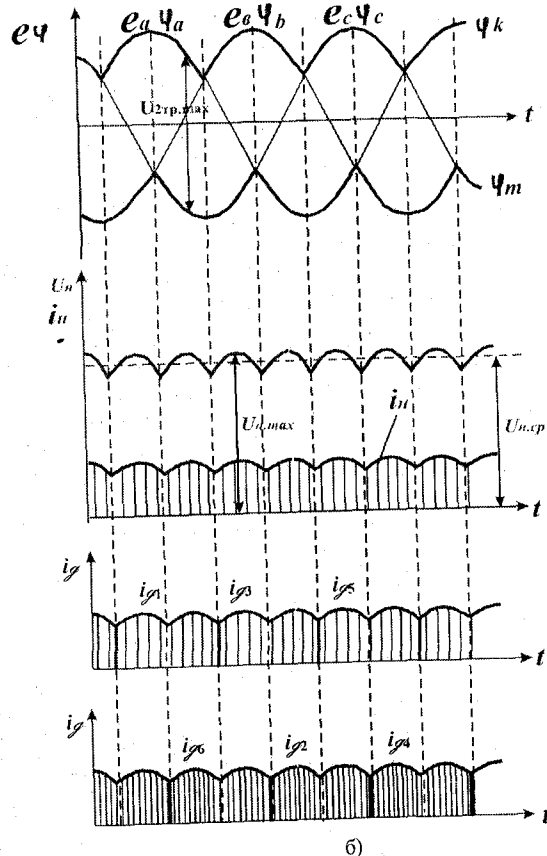
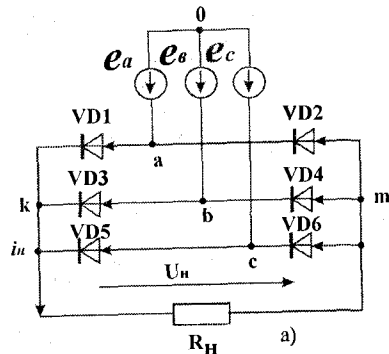
Струм у групі вентилів VD1, VD3, VD5 може проходити тільки через один із них, який є ввімкненим до точки з найбільш високим потенціалом. При цьому до двох інших вентилів цієї групи прикладена зворотна напруга, тобто вентиль який пропускає струм, забезпечує потенціал точки К, що дорівнює найбільш високому із потенціалів точок а, б, або с.

У групі вентилів VD2, VD4, VD6 струм може проходити тільки через один із них, який увімкнений до точки із найбільш низьким потенціалом. Потенціал точки m буде по черзі дорівнювати найбільш низькому потенціалу точок а, б, або с.

Випрямлена напруга на навантаженні є різницею потенціалів точок k та m. Ця напруга має незначний рівень пульсації, а постійна складова її мало чим відрізняється від максимального значення

$$U_{H,CP} = \frac{3}{\pi} U_{H,max}$$

Вторинна лінійна напруга трансформатора $U_{ab}(t) = \Phi_a(t) - \Phi_b(t)$. При цьому лінійна напруга $U_{2tp,max} = \sqrt{2} U_{2tp} = U_{H,max}$. Співвідношення постійної складової напруги на навантаженні та діючого значення лінійної напруги трансформатора буде:



$$U_{н, ср} = \frac{3\sqrt{2}}{\pi} U_{2тр} = 1,35 U_{2тр}$$

Струм у схемі проходить через два вентиля, і кожний із них пропускає струм одну третину періоду. Тому вибір вентиля здійснюється по одній третій струму навантаження:

$$I_{НОМ} \geq \frac{I_{н, ср}}{3}$$

Напруга на закритих вентилях визначається різницею потенціалів точок а, в та с і досягає максимального значення $U_{g, max} = U_{2тр, max}$. Вибір вентиля здійснюється по зворотній напрузі, виходячи із виразу:

$$U_{зв, max} > U_{g, max} = U_{2тр, max} = \frac{\pi}{3} U_{н, ср} = 1,05 U_{н, ср}$$

Властивості схеми

1. Постійна складова випрямленої напруги дорівнює $1,35 U_{2тр}$.
2. Малі пульсації випрямленої напруги.
3. Вентилі в схему вибираються по досить низькій оберненій напрузі і по одній третій струму навантаження.
4. Забезпечується рівномірне навантаження для трифазного кола.

Схема застосовується як у випрямних приладах до десятків кіловат, так і в приладах малої потужності (із-за малого рівня пульсації).

Зовнішня характеристика випрямлячів. Зовнішня характеристика $U_{н, ср} = f(I_{н, ср})$ характеризує значення випрямленої напруги в режимі холостого ходу та ступінь його зниження під дією навантаження. Це зниження визначається падінням напруги на обмотках трансформатора і на вентилях, що проводять струм. У випрямних приладах середньої потужності ці падіння напруги призводить до зниження випрямленої напруги при номінальному струмі 10 – 15% від режиму холостого ходу.

При аналізі роботи схем випрямлення співвідношення між $U_{н, ср}$ та $U_{2тр}$ були отримані без врахування реальних опорів вентиля. Тому вони дійсні лише для режиму холостого ходу випрямляча.

Фільтри випрямленої напруги. Зменшення пульсації випрямленої напруги можна добитися з використанням відповідної схеми випрямлення. Подальші удосконалення якості виправлення проводяться із застосуванням фільтрів. Простіші із них – ємнісний та індуктивний.

Ємнісним фільтром є конденсатор, увімкнений до вихідних зажимів схеми випрямлення. При цьому вмикається паралельно до навантаження (мал.4.4).

У цьому випадку напруга на навантаженні є напругою на конденсаторі та визначається процесами його заряду і розряду, які мають згладжувальний характер.

Якщо напруга $|U_{2тр}(t)|$, яку можна вважати за е.р.с, що забезпечує схема випрямлення, зростає, то в деякий момент часу вона досягає напруги на конденсаторі $U_c(t)$. Настає момент часу провідності вентиля VD1 та VD4, на протязі якого подальше підвищення напруги $|U_{2тр}(t)|$ призведе до заряду конденсатора, тобто до підвищення напруги на ньому. Нехтуючи опором у ланцюгах струму заряду, одержимо постійну часу $T_3 = CR = 0$. При цьому $U_c(t) = |U_{2тр}(t)|$.

Із пониженням напруги $|U_{2тр}(t)|$ конденсатор починає розряджатися на опір навантаження R_n . $U_c(t) = U_{c, ном} e^{-t/\tau_p}$ де $\tau_p = CR_n$, а вентиля VD1 та VD4 переходять в закриті положення, оскільки $|U_{2тр}(t)| < |U_c(t)|$

Підвищення напруги $|U_{2тр}(t)|$ у другій половині періоду призведе до повторення процесів, але заряд конденсатора буде відбуватись через вентиля VD3 та VD2.

Мал. 4.3. Схема трифазного мостового випрямлення -а; часові діаграми струмів та напруг -б

Глава п'ята

5. Логічні основи функціональних систем

§ 5.1 Основні поняття та визначення

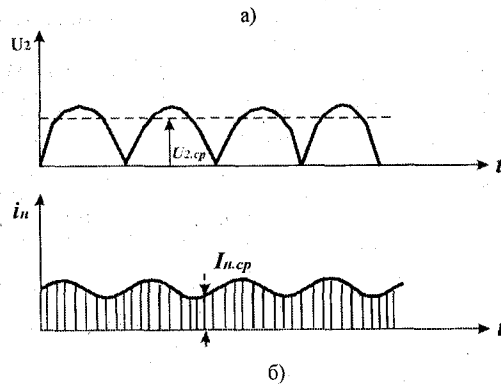
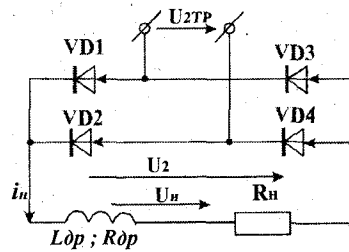
[10, 14, 17, 18, 25]

Функціональна система (устаткування), яка реалізує дії над логічними змінними (двійковими числами), може бути представлена у вигляді перетворювача з n входами та m виходами, на входи якого подаються логічні змінні, а на виходах одержують результати перетворення також у вигляді логічних змінних.

Більшість інженерних задач можна поділити на дві категорії: задачі аналізу, суть яких полягає у передбаченні поведінки конкретної заданої системи і задачі синтезу, що полягають у побудові системи по заданому закону її поведінки та заданими змінними.

Такі устаткування є складні функціональні системи, що складаються із великої кількості компонентів, тому розв'язок вказаних задач розпочинається з побудови моделі. Під моделлю будемо розуміти спрощене представлення функціонування дослідної системи, яке забезпечує достатньо точне відображення важливих властивостей системи і є достатньо простим для його вивчення.

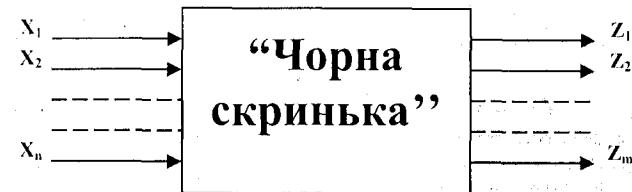
У теорії функціональних систем найбільш часто застосовуються три різні моделі: блок-схема, математична модель та граф. Моделі типу блок-схеми використовуються для загального опису системи і відповідних її функціональних зв'язків між окремими блоками устаткування. Найбільш загальною моделлю типу блок-схеми є багатополосна «чорна скринька» (рис 5.1), за якою легко прослідкувати взаємозв'язок основних блоків устаткування.



Мал. 4.5. Схема однофазного випрямлення із згладжувальним L-фільтром -а; часові діаграми -б

Завдання для самоконтролю

1. Назвіть та покажіть на вольт-амперній характеристиці папієпровідникового вентиля основні його параметри.
2. Поясніть принципи дії кожної розглянутої схеми випрямлення та фільтра.
3. Порівняйте властивості розглянутих схем випрямлення та фільтра.
4. За заданим графіком напруги живлення схеми випрямлення накресліть графіки струмів у вітках схеми та напруг на окремих її елементах. Покажіть на них $U_{г, max}$, $U_{н, max}$, $I_{ср}$, $I_{н, ср}$.
5. Вкажіть розбіжності в позначеннях $i(t)$, I_{max} , I , $I_{ср}$, $u(t)$, U_{max} , U , $U_{ср}$.
6. Який кількісний зв'язок між $U_{н, ср}$ та $U_{н, max}$ для розглянутих випадків з одержанням випрямленої напруги з фільтрами та без фільтрів?
7. Поясніть, в яких випадках значення опору навантаження впливає на характер та амплітуду пульсацій випрямленої напруги.
8. Як і чому змінюється форма струмів у схемах випрямлення з вмиканням C, L, LC-фільтрів?
9. Визначити максимальну зворотню напругу на закритих діодах при різних схемах випрямлення, якщо напруга на вторинній обвитці дорівнює 100 В.
10. На яку напругу та струм вибрати діод у мостовій схемі випрямлення з RC-фільтром, якщо $U_{н}=100$ В, $I_{н}=1$ А?



Мал.5.1 Багатополосна «Чорна скринька»

З'ясуємо властивості цієї моделі. Уся інформація кодується сукупністю цифр. У свою чергу, цифри відображаються квантованими по декількох рівнях електричними сигналами. Зазначимо вхідні сигнали змінними x_i ($i=1,2,\dots,n$), а вихідні z_j ($j=1,2,\dots,m$). Множина значень, які можуть приймати x_i та z_j , називають алфавітом змінних x_i та z_j . У функціональних системах всі змінні мають алфавіт із двох літер, які представлені цифрами 0 або 1 і записуються $\{0,1\}$. Скінченні упорядковані послідовності літер називають символами у даному алфавіті. Оскільки число входів n і виходів m функціональної схеми, а також число літер у алфавіті всіх змінних скінченні, то вхідний і вихідний алфавіт також скінченний.

Будь-який фізичний канал зв'язку і будь-яка реальна функціональна система вносить затримку у поширенні сигналів. Це означає, що стрибкоподібна зміна вхідних сигналів зумовлена тим, що алфавіт скінчений, може викликати зміну вихідних сигналів лише з деяким запізненням. Тому вхідні сигнали не можуть змінюватись досить часто, оскільки елементи схеми будуть під одночасним впливом чергового вхідного сигналу та перехідного процесу, викликаного попереднім вхідним сигналом, що може призвести до неправильного функціонування системи. Для запобігання цього явища передбачені генератори синхронізуючих сигналів. Період слідування синхронізуючих сигналів вибирається таким, щоб всі перехідні процеси у схемі встигали закінчитись. Тому, у подальших викладах матеріалу зроблено допущення, що вхідні та вихідні змінні визначені лише у дискретні моменти часу (такти).

У математичних моделях відображаються залежності між вхідними та вихідними змінними функціональної схеми завдяки деяким системам рівнянь. Наприклад, для багатополунової схеми мал.5.1 вони будуть наступні:

$$Z_j = f_j(x_1, x_2, \dots, x_n, a_1, a_2, \dots, a_k), \quad (j=1, 2, \dots, m). \quad (5.1)$$

У системі (5.1) змінні a_1, a_2, \dots, a_k відображають внутрішній стан схеми. Якщо змінні z_j не залежать від змінних a_i ($i=1, 2, \dots, k$), то значення вихідних змінних у p -му такті залежать лише від значень вхідних змінних у тому ж такті. Це означає, що двом однаковим наборам вхідних змінних завжди відповідає один і той же набір вихідних змінних. Така однозначна послідовність зумовлена постійністю внутрішнього стану схеми і незалежністю цього стану від зовнішніх впливів. Такі схеми дістали назву схем з нульовою пам'яттю або комбінаційні схеми. Така система може бути записана у наступному вигляді:

$$Z_j = f_j(x_1, x_2, \dots, x_n), \quad (j=1, 2, \dots, m). \quad (5.2)$$

Функції (5.2) можуть приймати лише скінчене число значень і залежать від аргументів, які також приймають скінчене число значень. Функції такого типу дістали назву перемикальних або комутаційних.

Коли вихідні змінні z_j залежать не лише від вхідних змінних, але і від стану схеми в p -му такті, який характеризується змінними a_i , тоді при повному описі схеми, одержимо систему рівнянь типу:

$$Z_t = \Phi_t(x_1, x_2, \dots, x_n, a_1, a_2, \dots, a_k), \quad (t=1, 2, \dots, k). \quad (5.3)$$

Система (5.3) відображає залежність внутрішнього стану системи у $(p+1)$ -ому такті від її стану та від вхідних сигналів у p -ому такті. Будь-яка фізично здійснена цифрова схема може знаходитись лише в скінченному числі різних станів. Тому схеми, які описані системами рівнянь (5.1) та (5.3), одержали назву автоматів з нульовою пам'яттю, або просто скінчених автоматів.

Одним із вагомих методів побудови математичних моделей для дослідження аналізу та синтезу функціональних систем є графи.

§5.2 Поняття та визначення теорії графів

[11,12,13,18]

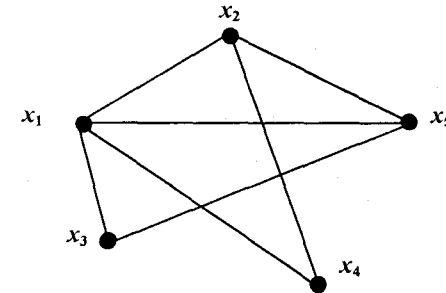
Поняття графів тісно пов'язане з поняттям теорії множин. Будь-який граф можна уявити у вигляді геометричної фігури, що складається із двох множин – множини вершин і множини ребер (дуг), які сполучають деякі вершини. Тобто, є упорядкована пара $G=\{X,U\}$,

де X є множина вершин, а U -множина упорядкованих пар, що називаються ребрами. Запис $u_{ij} \in U$ означає, що ребро графа створено парою вершин x_i та x_j : $u_{ij}=(x_i, x_j)$, $x_i \in X$, $x_j \in X$.

Множина X може бути нескінченна. Однак розглянемо лише скінчені графи, коли число вершин n та ребер g визначені.

Наглядно граф зображають геометричною фігурою, на якій вершини позначають крапками, а ребра – лініями, що сполучають ці крапки.

На мал.5.2 показаний довільний граф $G=\{X,U\}$, для якого $X=\{x_1, x_2, x_3, x_4, x_5\}$. $U=\{(x_1, x_2), (x_1, x_3), (x_1, x_4), (x_1, x_5), (x_2, x_5), (x_2, x_4), (x_3, x_5)\}$.



Мал.5.2. Довільний геометричний граф

Для даного графа можна використати інший метод зображення. Якщо задатися множина вершин $X=\{x_1, x_2, x_3, x_4, x_5\}$ і відповідність T , складові кожній вершині $x \in X$ графа множина вершин T_x , що зв'язані з нею ребрами, то визначений граф $G=\{X,T\}$ тобто: $X=\{x_1, x_2, x_3, x_4, x_5\}$,

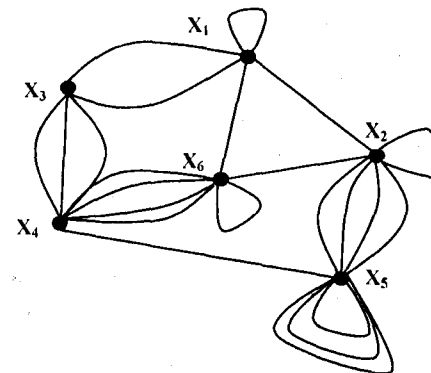
а $T_{x1}=\{x_2, x_3, x_4, x_5\}$, $T_{x2}=\{x_1, x_4, x_5\}$, $T_{x3}=\{x_1, x_5\}$, $T_{x4}=\{x_1, x_2\}$, $T_{x5}=\{x_1, x_2, x_3\}$.

Дві вершини x_i та x_j називається суміжними, якщо існує ребро $u_{ij} \in U$, що з'єднує ці вершини. Тобто ребро u_{ij} інцидентне вершинам x_i , x_j , оскільки воно зв'язує ці вершини. У

свою чергу, вершини x_i , x_j інцидентні ребру u_{ij} . Два ребра називаються суміжними, якщо існує вершина інцидентна двом ребрам.

Існують три види графів: неорієнтовані, орієнтовані та змішані. Граф $G=\{X,U\}$ називають неорієнтованим (неорграфом), якщо для кожного ребра порядок кінцевих вершин несуттєвий, тобто на ребрах відсутні напрямки у вигляді стрілок. Граф G , зображений на мал.5.2 являється неорграфом.

Якщо у графа будь-які дві вершини сполучені більше, ніж



Мал.5.3. Довільний граф з петлями

одним ребром, то такий граф називають мультиграфом, а ребра, що сполучають ці вершини – кратними ребрами. Найбільше число кратних ребер, що сполучають яку-небудь пару вершин називають мультичислом. Мультиграф $G=\{X,U\}$, мультичисло якого $m=4$, зображений на мал.5.3. На практиці існують графи, які мають ребра, у яких дві скінченні вершини співпадають (мал.5.3), тобто $u_{ij} \in U, u_{ij}=(x_i, x_j), i=j$. Такі ребра називають петлями.

Якщо на всіх ребрах задається напрямок, вказаний стрілкою, то граф називають орієнтованим (орграф). На мал.5.4 наведений орграф $G=\{X,\vec{U}\}$, який називають деревом, оскільки в кожну вершину входить лише одне ребро, за винятком однієї вершини, яку називають коренем дерева. Таким чином, у дереві кожна вершина, за винятком кореня, є скінченною і початком одного або декількох інших ребер, а корінь – лише початком однієї або декількох ребер. Усі ребра, що виходять з однієї вершини, називають вітками цієї вершини. Якщо x – яка-небудь вершина дерева і вершини $x_i (i=1, \dots, n)$, являються кінцями ребер, що

виходять із вершини x , то вважають, що вершини x_i породжуються вершиною x або вершина x породжує вершини x_i . Деколи вершину x (по відношенню до вершин x_i) називають родиною, а вершини x_i (по відношенню до вершини x) – приймачами або дочірніми.

Граф $G(X, \vec{U})$, в якого у кожну вершину входить лише одне ребро, яке є початком лише двох інших ребер названий нами граф-стіжок.

Часто дерево-граф розподіляють по рівнях. Приймають, що корінь знаходиться на нульовому рівні; вершини, народжені коренем, – на першому рівні; вершини, народжені k -тим рівнем, – на $(k+1)$ -ому рівні (див мал.5.29).

Граф $G=\{X,U,\vec{U}\}$ називають змішаним, якщо він містить як орієнтовані, так і неорієнтовані ребра (дуги).

Другим способом задання графа є його матриця суміжності $R=||r_{ij}||_{n \times n}$, де n – число вершин графа G , а

елемент матриці r_{ij} , що стоїть на перетині x_i рядка з x_j стовпчиком визначає число ребер, інцидентних вершинам x_i та x_j . Якщо $i=j$, то елемент r_{ij} матриці R визначає число петель при вершині x_i графа G . Наприклад, для графа, зображеного на мал.5.3 матриця суміжності має вигляд:

	x_1	x_2	x_3	x_4	x_5	x_6
x_1	1	1	2	0	0	1
x_2	1	1	0	0	4	1
$R = x_3$	2	0	0	3	0	0
x_4	0	0	3	0	1	4
x_5	0	4	0	1	3	0
x_6	1	1	0	4	0	1

Значимо, що матриця суміжності симетрична відносно головної діагоналі. Тому доцільно використовувати трикутну матрицю.

Оскільки множини X,A,Z не характеризують функціонування схеми мал.5.1, використаємо графі для побудови моделі внутрішнього стану у $(p+1)$ -ому такті від її наявного стану та від входніх сигналів у p -ому такті. Для цього складемо таблиці

такі. Для цього складемо таблиці переходів та виходів, на основі яких побудуємо інформаційний граф.

У таблиці переходів 5.1 можливі стани у вигляді упорядкованих послідовностей, записані у першому рядку, входні сигнали в упорядкованому вигляді – в першому стовпчику. На перетині рядків і стовпчиків одержуємо комірку, в якій записаний новий стан. Таблиця переходів може бути визначена не в повному об'ємі (окремі комірки пусті), оскільки деякі сигнали на вході не викликають зміни станів. Так під дією входнього сигналу x_2 схема зберігає стан a_1 . Множина виходів, подібним чином, задається для кожної пари $\{a_i, x_j\}$; на перетині відповідних рядків та стовпчиків одержуємо вихідний сигнал схеми (див. табл. 5.2).

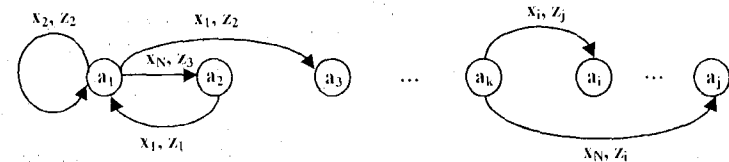
Таблиця 5.1. Таблиця переходів довільної функціональної системи

$x \backslash a$	a_1	a_2	...	a_k
x_1	a_1	a_1	...	a_i
x_2	a_1	⊖	...	
...
x_N	a_2	⊖	...	a_j

Таблиця 5.2. Таблиця виходів довільної функціональної системи

$x \backslash a$	a_1	a_2	...	a_k
x_1	z_2	z_1	...	z_j
x_2	z_2	⊖	...	
...
x_N	z_3	⊖	...	z_i

На основі цих таблиць побудуємо інформаційний граф, який складатиметься із вершин, що утворюють стани схеми, а ребра відзначаються входніми сигналами, які викликають перехід автомата у новий стан і вихідними сигналами, що сприяють такому переходу. На мал.5.5. наведений граф, заданий фрагментами табл.5.1. та 5.2., що являється моделлю системи (5.3) при довільних X,A,Z .



Мал.5.5.Граф-модель функціональної системи

(фор.5.3.)

§ 5.3 Основні поняття та закони алгебри логіки [10, 14, 16, 18, 25]

Як видно з мал.5.1, значення вихідної змінної визначається конкретним поєднанням значень усіх n розрядів вхідної змінної, яка називається двійковим набором. Кожному наборові на вході устаткування буде відповідати 0 або 1 на відповідному виході. Для опису роботи такого устаткування використаємо математичний апарат алгебри логіки (булевої алгебри).

Основним поняттям алгебри логіки являється вислів.

Вислів – деяке твердження, про яке можна судити, що воно істинне або хибне. Будь-який вислів можна позначити символом (літерою) x і вважати що $x=1$, коли вислів дійсний, а $x=0$ – коли вислів хибний.

Логічна (двійкова) змінна характеризується висловом, який містить одну закінчену думку. Вона може мати лише два значення (0 або 1):

$$x = \{0, 1\}.$$

Логічна функція – це складний вислів, що містить декілька простих, які з'єднані між собою сполучниками. Вона записується аналітично у вигляді $Z=f(x_1, x_2, \dots, x_n)$, де x_i – двійкова змінна – аргумент функції Z , $x_i \in \{0, 1\}$; $Z \in \{0, 1\}$.

Вхідний набір – це певна комбінація значень двійкових змінних у логічній функції. Максимальне число вхідних наборів визначається виразом $m=2^n$, де n – число змінних.

Максимальне число логічних функцій n змінних визначається виразом $N=2^{2^n}$.

Таблиця істинності – це представлення логічної функції у вигляді таблиці, в лівій частині якої записуються вхідні набори, а в правій – відповідні їм значення функції. Повністю визначена функція – це логічна функція, що містить визначені значення 0 або 1 для всіх вхідних наборів. Частково визначена функція – це логічна функція, значення якої визначені не на всіх вхідних наборах. Частково визначену функцію можна зробити повністю визначеною (довизначити), дописавши індивідуальний набір яких-небудь значень функції.

Функції однієї змінної. Оскільки $n=1$ і $m=2$, то максимальне число функцій однієї змінної $N=4$, а саме: $f_0=0$ – нульова функція; $f_1=x_1$ – функція повторення x_1 ; $f_2=\bar{x}_1$ – функція заперечення, або інверсія x_1 (читається « $f_2 \in$ не x_1 »); $f_3=1$ – функція

Таблиця 5.3. Таблиця функцій однієї змінної

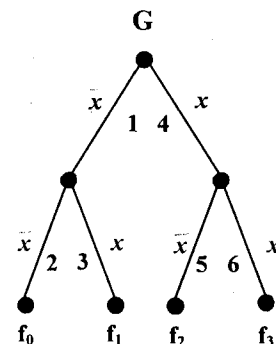
X	0	1	Назва	Алгебраїчний вираз
f_0	0	0	нульова	$f_0 = 0$
f_1	0	1	повторення x	$f_1 = x$
f_2	1	0	заперечення x	$f_2 = \bar{x}$
f_3	1	1	одинична	$f_3 = 1$

У відповідності до визначень функція $f_3(x)$ являється абсолютно істинною (константа одиниці), а функція $f_0(x)$ – абсолютно хибною функцією (константа нуля). Функція $f_1(x)$, що повторює значення логічного аргументу, – тотожна функція ($f_1(x) \equiv x$), а функція $f_2(x)$ – логічне заперечення, або функція НЕ ($f_2(x) = \bar{x}$), позначення на електричних схемах цієї функції показано на мал.5.11,а.

Промодельємо функцію однієї змінної у вигляді неографа. Розглянемо граф без петель $G=\{F, X\}$, кожне ребро якого x_i приймає значення 0 або 1. Такий граф можна вважати математичною моделлю множини взаємозв'язаних фізичних устаткувань, наприклад, ключів, кожний із яких може бути в одному із двох станів: ввімкненому ($x_i=1$) або розімкненому ($x_i=0$). Нехай $F=\{f_0(x), f_1(x), f_2(x), f_3(x)\}$ фіксовані вершини графа G . Такий граф разом із змінними $\{x_i\}$ називають перемикальною схемою. Якщо в схемі існує n ребер (тобто ключів) і $X=(x_1, x_2, \dots, x_n)$ є деяка комбінація значень змінних, то розглянута схема буде замкнена відносно X тоді і лише тоді, коли множина ребер, для яких $x_i=1$, створює електричний ланцюг, який з'єднує вершини G з f_0 , G з f_1 , G з f_2 та G з f_3 . Іншими словами, схема замкнена відносно X тоді і лише тоді, коли G і f_j ($j=0, 1, 2, 3$) лежать в одній і тій же компоненті

підграфа, що визначається ребрами, для яких $x_i=1$. Врахувавши останнє, граф для логічної функції однієї змінної наведений на мал. 5.6.

З аналізу графа видно, що він наглядно характеризує залежність логічних функцій від однієї змінної x_1 . Так, наприклад, функція f_0 описується двома



Мал.5.6. Граф логічних функцій одного аргументу

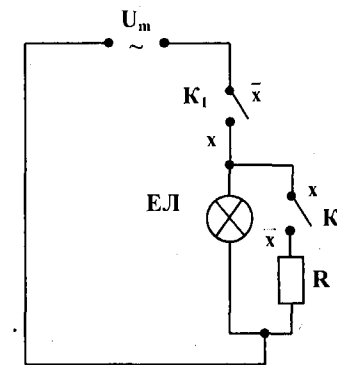
аргументами $\bar{x}=0$ (ребра графа 1 та 2), функція f_1 описується аргументами \bar{x} та x (ребра 1 та 3) і т.д.

Проаналізуємо граф мал.5.6 на фізичній моделі мал.5.7. Нехай аргументами будуть стани електричних контактів K_1 та K_2 . Один із його станів позначимо x , тоді протилежне буде \bar{x} (НЕ-ІКК). Причому $x=1$ для замкненого контакту

K_1 , для розімкненого – $\bar{x}=0$.

Функцією цього аргументу вважаємо стан електричної лампи ЕЛ. Для контакту K_2 , що ввімкнений паралельно до електричної лампи, аргументи вибираються наступним чином: якщо контакт розімкнений, то

x , якщо замкнений – \bar{x} . Допустимо, що засвічуванню лампи відповідає $a=1$, протилежний стан $a=0$. Можливі чотири види логічних зв'язків між станом контактів і свіченням лампи: $a=0$, лампа не горить незалежно від стану контакту K_2 (нульова функція). Цей стан функціональної схеми визначається ребрами графа 1 та 2 (див. мал.5.6).

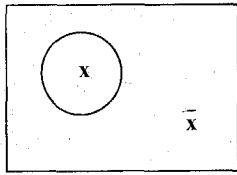


Мал.5.7. Фізична модель графа

Для виладків, коли контакти K_1 та K_2 розімкнені, та коли контакти K_1 та K_2 замкнені, стан функціональної схеми (мал.5.7) визначається відповідно ребрами графа 1 та 3, 4 та 5, лампа не горить. І лише для одиничної функції, коли контакт K_1 замкнений, а K_2 розімкнений (ребра графа 4 та 6) лампа горить ($a=1$). Для запобігання короткого замикання у функціональній схемі передбачено вмикання резистора R .

Логічні функції однієї змінної представляють діаграмою Венна. Повна множина значень аргументу, зображається прямокутником (мал.5.8). Частина цієї множини – підмножини $X=\{x\}$ – обмежена кругом, зовнішність цього кружка дає підмножину $X=\{\bar{x}\}$, що доповнює множину до повноти. Функція $a=f(x)$ може приймати значення 1 на одному або обох рівнях, або залишається рівною нулю.

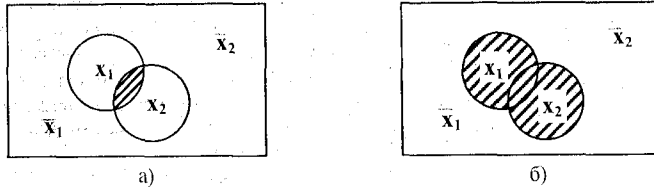
Кількість наборів аргументів для однієї змінної дорівнює чотирьом: \bar{x}, x, \bar{x}, x .



Мал.5.8. Діаграма Венна для функції однієї змінної.

Функції двох змінних є основними функціями алгебри логіки, оскільки допомагають перейти до функцій будь-якого числа аргументів. Нехай маємо два аргументи x_1 та x_2 . Це можуть бути ці ж контакти або будь-які два об'єкти, кожний із яких знаходиться в одному із двох станів. Оцінимо, скільки різних функцій двох аргументів можна скласти. З'ясуємо мал.5.9а, де зображені діаграми Венна для аргументів $x_1, x_2, \bar{x}_1, \bar{x}_2$. Кожна точка повної множини (прямокутника) знаходиться у визначеному стані до цих підмножин: повинна належати підмножині x_1 або \bar{x}_1 , повинна належати підмножині x_2 або \bar{x}_2 .

Уведемо поняття перетину підмножини (див. мал.5.9 б). Це точки множини, що належать одночасно обом підмножинам. Можна виділити чотири набори



Мал.5.9. Діаграма Венна:

перетин множин – а; об'єднання множин – б.

аргументів: $x_1, x_2, \bar{x}_1, \bar{x}_2, x_1, \bar{x}_2, \bar{x}_1, x_2$, для n змінних число наборів складає 2^n . Очевидно, на кожному перетині всіх вихідних підмножин функція може приймати значення 0 або 1. Таким чином, на мал.5.9,б з чотирма різними перетинами можна скласти $2^{2^2} = 16$ різних функцій. Функції двох аргументів показані у таблиці 5.4.

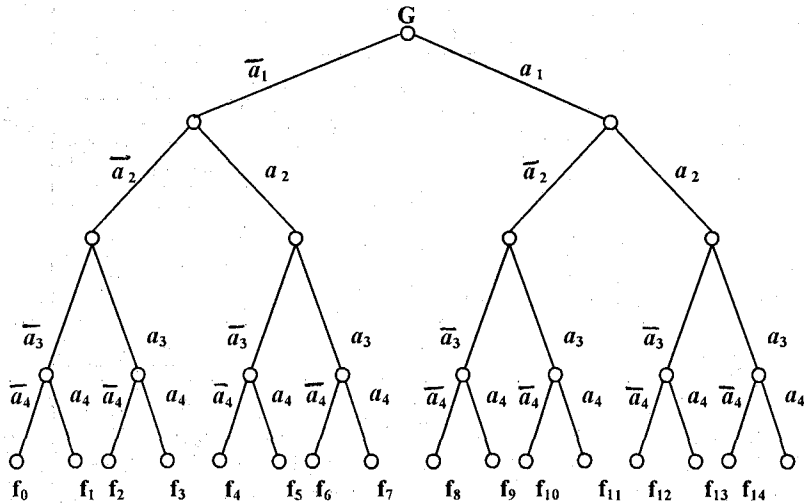
Таблиця 5.4.

Функції двох аргументів

x_1	0	0	1	1	Назва	Алгебраїчний вираз
x_2	0	1	0	1		
f_0	0	0	0	0	Нульова	$f_0=0$
f_1	0	0	0	1	Кон'юнкція (І)	$f_1=x_1x_2 = x_1 \& x_2$
f_2	0	0	1	0	Заборона x_2	$f_2=x_1 \leftarrow x_2 = x_1 \bar{x}_2$
f_3	0	0	1	1	Повторення x_1	$f_3=x_1$
f_4	0	1	0	0	Заборона x_1	$f_4=x_2 \leftarrow x_1 = \bar{x}_1 x_2$
f_5	0	1	0	1	Повторення x_2	$f_5=x_2$
f_6	0	1	1	0	Вимикаюче (АБО)	$f_6=x_1 \oplus x_2 = x_1 \bar{x}_2 \vee \bar{x}_1 x_2$
f_7	0	1	1	1	Диз'юнкція (АБО)	$f_7=x_1 \vee x_2$
f_8	1	0	0	0	Стрілка Пірса (АБО-НЕ)	$f_8=x_1 \downarrow x_2 = \bar{x}_1 \vee \bar{x}_2$
f_9	1	0	0	1	Рівнозначність	$f_9=x_1x_2 = x_1x_2 \vee \bar{x}_1\bar{x}_2$
f_{10}	1	0	1	0	Заперечення x_2	$f_{10}=\bar{x}_2$
f_{11}	1	0	1	1	Імплікація від x_2 до x_1	$f_{11}=x_2 \rightarrow x_1 = x_1 \vee \bar{x}_2$
f_{12}	1	1	0	0	Заперечення x_1	$f_{12}=\bar{x}_1$
f_{13}	1	1	0	1	Імплікація від x_1 до x_2	$f_{13}=x_1 \rightarrow x_2 = \bar{x}_1 \vee x_2$
f_{14}	1	1	1	0	Штрих Шеффера (І-НЕ)	$f_{14}=\bar{x}_1 \& \bar{x}_2 = \bar{x}_1 \bar{x}_2$
f_{15}	1	1	1	1	Одинична	$f_{15}=1$
a	a_1	a_2	a_3	a_4	Значення станів функцій	

У перших двох рядках таблиці перераховані всі можливі набори x_1 та x_2 . Допустимо, що $x=1, \bar{x}=0$, тоді набори запишуться у вигляді двійкових чисел: 00, 01, 10, 11. У послідовних 16 рядках таблиці записані 16 різних функцій аргументів x_1 та x_2 . Для зручності вони розміщені у порядку зростання двійкових чисел від 0000 до 1111. Розглянемо більш детально функції двох аргументів на неорграфі $G=\{F,A\}$ мал.5.10, де $F=\{f_0, f_1, \dots, f_{14}, f_{15}\}$ – значення функцій на виході схеми, а $A=\{a_1, a_2, a_3, a_4, \bar{a}_1, \bar{a}_2, \bar{a}_3, \bar{a}_4\}$ – ребра графа, що визначають стан функцій при різних значеннях аргументів x_1 та x_2 . Наприклад, $\bar{a}_1=0$, якщо $\bar{x}_1 = \bar{x}_2=0$; $\bar{a}_2=0$, якщо $\bar{x}_1=0, x_2=1$; $a_3=0$, якщо $x_1=1, \bar{x}_2=0$ і $a_4=1$, якщо $x_1=x_2=1$. Із графа видно:

$$\left. \begin{aligned}
 f_0 &= \{ \bar{a}_1, \bar{a}_2, \bar{a}_3, \bar{a}_4 \} \\
 f_1 &= \{ a_1, a_2, a_3, a_4 \} \\
 &\dots\dots\dots \\
 f_{14} &= \{ \bar{a}_1, \bar{a}_2, \bar{a}_3, \bar{a}_4 \} \\
 f_{15} &= \{ a_1, a_2, a_3, a_4 \}
 \end{aligned} \right\} \quad (5.4)$$



Мал. 5.10 Граф-модель функцій двох аргументів

Врахувавши те, що $a_1 = a_2 = a_3 = a_4 = 1$, а $\bar{a}_1 = \bar{a}_2 = \bar{a}_3 = \bar{a}_4 = 0$, система рівнянь 5.4 запишеться у такому вигляді:

$$\begin{aligned}
 f_0 &= \{0, 0, 0, 0\} \\
 f_1 &= \{0, 0, 0, 1\}
 \end{aligned}$$

$$\begin{aligned}
 f_{14} &= \{1, 1, 1, 0\} \\
 f_{15} &= \{1, 1, 1, 1\}
 \end{aligned}$$

Таким чином, граф-модель на мал. 5.10 повністю характеризує значення функцій двох аргументів, які наведені в табл. 5.4.

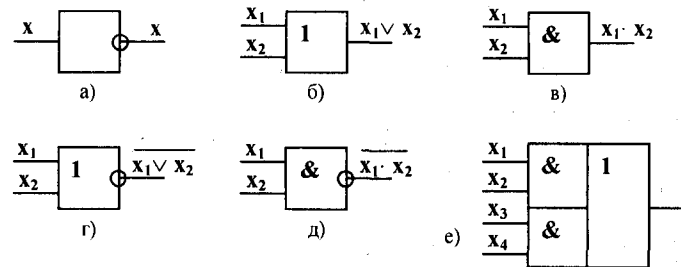
Оскільки $\bar{a}_1 = \{ \bar{a}_2, a_2, \bar{a}_3, a_3, \bar{a}_4, a_4 \}$, де $\bar{a}_2 = \{ \bar{a}_3, a_3, \bar{a}_4, a_4 \}$, а $a_2 = \{ \bar{a}_3, a_3, \bar{a}_4, a_4 \}$, то \bar{a}_1 є об'єднанням \bar{a}_2 та a_2 , тобто $\bar{a}_1 = \{ \bar{a}_2, a_2 \}$, або $\bar{a}_1 = \bigcup_{i \in I} a_i$. Аналогічно $a_1 = \{ \bar{a}_2, a_2 \}$, тобто $a_1 = \bigcup_{i \in I} a_i$, де $a_i = \{ \bar{a}_2, a_2, \bar{a}_3, a_3, \bar{a}_4, a_4 \}$. І, як наслідок, $G = \{ \bar{a}_1, a_1 \}$, тобто $G = \bigcup_{i \in I} a_i$, де I – кількість ребер, що визначають функцію двох аргументів.

Граф, наведений на малюнку 5.10, названий нами графом-стіжком, оскільки має форму стіжка (див. § 5.2) і на відміну від табличного методу, більш наглядно описує функцію двох аргументів. Покажемо це на практиці. Якщо $x_1 = \{0, 0, 1, 1\}$, а $x_2 = \{0, 1, 0, 1\}$ (див. табл. 5.4), то нульова та одиничні функції відповідно $f_0 = \{ \bar{a}_1, a_2, \bar{a}_3, \bar{a}_4 \}$ та $f_{15} = \{ a_1, a_2, a_3, a_4 \}$ тривіальні. Функції f_3, f_5, f_{10}, f_{12} не залежать від одного із аргументів:

$$f_3 = \{ \bar{a}_1, \bar{a}_2, a_3, a_4 \} = x_1, f_5 = \{ \bar{a}_1, a_2, \bar{a}_3, a_4 \} = x_2, f_{10} = \{ a_1, \bar{a}_2, a_3, \bar{a}_4 \} = \bar{x}_2,$$

$f_{12} = \{ a_1, a_2, \bar{a}_3, \bar{a}_4 \} = \bar{x}_1$. Лише десять функцій, що залишилися, являються функціями двох аргументів. Граф-стіжок, що містить певну кількість ребер, визначається характерною симетрією: функції, що розміщені від його середини, взаємно інверсні (порівняємо $f_7 = \{ \bar{a}_1, a_2, a_3, a_4 \}$ і $f_8 = \{ a_1, \bar{a}_2, \bar{a}_3, \bar{a}_4 \}$; $f_3 = \{ \bar{a}_1, \bar{a}_2, a_3, a_4 \}$ і $f_{12} = \{ a_1, a_2, \bar{a}_3, \bar{a}_4 \}$), тому їх доцільно вивчати попарно.

Функція f_1 (логічне множення, кон'юнкція, функція І) приймає значення 1, коли обидва аргументи дорівнюють 1, оскільки $f_1 = \{ \bar{a}_1, \bar{a}_2, \bar{a}_3, a_4 \}$. Поняття логічного множення можна поширити на будь-яку кількість аргументів: $f_1 = 1$, коли $x_1 = x_2 = \dots = x_n = 1$. Зазначення логічного множення: $f = x_1 \cdot x_2 = x_1 \& x_2 = x_1 \wedge x_2$ на електричних схемах наведено на мал. 5.11, в. На діаграмі Венна (див. мал. 5.9, а) підмножина, на якій $f_1 = 1$, заштрихована. Функція f_{14} (штрих Шеффера, функція І-НЕ) інверсна функції f_1 , тобто $f_{14} = \bar{f}_1$ (див. мал. 5.11, д).



Мал. 5.11 Зазначення на схемах логічних функцій

Функція $f_7 = \{ \bar{a}_1, a_2, a_3, a_4 \}$ (логічне додавання, диз'юнкція, функція АБО) приймає значення 1, коли хоча б один із аргументів дорівнює 1. Поняття логічної суми можна також поширити на будь-яку кількість аргументів. Зазначення логічного додавання ($f_7 = x_1 \vee x_2$) на електричних схемах наведено на мал. 5.11, б Функцію $f_8 = \bar{f}_7$ називають стрілкою Пірса (див. мал. 5.11, г).

На діаграмі мал. 5.9, б диз'юнкція представлена об'єднанням підмножин (на малюнку замальовано).

Функції $f_2 = \{ \bar{a}_1, \bar{a}_2, a_3, a_4 \}$ та $f_4 = \{ \bar{a}_1, a_2, \bar{a}_3, \bar{a}_4 \}$ являють собою логічне множення, у яких одна змінна замінена її інверсним значенням. Ці функції називають заборонами x_2 та x_1 . Функції $f_{11} = \{ a_1, \bar{a}_2, a_3, a_4 \}$, $f_{13} = \{ a_1, a_2, \bar{a}_3, a_4 \}$ (імплікації) інверсні відповідно до функцій f_4 та f_2 .

Функція $f_6 = \{ \bar{a}_1, a_2, a_3, \bar{a}_4 \}$ (сума по модулю 2, нерівнозначність, вимикаюче АБО) приймає значення 1, коли значення x_1 та x_2 не співпадають, тобто мають протилежні значення. Використання функції f_6 пов'язане з формуванням суми двійкових чисел. Функція $f_9 = \bar{f}_6$ приймає значення 1, коли значення x_1 та x_2 співпадають. Ця функція фіксує порозрядну рівність двійкових чисел.

Методика побудови графа-стіжка придатна для функцій великої кількості змінних і не вимагає застосування методу суперпозиції, тобто підстановки в якості одного з аргументів функції інших змінних.

Як було показано, функції диз'юнкції та кон'юнкції можуть бути не лише функціями

двох аргументів. Вони можуть бути функціями багатьох аргументів.

Диз'юнкцією *n* аргументів називається логічна функція типу конституєнти нуля (макстерм), яка перетворюється у нуль лише в тому випадку, коли всі аргументи дорівнюють нулю, тобто у наборах 00...0, і в одиницю на всіх інших наборах, коли хоча б один аргумент дорівнює одиниці.

Диз'юнкція для *n* елементів на графові-стіжку описується наступними виразами:

$$f(x_1, x_2, \dots, x_n) = \{ \bar{a}_1, \bar{a}_2, \dots, \bar{a}_n \}, \text{ коли } x_1 = x_2 = \dots = x_n = 0, \text{ та}$$

$$f(x_1, x_2, \dots, x_n) = \{ a_1, a_2, \dots, a_m \}, \text{ коли } x_1 \neq x_2 \neq \dots \neq x_n \neq 0, \text{ а } x_i = \{0, 1\}, \text{ або } x_1 = x_2 = \dots = x_n = 1.$$

Кон'юнкцією *n* аргументів називається логічна функція типу конституєнти одиниці (мінтерм), яка перетворюється в одиницю лише в тому випадку, коли всі аргументи дорівнюють одиниці, тобто у наборі 11...1, і в нуль в усіх інших випадках, коли хоча б один із аргументів дорівнює нулю.

Кон'юнкція для *n* елементів на графові-стіжку описується наступними виразами:

$$f(x_1, x_2, \dots, x_n) = \{ \bar{a}_1, \bar{a}_2, \dots, \bar{a}_m \}, \text{ коли } x_1 \neq x_2 \neq \dots \neq x_n \neq 1, \text{ а } x_i = \{0, 1\}, \text{ або}$$

$$\{ x_1, x_2, \dots, x_n \} = \{ a_1, a_2, \dots, a_m \}, \text{ коли } x_1 = x_2 = \dots = x_n = 1.$$

Значення на електричних схемах, що реалізують диз'юнкції та кон'юнкції від *n*-аргументів, наведено на мал. 5.11.е.

Для функцій кон'юнкції та диз'юнкції справедливі ряди властивостей, які частково аналогічні властивостям операцій множення та додавання. Ці властивості називаються законами.

1. Закон сполучення (закон асоціативності) для функцій I та АБО.

$$x_1 \cdot (x_2 \cdot x_3) = (x_1 \cdot x_2) \cdot x_3, \quad x_1 \vee (x_2 \vee x_3) = (x_1 \vee x_2) \vee x_3.$$

2. Закон переміщення (закон комутативності) для функцій I та АБО.

$$x_1 \cdot x_2 = x_2 \cdot x_1, \quad x_1 \vee x_2 = x_2 \vee x_1.$$

3. Закон розподілу (закон дистрибутивності) для функцій I та АБО.

$$x_1 \cdot (x_2 \vee x_3) = x_1 \cdot x_2 \vee x_1 \cdot x_3,$$

$$x_1 \vee (x_2 \cdot x_3) = (x_1 \vee x_2) \cdot (x_1 \vee x_3).$$

Розподільний закон множення по відношенню до додавання має такий же вигляд, як і для алгебраїчного множення та додавання, а для додавання по відношенню до множення являється специфічним для алгебри логіки і не містить аналога у звичайній алгебрі.

Подібно закону переміщення, закон розподілу справедливий для довільної кількості аргументів:

$$x_1 \cdot (x_2 \vee x_3 \vee x_4 \vee \dots) = x_1 \cdot [x_2 \vee (x_3 \vee x_4 \vee \dots)] = x_1 \cdot [x_2 \vee x_1 \cdot (x_3 \vee x_4 \vee \dots)],$$

$$x_1 \vee x_2 \cdot x_3 \cdot x_4 \cdot \dots = x_1 \vee x_2 \cdot (x_3 \cdot x_4 \cdot \dots) = (x_1 \vee x_2) \cdot [(x_1 \vee x_2) \cdot (x_3 \cdot x_4 \cdot \dots)].$$

Із закону розподілу можна одержати наступні формули:

$$x_1 \cdot (\bar{x}_1 \vee x_2) = x_1 \cdot x_2,$$

$$x_1 \vee (\bar{x}_1 \cdot x_2) = x_1 \vee x_2, \text{ доведення}$$

$$x_1 \cdot (x_2 \vee 1) \vee (\bar{x}_1 \cdot x_2) = x_1 \cdot x_2 \vee x_1 \vee \bar{x}_1 \cdot x_2 = x_2 \cdot (x_1 \vee \bar{x}_1) \vee x_1 = x_1 \vee x_2.$$

Справедливі також наступні тотожності:

$$x_1 \vee x_2 \cdot x_1 = x_1, \text{ доведення } x_1 \vee x_2 \cdot x_1 = x_1 \cdot (x_2 \vee \bar{x}_2) \vee x_2 \cdot x_1 = x_1 \cdot x_2 \vee x_1 \cdot \bar{x}_2 \vee$$

$$x_2 \cdot x_1 = x_2 \cdot (x_1 \vee x_1) \vee x_1 \cdot \bar{x}_2 = x_2 \cdot x_1 \vee x_1 \cdot \bar{x}_2 = x_1 \cdot (x_2 \vee \bar{x}_2) = x_1 \cdot 1 = x_1, \text{ доведення}$$

$$x_1 \cdot x_1 \vee x_1 \cdot x_2 = x_1 \vee x_1 \cdot x_2 \text{ (дальше, аналогічно як у першому випадку).}$$

Для доведення використані наступні аксіоми для диз'юнкції, кон'юнкції та інверсії:

$x \vee 0 = x,$	$x \cdot 0 = 0.$
$x \vee 1 = 1,$	$x \cdot 1 = x,$
$x \vee x = x,$	$x \cdot x = x,$
$x \vee \bar{x} = 1,$	$x \cdot \bar{x} = 0.$

До основних законів алгебри логіки відносяться закони інверсії для логічного додавання та множення (теорема де Моргана):

$$\overline{x_1 \vee x_2} = \bar{x}_1 \cdot \bar{x}_2,$$

$$\overline{x_1 \cdot x_2} = \bar{x}_1 \vee \bar{x}_2,$$

тобто інверсія суми змінних є добутком їх інверсій;

$$\overline{x_1 \cdot x_2} = \bar{x}_1 \vee \bar{x}_2,$$

$$\overline{x_1 \vee x_2} = \bar{x}_1 \cdot \bar{x}_2,$$

тобто інверсія множення змінних є сума їх інверсій.

Теорема де Моргана справедлива для довільної кількості аргументів:

$$\overline{x_1 \vee x_2 \vee \dots \vee x_n} = \bar{x}_1 \cdot \bar{x}_2 \cdot \dots \cdot \bar{x}_n,$$

$$\overline{x_1 \cdot x_2 \cdot \dots \cdot x_n} = \bar{x}_1 \vee \bar{x}_2 \vee \dots \vee \bar{x}_n.$$

Для функцій додавання по модулю два справедливі закони переміщення та розподілу:

$$x_1 \oplus x_2 = x_2 \oplus x_1$$

$$x_1 \oplus (x_2 \oplus x_3) = (x_1 \oplus x_2) \oplus x_3,$$

а також закон розподілу відносно кон'юнкції:

$$x_1 \cdot (x_2 \oplus x_3) = (x_1 \cdot x_2) \oplus (x_1 \cdot x_3).$$

Для доведення цих рівностей використані аксіоми для функції додавання по модулю два:

$$x \oplus x = 0, \quad x \oplus 0 = x,$$

$$x \oplus \bar{x} = 1, \quad x \oplus 1 = \bar{x}.$$

Логічні функції, які являють собою диз'юнкцію окремих членів, кожен із яких, у свою чергу, є деяка функція, що містить лише кон'юнкції та інверсії, називаються логічними функціями диз'юнктивної форми. Форма представлення диз'юнктивної функції, в якій інверсія застосовується лише безпосередньо до аргументу, але не до більш складних функцій від цих аргументів, називається диз'юнктивною нормальною формою представлення функції (ДНФ):

$$F_{\text{днф}} = x_1 \cdot x_2 \cdot \bar{x}_3 \vee \bar{x}_1 \cdot \bar{x}_2 \cdot x_3 \vee \bar{x}_1 \cdot x_2 \cdot x_3 \vee x_1$$

Якщо кожний член диз'юнктивної нормальної функції від *n* аргументів містить всі ці *n* аргументів, частина яких входять в нього з інверсією, а частина – без неї, то така форма представлення функції називається удосконаленою диз'юнктивною нормальною формою (УДНФ):

$$F_{(уднф)} = x_1 \bar{x}_2 x_3 \vee \bar{x}_1 \bar{x}_2 x_3 \vee x_1 \bar{x}_2 \bar{x}_3 \quad (5.5)$$

У загальному випадку УДНФ можна представити у формі:

$$F_{(уднф)} = \bigvee x_1^{\alpha_1} x_2^{\alpha_2} \dots x_n^{\alpha_n} \quad (5.6)$$

де $\alpha_1, \alpha_2, \dots, \alpha_n$ – двійковий набір

$$x_i^{\alpha_i} = \begin{cases} x_i, & \text{коли } \alpha_i = 1 \\ \bar{x}_i, & \text{коли } \alpha_i = 0, \end{cases}$$

\bigvee – знак узагальненої диз'юнкції

Логічні функції, які являють собою кон'юнкції окремих членів, кожний із яких є функція, що містить лише диз'юнкції та інверсії, називаються логічними функціями кон'юнктивної форми. За аналогією з диз'юнктивними формами можливі кон'юнктивні нормальні форми (КНФ) та удосконалені кон'юнктивні нормальні форми (УКНФ):

$$F_{(кнф)} = x_1 \cdot (x_1 \vee x_2) \cdot (x_1 \vee x_3) \cdot (x_1 \vee \bar{x}_2 \vee x_3) \\ F_{(укнф)} = (x_1 \vee x_2 \vee x_3) \cdot (x_1 \vee \bar{x}_2 \vee x_3) \cdot (\bar{x}_1 \vee \bar{x}_2 \vee \bar{x}_3) \quad (5.7)$$

У загальному випадку УКНФ можна представити наступним чином:

$$F_{(укнф)} = \bigg\&_0 \bar{x}_1^{\alpha_1} \vee \bar{x}_2^{\alpha_2} \vee \dots \vee \bar{x}_n^{\alpha_n} \quad (5.8)$$

де $\bigg\&_0$ – знак узагальненої кон'юнкції.

З'ясуємо алгоритми переходу від табличного опису логічних функцій до їх аналітичного опису.

Алгоритм переходу від таблиці істинності логічної функції до її запису у вигляді УДНФ.

1. Вибрати у таблиці такі вхідні набори, на яких функція перетворюється в одиницю.
2. Записати константи одиниці (мінтерми) для вибраних вхідних наборів.
3. Одержані мінтерми сполучити між собою знаками диз'юнкції.

Алгоритм переходу від таблиці істинності логічної функції до її запису у вигляді УКНФ.

1. Вибрати у таблиці істинності такі вхідні набори, на яких функція має нульові значення.
2. Записати константи нуля (макстерми) для вибраних вхідних наборів.
3. Одержані макстерми сполучити між собою знаками кон'юнкції.

Вжитий термін "удосконалена" вказує на те, що диз'юнктивні, або кон'юнктивні члени формуються із усіх аргументів x_1, x_2, \dots, x_n . Термін "кон'юнктивна" вказує на те, що зовнішньою функцією розкладу являється кон'юнкція, а внутрішньою – диз'юнкція, для терміну "диз'юнкція" – навпаки. Термін "нормальна" вказує на те, що форма є дворівнева, тобто диз'юнкція – кон'юнкція, або кон'юнкція – диз'юнкція.

За допомогою виведених співвідношень можна проводити різні тотожні перетворення логічних функцій. Порядок виконання дій наступний: при відсутності у виразі дужок першими повинні виконуватись операції заперечення, тоді – кон'юнкції і останніми –

диз'юнкції.

Оскільки операції над логічними виразами вимагають деяких навиків, розглянемо декілька прикладів.

Приклад 5.1.

Представити функцію задану табл. 5.5. в УДНФ та УКНФ.

x_1	x_2	x_3	f	x_1	x_2	x_3	f
0	0	0	1	1	0	0	1
0	0	1	0	1	0	1	0
0	1	0	0	1	1	0	0
0	1	1	1	1	1	1	1

Розв'язок.

У відповідності до алгоритму

$$F_{уднф} = \bar{x}_1 \bar{x}_2 x_3 \vee \bar{x}_1 x_2 x_3 \vee x_1 \bar{x}_2 x_3 \vee x_1 x_2 x_3.$$

$$F_{кнф} = (\bar{x}_1 \vee \bar{x}_2 \vee x_3) (\bar{x}_1 \vee x_2 \vee \bar{x}_3) (x_1 \vee \bar{x}_2 \vee x_3) (x_1 \vee x_2 \vee \bar{x}_3).$$

Приклад 5.2.

Логічну функцію, яка задана ДНФ

$$F_{днф} = x_1 \bar{x}_2 \vee x_2 \bar{x}_3 \bar{x}_4 \vee \bar{x}_1 \bar{x}_3 \bar{x}_4 \vee x_1 x_2 x_3 x_4,$$

перетворити в УДНФ.

Розв'язок.

Використаємо методику перетворення почергово до мінтермів.

$$F_1 = x_1 \bar{x}_2 (x_3 \vee \bar{x}_3) = x_1 \bar{x}_2 x_3 \vee x_1 \bar{x}_2 \bar{x}_3.$$

Обидва члени одержаного виразу помножимо на $(x_4 \vee \bar{x}_4)$. Одержимо наступне:

$$F_1 = (x_1 \bar{x}_2 x_3 \vee x_1 \bar{x}_2 \bar{x}_3) (x_4 \vee \bar{x}_4) = x_1 \bar{x}_2 x_3 x_4 \vee x_1 \bar{x}_2 x_3 \bar{x}_4 \vee x_1 \bar{x}_2 \bar{x}_3 x_4 \vee x_1 \bar{x}_2 \bar{x}_3 \bar{x}_4.$$

Аналогічно

$$F_2 = x_2 \bar{x}_3 \bar{x}_4 (x_1 \vee \bar{x}_1) = x_1 x_2 \bar{x}_3 \bar{x}_4 \vee \bar{x}_1 x_2 \bar{x}_3 \bar{x}_4.$$

$$F_3 = \bar{x}_1 \bar{x}_3 \bar{x}_4 (x_2 \vee \bar{x}_2) = \bar{x}_1 x_2 \bar{x}_3 \bar{x}_4 \vee \bar{x}_1 \bar{x}_2 \bar{x}_3 \bar{x}_4.$$

Після приведення подібних членів визначимо УДНФ:

$$F_{уднф} = x_1 \bar{x}_2 x_3 x_4 \vee x_1 \bar{x}_2 x_3 \bar{x}_4 \vee x_1 \bar{x}_2 \bar{x}_3 x_4 \vee x_1 \bar{x}_2 \bar{x}_3 \bar{x}_4 \vee x_1 x_2 \bar{x}_3 \bar{x}_4 \vee \bar{x}_1 x_2 \bar{x}_3 \bar{x}_4 \vee \bar{x}_1 \bar{x}_2 \bar{x}_3 \bar{x}_4.$$

Приклад 5.3.

Даний вираз $x_1(\bar{x}_2 \vee x_3 x_4 \vee x_2 x_4)$ необхідно перетворити у нормальну форму.

Послідовно одержимо:

$$\begin{aligned} x_1(\bar{x}_2 \vee x_3 x_4 \vee x_2 x_4) &= \bar{x}_1 \vee x_2(x_3 x_4 \vee \bar{x}_2 \vee x_4) = \bar{x}_1 \vee x_2 x_3 x_4 \vee x_2 \bar{x}_2 \vee x_2 x_4 = \\ &= \bar{x}_1 \vee x_2 x_3 x_4 \vee x_2 x_4 = \bar{x}_1 \vee x_2(x_3 x_4 \vee \bar{x}_4) = \bar{x}_1 \vee x_2(x_3 \vee \bar{x}_4) = \bar{x}_1 \vee x_2 x_3 \vee x_2 \bar{x}_4. \end{aligned}$$

лінійною, то по визначенню для двох аргументів вона представляється наступним виглядом:

$$f(x_1, x_2) = a_0 \oplus a_1 x_1 \oplus a_2 x_2.$$

При цьому для різних наборів значення функції будуть:

$$f(0,0) = a_0, f(0,1) = a_0 \oplus a_2, f(1,0) = a_0 \oplus a_1, f(1,1) = a_0 \oplus a_1 \oplus a_2.$$

Перші три вирази дають змогу визначити коефіцієнти a_0, a_1, a_2 :

$$a_0 = f(0,0); a_1 = f(0,0) \oplus f(1,0); a_2 = f(0,0) \oplus f(0,1).$$

Якщо при знайдених, таким чином, значеннях коефіцієнтів виконується четверта рівність:

$$f(1,1) = a_0 \oplus a_1 \oplus a_2,$$

то така функція являється лінійною.

Властивості елементарних функцій зведені в табл. 5.7., де знаком "1" показано, які властивості мають елементарні функції.

Таблиця 5.7. Таблиця, що описує властивості елементарних функцій

Властивості елементарних функцій	Елементарні функції																
	f_0	f_1	f_2	f_3	f_4	f_5	f_6	f_7	f_8	f_9	f_{10}	f_{11}	f_{12}	f_{13}	f_{14}	f_{15}	
Збереження нуля	1	1	1	1	1	1	1	1									
Збереження одиниці		1		1		1		1		1		1		1		1	
Самодвоїстість			1		1						1		1				
Монотонність	1	1		1		1			1								1
Лінійність	1			1		1	1			1	1		1				1

При відомих властивостях функцій можна визначити повноту системи заданих функцій. Щоб система функцій була повною, необхідно і достатньо, щоб вона містила наступні функції: що не зберігають нуля, та не зберігають одиниці; не була самодвоїстою, не була лінійною і не була монотонною. Таким чином, коли б повна система була складена із функцій, кожна із яких не містила б властивості хоча б однієї із п'яти, показаних в таблиці 5.7, то система мала б в собі п'ять функцій. Однак функції, із яких складається повна система, можуть не мати одночасно декількох властивостей, і, як наслідок, кількість функцій в повній системі може бути меншою.

Із табл.5.7 видно, що функція Пірса та Шеффера не містить ні однієї із п'яти властивостей. Тому кожна із тих функцій складає повну систему і являє собою мінімальний базис.

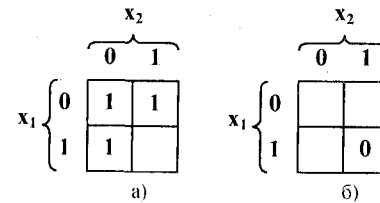
Вибір мінімального базису пов'язаний з вибором стандартного набору логічних елементів, із яких буде будуватись цифровий автомат. Очевидно, що зменшення кількості функцій, що входять у базис, відповідає зменшенню кількості різних логічних елементів, які прийняті за стандартні. Однак, слід враховувати і те, що при реалізації автоматів, важливою є не лише кількість типів стандартних елементів, але і загальне їх число. При цьому складність устаткування, з точки зору кількості використаних елементів, істотно залежить від виду функції, що реалізується і яка вибрана в якості базової.

§ 5.5 Форми представлення логічних функцій

[10, 14, 17, 20]

Існує багато способів представлення логічних функцій. На різних етапах побудови електронних автоматів використовують наступні представлення: словесне, числове, табличне, аналітичне та у вигляді геометричного графа.

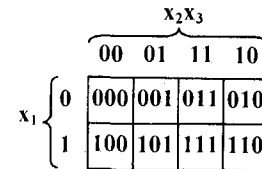
Будь-яка логічна функція може бути представлена у вигляді словесного опису. Наприклад, функція Шеффера $f_{14} = x_1 x_2$ словесно може бути описана так: $f_{14} = 0$ тоді, і лише тоді, коли обидва аргументи x_1 та x_2 дорівнюють одиниці. Часто для спрощення запису



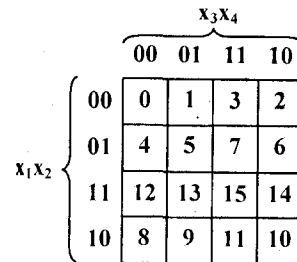
Мал.5.12. Показ функції f_{14} на карті Карно

Карта Карно являє собою певну форму таблиці істинності для двох, трьох, чотирьох і п'яти аргументів. Таблиця істинності, як і карта Карно, містить всі 2^n можливих вхідних наборів (n -число аргументів) і значень функції, які відповідають кожному із наборів.

Для двох змінних карта Карно являє собою квадрат, який розділений на чотири комірки, по одній на кожний вхідний набір. Рядки карти зв'язані із змінною x_1 стовпчики – з змінною x_2 . Тоді розміщена ліворуч зверху комірка відповідає вхідному наборові (00) або мінтерму ($\bar{x}_1 \bar{x}_2$), а розміщена праворуч знизу комірка – вхідному наборові (11) або макстерму $x_1 x_2$. Представлення логічної функції на карті Карно проводиться у відповідності до таблиці істинності. Коли функція $f_{14} = x_1 x_2 = 1$ на вхідному наборі (00), то цей факт відображається на карті Карно записом у ліву верхню комірку одиниці.



Мал.5.13. Карта Карно для функції трьох змінних



Мал.5.14. Карта Карно для функції чотирьох змінних

функцій алгебри логіки замість повного переліку аргументів використовують номери наборів, для яких функція приймає одиничне значення. Наприклад, функція УДНФ задана табл. 5.5. може бути записана у вигляді: $F(x_1, x_2, x_3) = \bigvee F(0,3,4,7)$; це означає, що

функція приймає значення одиниці на наборах, номери яких дорівнюють 0,3,4,7. Таку форму запису називають числовою.

Для невеликої кількості змінних зручний табличний метод представлення функцій у вигляді карт Карно або Вейча.

Аналогічно записується одиниця і в інших комірки, де функція $\bar{x}_1 x_2 = x_1 \bar{x}_2 = 1$. Комірка праворуч знизу при вхідному наборі $x_1 x_2 = 0$ не заповнюється (мал.5.12,а). Карта Карно може заповнюватись нулями у ті ж комірки, на вхідних наборах яких функція дорівнює нулю. На мал.5.12,б наведений приклад заповнення карти Карно для цього випадку. На практиці більше застосовують перший спосіб представлення функцій.

У випадку трьох змінних Карта Карно (мал.5.13) містить вісім комірок, по одній для кожного вхідного набору, який показаний всередині комірки. Змінна x_1 зв'язана з двома рядками карти, а змінні x_2 та x_3 – з чотирма стовпчиками. Таким чином, будь-які поряд розміщені комірки являються сусідніми і їх координати відрізняються лише однією змінною. Крім того, сусідніми є комірки, які розміщені у першому та останньому стовпчику карти.

Оскільки для чотирьох змінних існує 16 вхідних наборів, карта Карно розділена на 16 комірок (див.мал.5.14). Кожна комірка пронумерована у

відповідності до порядкового номера вхідного набору у десятковій системі числення.

		$x_3x_4x_5$							
		000 001 011 010 110 111 101 100							
x_1x_2	00	0	1	3	2	6	7	5	4
	01	8	9	11	10	14	15	13	12
	11	24	25	27	26	30	31	29	28
	10	16	17	19	18	22	23	21	20

Мал.5.15.Карта Карно для функції п'яти змінних

Карта Карно для функції п'яти змінних, яка містить 32 комірочки показана на мал.5.15.

У випадку шести змінних виникає потреба у 64-ох комірках.

Для невеликого числа змінних (порядку 4-6) використовують також, так звані, карти Вейча. На мал.5.16 показані карти Вейча для функцій двох, трьох, чотирьох, п'яти та шести аргументів. Кожному із 2^n наборів значень аргументів відповідає одна комірочка на карті Вейча. Коли на даному наборі аргументів функція дорівнює одиниці, то у відповідну даному наборі комірочку карти записують одиницю. Комірочки, що відповідають наборам, на яких функція

дорівнює нулю, або заповнюється нулями, або залишаються пустими. Кожна змінна розбиває карту Вейча на дві половини – половину x та половину \bar{x} . Половина карти, що відповідає не інвертованим аргументам, відзначена товстою лінією, біля якої проставляють аргументи.

Усім наборам значень аргументів, які починаються з 1, і, як наслідок, всім мінтермам з

		x_1																		
		1 0																		
x_2	1	3	1	x_2	1	6	7	3	2											
	0	2	0		0	4	5	1	0											
		x_3																		
		10 11 01 00																		
x_2	10	12	14	6	4	x_4	10	12	14	6	4									
	11	13	15	7	5		11	13	15	7	5									
	01	9	11	3	1		01	9	11	3	1									
	00	8	10	2	0		00	8	10	2	0									
		x_3																		
		101 100 100 111 010 011 001 000																		
x_2	10	25	24	28	29	12	13	9	8	x_4	x_2	10	25	24	28	29	12	13	9	8
	11	27	26	30	31	14	15	11	10			11	27	26	30	31	14	15	11	10
	01	19	18	22	23	6	7	3	2			01	19	18	22	23	6	7	3	2
	00	17	16	20	21	4	5	1	0			00	17	16	20	21	4	5	1	0
		x_3																		
		101 100 100 111 010 011 001 000																		
		x_5 x_5																		
		101 100 100 111 010 011 001 000																		
		x_3																		
		101 100 100 111 010 011 001 000																		
		x_5 x_5																		
		101 100 100 111 010 011 001 000																		
		x_3																		
		101 100 100 111 010 011 001 000																		
		x_5 x_5																		

Мал.5.16. Карти Вейча для 2, 3, 4, 5 та 6 змінних

неінверсним x відповідає половина карти, що відзначена x , а всім наборам, що починаються з 0, і, як наслідок, всім мінтермам з інверсним x відповідає половина карти, не відзначена x . Те саме можна сказати і стосовно до інших аргументів. Таким чином, набором (0,0), (0,0,0),..., (0,0,0,0,0,0) і мінтермам $\bar{x}_1\bar{x}_2, \bar{x}_1\bar{x}_2\bar{x}_3, \dots, \bar{x}_1\bar{x}_2\bar{x}_3\bar{x}_4\bar{x}_5\bar{x}_6$ відповідає комірочка з номером 0, набором (0,1), (0,0,1),..., (0,0,0,0,0,1) і мінтермам $\bar{x}_1x_2, \bar{x}_1\bar{x}_2x_3, \dots, \bar{x}_1\bar{x}_2\bar{x}_3\bar{x}_4\bar{x}_5x_6$ – комірочка з номером 1, набором (1,0), (0,1,0),..., (0,0,0,0,1,0) і мінтермам $x_1\bar{x}_2, \bar{x}_1x_2\bar{x}_3, \dots, \bar{x}_1\bar{x}_2\bar{x}_3\bar{x}_4x_5\bar{x}_6$ – комірочка з номером 2 і т.д.

Оскільки операції при заповненні карт Карно та Вейча вимагають деяких навиків, розглянемо декілька прикладів.

Приклад 5.4.

Побудувати карти Карно та Вейча для УНДФ із прикладу 5.1

		x_2x_3								
		00 01 11 10								
x_1	0	$\bar{x}_1\bar{x}_2\bar{x}_3$		$\bar{x}_1x_2x_3$		x_1	1		1	
	1	$x_1\bar{x}_2\bar{x}_3$		$x_1x_2x_3$			1		1	
		а)				б)				

Мал.5.17.Карта Карно для прикладу 5.1, § 5.3.

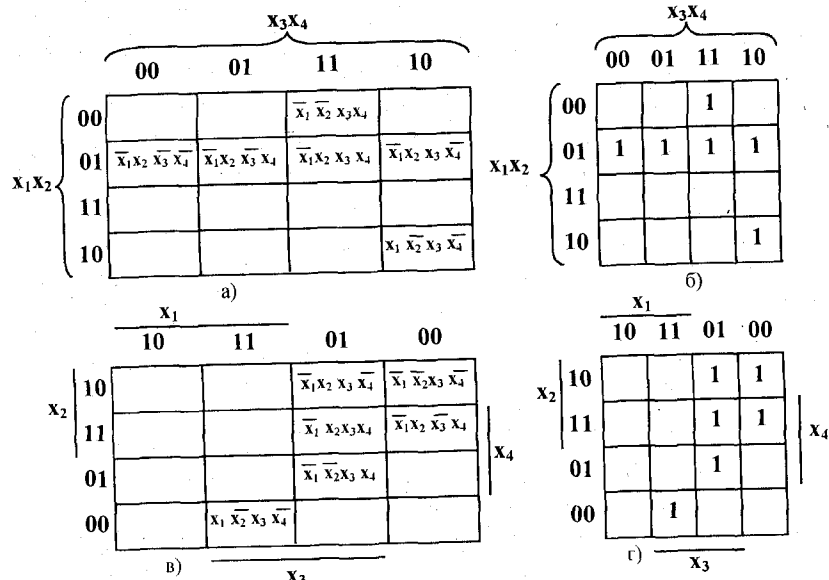
Враховавши правила складання функції УДНФ (див. формулу 5.6) та дані таблиці 5.5, запишемо $F_{уднф} = \bar{x}_1\bar{x}_2\bar{x}_3 \vee \bar{x}_1x_2x_3 \vee x_1\bar{x}_2\bar{x}_3 \vee x_1x_2x_3$. Розділ мінтерм та заповнення відповідним чином карти Карно та Вейча для цієї функції відповідно показані на мал.5.17а, б та мал.5.18 а, б.

		x_1								
		10 11 01 00								
x_2	1		$x_1x_2x_3$	$\bar{x}_1x_2x_3$		x_2		1	1	
	0	$x_1\bar{x}_2\bar{x}_3$			$\bar{x}_1\bar{x}_2\bar{x}_3$		1			1
		а)				б)				

Мал.5.18. Карта Вейча для прикладу 5.1, § 5.3.

Приклад 5.5.

Побудувати карти Карно та Вейча для функції $F = V(3,4,5,6,7,10)$. Функція УДНФ у своєму складі містить наступні мінтерми $F = x_1x_2x_3x_4 \vee x_1x_2x_3x_4 \vee x_1x_2x_3x_4 \vee x_1x_2x_3x_4 \vee x_1x_2x_3x_4 \vee x_1x_2x_3x_4$. Розподіл мінтермів та заповнення відповідним чином карти Карно (див. мал.5.19,а,б) та Вейча (мал.5.19,в,г) для цієї функції показують, що у випадку збільшення змінних $n > 6$ карти Карно та Вейча стають громіздкі та незручні для практичного використання.



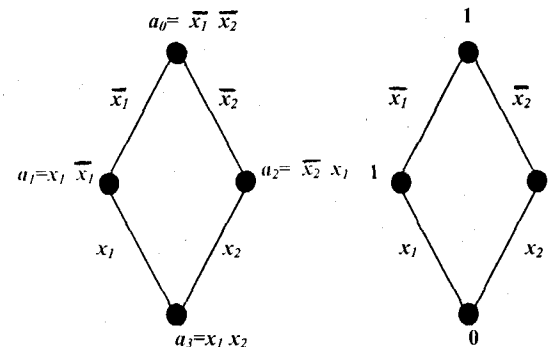
Мал.5.19. Карта Карно – а, б та Вейча – в, г до прикладу 5.5.

Існують і аналітичні форми представлення функцій алгебри логіки. Аналітичний спосіб передбачає запис функції у формі логічного виразу, який показує, які логічні операції і в якому порядку над аргументами функції потрібно виконати.

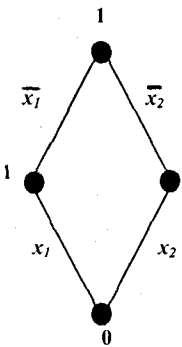
Як було показано в § 5.3, існує дві форми аналітичного представлення функції: удосконалена диз'юнктивна нормальна форма (УДНФ) та удосконалена кон'юнктивна нормальна форма (УКНФ).

Представлення логічних функцій у формі графів

Багато перетворень, які використовуються над логічними функціями, зручно інтерпретувати з використанням їх геометричного представлення. У геометричному сенсі кожний двійковий набір (a_1, a_2, \dots, a_n) можна розглядати як n -мірний вектор, що визначає точку n -мірного простору. Виходячи із цього, весь набір множин, на яких визначена функція n змінних, представляється у вигляді n -мірного графа. Відзначаючи крапками вершини, в яких функція має одичне значення, одержують її геометричне представлення. Так, функцію двох змінних f_{14} (функція Шеффера) можна представити на деякій площині, що задана в системі координат x_1, x_2 (мал.5.20).



Мал. 5.20. Геометричне представлення функції Шеффера



Мал. 5.21. Неограф функції Шеффера

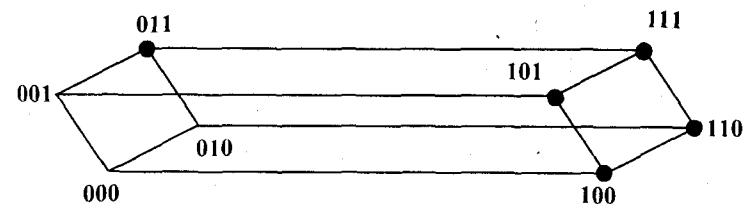
Геометричне представлення функції Шеффера можна інтерпретувати у формі неографа,

$$G = \{X, A\}, \quad (5.9)$$

де A – двійковий набір вихідних значень функції при певних комбінаціях аргументів на вході логічної схеми; X – множина змінних на вході логічної схеми.

Неограф функції Шеффера показаний на мал. 5.21, де $A = \{1, 1, 1, 0\}$ – вершини графа; $X = \{x_1, x_2, \bar{x}_1, \bar{x}_2\}$ – комбінації змінних x на вході логічної схеми (ребра графа).

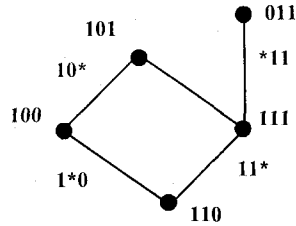
Виходячи з цього, можна стверджувати, що кожний набір множин $X = \{x_1, x_2, x_3, x_4\}$ можна розглядати як n -мірний вектор, який включає вершину n -мірного простору. Тоді множина наборів, на яких визначена функція n змінних, представляється у вигляді вершин n -мірного графа. Координати вершин графа повинні бути вказані у порядку, який відповідає порядку перерахування змінних у запису функції. Кожну вершину, на якій функція приймає одичне значення прийнято називати 0-кубом (нульовим кубом). Множина 0-кубів створює нульовий кубічний комплекс K^0 . Наприклад, для функції $F = V(3, 4, 5, 6, 7)$ представленої графом на мал.5.22, нульовий кубічний комплекс має вигляд $K^0 = \{011, 100, 101, 110, 111\}$ і в даному випадку складається із п'яти 0-кубів, кожний із яких відповідає певним вершинам тримірного куба.



Мал.5.22 Представлення функції $F = V(3, 4, 5, 6, 7)$ у вигляді графа

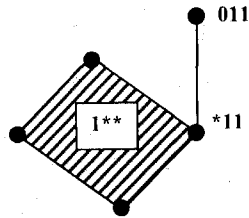
Якщо два 0-куба із множини K^0 відрізняються лише по одній координаті, то вони створюють один 1-куб (одичний куб). Він представляється загальними елементами 0-

кубів, а на місці координати, по якій відрізняються 0-куби, вказується символом «*», що означає незалежну координату. Наприклад, два 0-куби: 100, 101 розрізняються лише за третьою координатою і, як наслідок, створюють одиничний куб 10*, якому відповідає ребро тримірного куба. Усі множини одиничних кубів функції створюють одиничний кубічний граф K^1 . Для функції $F=V(3,4,5,6,7)$ він складається із п'яти кубів: $K^1=\{11, 10^*, 1^*0, 1^*1, 11^*\}$ і визначає всі множини ребер, на яких функція F приймає одиничне значення (див. мал.5.23).



Мал.5.23 Одиничний кубічний граф K^1 функції $F=V(3, 4, 5, 6, 7)$

Якщо два одиничні куби із графа K^1 мають загальну незалежну координату і розрізняються лише по одній координаті, то вони створюють один 2- куб (двійковий куб). Його запис складається із компонент 1- кубів графа, а координата, що приймає різне значення у 1- кубах, зазначається у 2- кубі як незалежна координата (*). Наприклад, два одиничні куби 1^*0 та 1^*1 , створюють один двійковий куб 1^{**} . Для функції, що аналізується, G граф має вигляд $K^1=\{1^{**}\}$ і складається із одного двійкового куба, що відповідає грані тримірного куба (мал.5.24). Розмірність куба визначається кількістю незалежних координат (символів «*»).



Мал.5.24 Двійковий кубічний граф K^2 функції $F=V(3, 4, 5, 6, 7)$

Об'єднання кубічних комплексів K^0, K^1, \dots, K^n функції $F(x_1, x_2, \dots, x_n)$ створює кубічний граф функції $G=\{X, K\}$. Для розглянутого прикладу граф $G=\{X, K\}$ відповідає об'єднання комплексів K^0, K^1 та K^2 .

На відміну від аналітичної форми запису логічних функцій, що використовують великий набір індексованих літер та математичних знаків, кубічне представлення дає змогу задавати логічні функції у вигляді графа з множиною кубів, компонентами яких є лише три символи: 0, 1, *. Обмежене число символів у записі функцій дає змогу використовувати

графи для складання алгоритмів та програм при проектуванні електронних автоматів із використанням обчислювальних комплексів.

Форми представлення логічних функцій у вигляді геометричних графів будуть використані у § 5.6 для розробки методів мінімізації.

§ 5.6 Мінімізація перемикальних функцій [10, 12, 14, 15, 16, 17, 18, 25]

У § 5.4 було показано, що одна і та ж перемикальна функція в одному і тому ж базисі може бути представлена різними формами. Ці форми є математичними моделями, за якими будуються електронні автомати. Тому виникає потреба пошуку такого представлення заданої функції у вигляді базисної системи, яка є оптимальною у сенсі мінімуму використаного обладнання. Кількість обладнання, яке використовується у схемі, становить його ціну. Процес пошуку представлення перемикальної функції з мінімальною ціною називають мінімізацією.

Метод Квайна. При мінімізації за цим методом необхідно, щоб початкова функція була задана в УДНФ. Завдання мінімізації, яке реалізується методом попарного перетворення всіх мінермів, що входять в УДНФ, з метою виявлення можливості поглинання якої-небудь змінної, полягає у використанні залежності:

$$EX_i \vee F \bar{X}_i = F, \quad (5.10)$$

Таким чином, вдається зменшити кількість змінних, що входять у мінерм. Ця процедура проводиться до тих пір, поки не залишиться ні одного члена, що допускає поглинання з яким-небудь іншим членом. Мінерми, що піддаються поглинанию, зазначаються.

Одержані логічні вирази, внаслідок проведення мінімізації, не завжди будуть мінімальними, тому досліджується можливість подальшого спрощення. Для цього складаються таблиці, у рядках яких записуються знайдені первинні імпліканти, а у стовпчиках показують мінерми вихідного рівня. Комірки такої таблиці позначаються у тому випадку, коли первинні імпліканти піддаються поглинанию. Після цього завдання спрощення зводиться до того, щоб знайти таку мінімальну кількість первинних імплікант, які покривають всі стовпчики.

Таким чином, метод Квайна виконується у декілька етапів. Розглянемо цей метод на конкретному прикладі.

Приклад 5.6.

Нехай необхідно мінімізувати логічну функцію, що задається у вигляді:

$$F_{здин} = \vee (3,4,5,7,9,11,12,13) = \bar{x}_1 \bar{x}_2 x_3 x_4 \vee \bar{x}_1 x_2 \bar{x}_3 \bar{x}_4 \vee \bar{x}_1 x_2 \bar{x}_3 x_4 \vee \bar{x}_1 x_2 x_3 x_4 \vee x_1 \bar{x}_2 \bar{x}_3 x_4 \vee x_1 \bar{x}_2 x_3 x_4 \vee x_1 x_2 \bar{x}_3 \bar{x}_4 \vee x_1 x_2 \bar{x}_3 x_4.$$

Завдання реалізується у декілька етапів.

Етап 1. Знаходження первинних імплікант. Для цього складається табл.5.8, з якої знаходяться імпліканти четвертого та третього рангу, тобто понижується ранг членів, що

входять в УДНФ. Тоді складається друга таблиця імплікантів (табл.5.9), яка включає всі мінтерми, що не пройшли поглинання, а також первинні імпліканти третього рангу. Складання таблиць проводиться до тих пір, поки неможливо застосувати правило (5.10). У прикладі, що мінімізується, можна дійти до первинної імпліканти другого рангу (табл.5.9) – $\bar{x}_2 \bar{x}_3$. Знайдені первинні імпліканти найменшого рангу зазначаються у квадратних дужках.

У табл.5.10 істотною імплікантою є мінтерм $x_2 \bar{x}_3$. Столпчики, що відповідають істотним імплікантам, із таблиці викреслюються.

Таблиця 5.8. Таблиця імплікант третього та четвертого рангу

Вхідні мінтерми	1	2	3	4	5	6	7	8
	$\bar{x}_1 \bar{x}_2 \bar{x}_3 \bar{x}_4$	$\bar{x}_1 \bar{x}_2 \bar{x}_3 x_4$	$\bar{x}_1 \bar{x}_2 x_3 \bar{x}_4$	$\bar{x}_1 \bar{x}_2 x_3 x_4$	$x_1 \bar{x}_2 \bar{x}_3 \bar{x}_4$	$x_1 \bar{x}_2 \bar{x}_3 x_4$	$x_1 \bar{x}_2 x_3 \bar{x}_4$	$x_1 \bar{x}_2 x_3 x_4$
$\bar{x}_1 \bar{x}_2 \bar{x}_3 \bar{x}_4$	1			$[\bar{x}_1 \bar{x}_3 \bar{x}_4]$		$[\bar{x}_2 \bar{x}_3 \bar{x}_4]$		
$\bar{x}_1 \bar{x}_2 \bar{x}_3 x_4$		1	$[\bar{x}_1 \bar{x}_2 \bar{x}_3]$				$[x_2 \bar{x}_3 \bar{x}_4]$	
$\bar{x}_1 \bar{x}_2 x_3 \bar{x}_4$		$\bar{x}_1 \bar{x}_2 \bar{x}_3$	1	$[\bar{x}_1 \bar{x}_2 x_4]$				$[x_2 \bar{x}_3 x_4]$
$\bar{x}_1 \bar{x}_2 x_3 x_4$	$x_1 \bar{x}_3 \bar{x}_4$		$\bar{x}_1 \bar{x}_2 x_4$	1				
$x_1 \bar{x}_2 \bar{x}_3 \bar{x}_4$					1	$[x_1 \bar{x}_2 x_4]$		$[x_1 \bar{x}_3 \bar{x}_4]$
$x_1 \bar{x}_2 \bar{x}_3 x_4$	$\bar{x}_2 \bar{x}_3 \bar{x}_4$				$x_1 \bar{x}_2 \bar{x}_4$	1		
$x_1 \bar{x}_2 x_3 \bar{x}_4$		$x_2 \bar{x}_3 \bar{x}_4$					1	$[x_1 \bar{x}_2 \bar{x}_3]$
$x_1 \bar{x}_2 x_3 x_4$			$x_2 \bar{x}_3 \bar{x}_4$		$x_1 \bar{x}_3 \bar{x}_4$		$x_1 \bar{x}_2 \bar{x}_3$	1

Таблиця 5.9. Таблиця імплікант третього рангу

Первинні імпліканти 3-го рангу	1	2	3	4	5	6	7	8	9
	$[\bar{x}_1 \bar{x}_2 \bar{x}_3]$	$[\bar{x}_2 \bar{x}_3 \bar{x}_4]$	$[\bar{x}_1 \bar{x}_2 \bar{x}_3]$	$x_2 \bar{x}_3 \bar{x}_4$	$[\bar{x}_1 \bar{x}_2 \bar{x}_4]$	$x_2 \bar{x}_3 \bar{x}_4$	$[x_1 \bar{x}_2 \bar{x}_4]$	$[x_1 \bar{x}_3 \bar{x}_4]$	$x_1 \bar{x}_2 \bar{x}_3$
$\bar{x}_1 \bar{x}_3 \bar{x}_4$	1								
$\bar{x}_2 \bar{x}_3 \bar{x}_4$		1							
$\bar{x}_1 \bar{x}_2 \bar{x}_3$			1						$[x_2 \bar{x}_3]$
$x_2 \bar{x}_3 \bar{x}_4$				1		$[x_2 \bar{x}_3]$			
$\bar{x}_1 \bar{x}_2 \bar{x}_4$					1				
$x_2 \bar{x}_3 \bar{x}_4$				$[x_2 \bar{x}_3]$		1			
$x_1 \bar{x}_2 \bar{x}_4$							1		
$x_1 \bar{x}_3 \bar{x}_4$								1	
$x_1 \bar{x}_2 \bar{x}_3$			$x_2 \bar{x}_3$						1

Етап 2. Розташування зазначень

Складається таблиця, кількість рядків якої дорівнює кількості одержаних первинних імплікант, а кількість стовпчиків співпадає з кількістю мінтермів УДНФ. Якщо у деякий мінтерм УДНФ входить яка-небудь із первинних імплікант, то на перетині відповідного стовпчика та рядка ставиться знак * (табл.5.10).

Таблиця 5.10. Таблиця первинних імплікант

Первинні імпліканти	Вихідні мінтерми							
	$\bar{x}_1 \bar{x}_2 \bar{x}_3 \bar{x}_4$	$\bar{x}_1 \bar{x}_2 \bar{x}_3 x_4$	$\bar{x}_1 \bar{x}_2 x_3 \bar{x}_4$	$\bar{x}_1 \bar{x}_2 x_3 x_4$	$x_1 \bar{x}_2 \bar{x}_3 \bar{x}_4$	$x_1 \bar{x}_2 \bar{x}_3 x_4$	$x_1 \bar{x}_2 x_3 \bar{x}_4$	$x_1 \bar{x}_2 x_3 x_4$
$\bar{x}_1 \bar{x}_3 \bar{x}_4$	*				*			
$\bar{x}_2 \bar{x}_3 \bar{x}_4$	*						*	
$\bar{x}_1 \bar{x}_2 \bar{x}_3$				*	*			
$x_1 \bar{x}_2 \bar{x}_4$						*	*	
$x_1 \bar{x}_3 \bar{x}_4$						*		*
$x_2 \bar{x}_3$		*	*				*	*

Етап 3. Знаходження істотних імплікант

Якщо в якому-небудь із стовпчиків таблиці 5.10 є лише один знак *, то первинна імпліканта у відповідному рядку є істотною, оскільки без неї не може бути одержана множина заданих мінтермів.

У табл. 5.10 істотною імплікантою є мінтерм $x_2 \bar{x}_3$. Столпчики, що відповідають істотним імплікантам, із таблиці викреслюються.

Етап 4. Викреслювання зайвих стовпчиків.

Після третього етапу внаслідок викреслювання стовпчиків 2, 3, 7 та 8 одержуємо таблицю 5.11. Коли у таблиці є два стовпчики, в яких є знак * у однакових рядках, то один із них викреслюється. Покриття стовпчика, що залишився, буде здійснювати викинутий мінтерм. У практичній такого випадку не існує.

Етап 5. Викреслювання зайвих первинних імплікант.

Якщо після викидання певних стовпчиків на етапі 4 у табл. 5.9 з'являться рядки, у яких не існує знака *, то первинні імпліканти, які відповідають цим рядкам, виключаються із подальших розглядів, оскільки вони не покривають тих мінтермів, що розглядаються у прикладі.

Таблиця 5.11. Таблиця первинних імплікант

Первинні імпліканти	1	2	3	4
	$\bar{x}_1 \bar{x}_2 \bar{x}_3 \bar{x}_4$	$\bar{x}_1 \bar{x}_2 \bar{x}_3 x_4$	$x_1 \bar{x}_2 \bar{x}_3 \bar{x}_4$	$x_1 \bar{x}_2 \bar{x}_3 x_4$
$\bar{x}_1 \bar{x}_3 \bar{x}_4$	*	*		
$x_2 \bar{x}_3 \bar{x}_4$	*			*
$\bar{x}_1 \bar{x}_2 \bar{x}_4$		*		
$x_1 \bar{x}_2 \bar{x}_4$			*	*
$x_1 \bar{x}_3 \bar{x}_4$			*	

Етап 6. Вибір мінімального покриття

Вибирається у табл.5.11 така сукупність первинних імплікант, яка виключає знаки * в усіх стовпчиках (по крайній мірі по одному знаку * у кожному стовпчику). При декількох можливих варіантах такого вибору віддається перевага варіанту покриття з мінімальним сумарним числом букв в імпліканті, що створює покриття. Цю вимогу задовольняють первинні імпліканти $x_1x_2x_4, \bar{x}_1x_3x_4$.

Таким чином, мінімальна форма заданої функції буде складатися із суми істотних імплікант (етап 3) і первинних імплікант, що залишились (етап 6). Тому остаточно мінімальна удосконалена диз'юнктивна нормальна форма МДНФ має вигляд:

$$F_{\text{МДНФ}} = x_2x_3 \vee x_1x_2x_4 \vee \bar{x}_1x_3x_4.$$

Метод Квайна і Мак-Класкі

Недоліком методу Квайна є необхідність повного порівняння усіх мінтермів на станах знаходження первинних імплікант.

Основні етапи мінімізації логічних функцій методом Квайна і Мак-Класкі:

1. Знаходження простих імплікант. Спочатку всі вихідні мінтерми, 0-куби, (див.табл.5.12) розділяються на групи з однаковою кількістю одиниць. Подальше попарно порівнюються між собою всі 0-куби сусідніх груп. Якщо два 0-куби розрізняються лише за однією координатою, то вони створюють 1-куб (0-куби, що створюють 1-куби, зазначаються). Після побудови 1-кубів, що створюють множину K_1^1 , проводиться побудова 2-кубів і т.д. З побудовою r-кубів всі (r-1) – куби, що створювали r-куби, також зазначаються. Етапи закінчуються, коли ні один (r+1) – куб не може бути побудованим. Усі незазначені куби множини K(F) є простими імплікантами і створюють покриття П(F) функції F.

Розглянемо застосування цього методу на прикладі 5.6.

Приклад 5.7.

Функція задана у вигляді:

$$F_{\text{МДНФ}} = \sqrt{(3,4,5,7,9,11,12,13)} = \bar{x}_1\bar{x}_2x_3x_4 \vee \bar{x}_1x_2\bar{x}_3x_4 \vee \bar{x}_1x_2x_3x_4 \vee \bar{x}_1x_2x_3x_4 \vee x_1x_2x_3x_4 \vee x_1x_2x_3x_4 \vee x_1x_2x_3x_4 \vee x_1x_2x_3x_4.$$

Згідно з першим етапом алгоритму мінімізації функції, знаходимо прості імпліканти (див.табл.5.12)

Таблиця 5.12.

Множини кубів	0 – група	1 – група	2 – група	3 – група	4 – група
0-куби	Відсутня				Відсутня
0011			0011(3)	0111(7)	
0100		0100(4)	0101(5)	1011(11)	
0101			1001(9)	1101(13)	
0111			1100(12)		
1001					
1011					
1100					
1101					
1-куби	-	010*(4,5) *100(4-12)	0*11(3,7) *011(3,11) 01*1(5,7) *101(5,13)	-	-

Таблиця простих імплікант

Множини кубів	0 – група	1 – група	2 – група	3 – група	4 – група
			10*1(9,11) 1*01(9,13) 110*(12,13)		
2-куби	-	*10*(4,5,12,13)	*10*(4,12,5,13)		

Подальша реалізація алгоритму розв'язку здійснюється наступним чином:

а) Розіб'ємо всі 1 – куби на чотири групи у залежності від положення незалежної координати *

$$K_1^2 = \left\{ \begin{array}{l} 010*(4,5) \\ 110*(12,13) \end{array} \right\}; \quad K_1^3 = \left\{ \begin{array}{l} 01*1(5,7) \\ 10*1(9,11) \end{array} \right\};$$

$$K_1^4 = \left\{ \begin{array}{l} 0*11(3,7) \\ 1*01(9,13) \end{array} \right\}; \quad K_1^5 = \left\{ \begin{array}{l} *011(3,11) \\ *100(4,12) \\ *101(5,13) \end{array} \right\}.$$

б) Внаслідок порівняння будемо 2-куби $K_{11}^2=*10*(4,5,12,13)$; $K_{11}^5=*10*(4,12,5,13)$; K_1^3 та K_1^4 не порівнюються. Первинна імпліканта рангу 2 (2-куби) записана у табл.5.12.

Усі куби, відзначені знаком * множини K(F), є імплікантами і створюють покриття.

$$\Pi(F) = \left\{ \begin{array}{l} *011 \\ 01*1 \\ 10*1 \\ 1*01 \\ 0*11 \\ *10* \end{array} \right\}$$

Імпліканти 1-куба K_1^2, K_1^5 , (крім мінтерма *011(3,11)) у множину покриття не входять, оскільки вони входили у створення 2-куба.

в) Побудуємо таблицю покриття функції F (табл.5.13). Рядки таблиці покриття відповідають простим імплікантам, а стовпчики – 0-кубам (вихідним мінтермам) функції, що мінімізується.

Таблиця 5.13.

Таблиця первинних імплікант рангу 2

Імпліканти	Вихідні мінтерми							
	0011	0100	0101	0111	1001	1011	1100	1101
*011	1							
01*1			1	1				
10*1					1	1		
1*01					1			1
0*11	1			1				
10		1	1				1	1

На перетині j рядка та p стовпчика ставиться одиниця, якщо імпліканта j покриває мінтерм p . Імпліканта покриває мінтерм, коли вона відрізняється від нього лише незалежними координатами.

г) Пошук мінімального покриття функції. Для знаходження мінімального покриття необхідно вилучити із таблиці покриття деякі зайві прості імпліканти. З цією метою у методі Квайна і Мак-Класкі реалізується наступний алгоритм розв'язку задачі покриття.

1. Виділення ядра Квайна. Якщо в якому-небудь стовпчику таблиці покриття наявна лише одна одиниця, то імпліканта, що стоїть у рядку, є істинною (обов'язковою) і повинна входити в ядро Квайна, і як наслідок, також в мінімальне покриття, оскільки не використавши її, неможливо покрити всі мінтерми.

2. Використання рядків та стовпчиків, що покриваються імплікантами і входять в ядро Квайна. Якщо в одержаній таблиці покриття наявні стовпчики, які містять по одній одиниці, то операцію, що описана у п.1 слід повторити.

3. Поглинання зайвих стовпчиків (стискання по стовпчиках). Із таблиці викреслюється той стовпчик, в який повністю входить будь-який інший стовпчик. По-іншому, якщо у таблиці покриття наявна така пара стовпчиків d_i та d_j , що $d_i \subseteq d_j$, то стовпчик d_i викреслюється, оскільки покриття стовпчика, що викреслений, може проводитись шляхом покриття стовпчиків, що залишились.

4. Поглинання зайвих рядків (стискання по рядках). Якщо в таблиці покриття наявна така пара рядків q_i та q_j , що $q_i \supseteq q_j$, то рядок q_j викреслюється (рядок q_i поглинає рядок q_j).

5. Послідовне застосування двох перетворень (стискання по стовпчиках та рядках). У результаті вихідна таблиця покриття 5.13 приводиться до так званої, «циклічної», імпліканти якої повинні входити в мінімальне покриття функції.

д) Одержання мінімальної форми логічної функції. Прості імпліканти, що відповідають рядкам, які входять в мінімальне покриття, сполучаються знаками диз'юнкції і створюють МДНФ перемикальної функції.

У прикладі, що розглядається (див.табл.5.13), істотною імплікантою рангу 2 буде $*10^* = x_2 x_3$. Вибірємо мінімальне покриття, а саме імпліканту, що залишилась 10^* (табл.5.14).

Таблиця 5.14.

Первинні імпліканти	Вихідні мінтерми			
	0011	0111	1001	1011
01*1		1		
10*1			1	1
0*11	1	1		
1*01			1	
*011	1			1

Таблиця первинних імплікант

Результат дорівнює: $F_{\text{МДНФ}} = x_2 x_3 \vee x_1 x_2 x_4 \vee x_1 x_3 x_4$.

З використанням методу Квайна для УКНФ необхідно розглядати значення функції $F=0$ і мінтерми, що відповідають цим значенням. У результаті одержимо $\bar{F} = \vee(x_1, x_2, \dots, x_n)$.

Далі необхідно використати закон де-Моргана, з тим, щоб привести функцію до УНДФ. Усі подальші події аналогічні вищевикладеним.

Метод мінімізуючих карт (таблиць) Карно

Карта Карно являє собою таблицю, в якій задаються логічні функції у формі УНДФ або УКНФ. Розміщення комірок у таблиці дає змогу визначити члени, які склеюються між собою (див. § 5.5). В інших методах мінімізації процес пошуку членів, що склеюються, найбільш

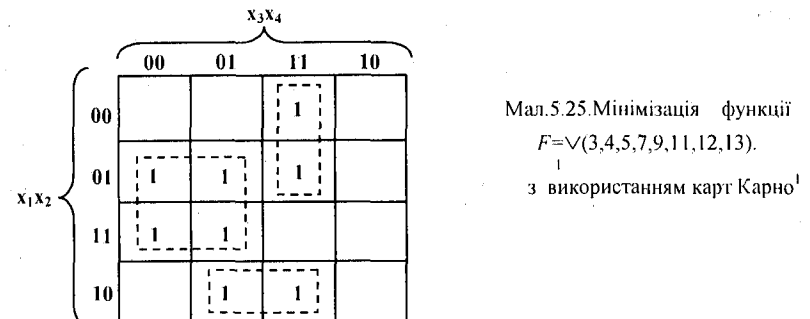
трудомісткий, оскільки необхідно порівнювати всі пари членів вихідної функції. Мінтерми вихідної функції склеюються у поряд розміщених комірках і виділяються у покриття функції. У будь-якій карті Карно сусідніми комірками, до яких можна застосувати правило склеювання, є не лише ті, які розміщені поряд, але і ті комірки, які знаходяться на протилежних кінцях (початках) будь-якого рядка або стовпчика (ці комірки є суміжними, якщо карту звернути по горизонталі або вертикалі у циліндр).

Таким чином, процес мінімізації зводиться до знаходження найбільш крупних покриттів із 2^n сусідніх комірок. Необхідно прагнути до того, щоб кожна заповнена комірка входила в яке-небудь покриття. Відповідна імпліканта, що відповідає певному покриттю заповнених комірок, містить символи цих змінних, значення яких співпадають в усіх об'єднаних комірках.

Розглянемо застосування методу карти Карно для функції, що задається у прикладі 5.6.

$$F_{\text{УНДФ}} = \vee(3,4,5,7,9,11,12,13) = \bar{x}_1 \bar{x}_2 x_3 x_4 \vee \bar{x}_1 x_2 \bar{x}_3 \bar{x}_4 \vee \bar{x}_1 x_2 x_3 \bar{x}_4 \vee \bar{x}_1 x_2 x_3 x_4 \vee x_1 \bar{x}_2 \bar{x}_3 \bar{x}_4 \vee x_1 \bar{x}_2 x_3 x_4 \vee x_1 x_2 \bar{x}_3 \bar{x}_4 \vee x_1 x_2 x_3 x_4$$

Оскільки вихідна функція задана для чотирьох змінних у числовій формі, для мінімізації вибираємо карту Карно на чотири змінні і на вказаних у вихідній функції наборах записуємо у відповідні комірки одиниці (мал.5.25)



Мал.5.25.Мінімізація функції $F = \vee(3,4,5,7,9,11,12,13)$ з використанням карт Карно

Для восьми вихідних наборів карта Карно повинна містити вісім одиниць. Після заповнення карти Карно проводимо склеювання мінтермів сусідніх комірок, для чого вибираємо два сусідніх покриття. У перше покриття входять чотири комірки. Ці комірки покриваються змінними $x_2 x_3$ (тобто склеюються по змінних x_1 та x_4) і створюють двійковий куб $*10^*$, а саме:

$$\begin{matrix} 0100 & 1100 & 010^* \\ 0101 & 1101 & 110^* \\ \hline 010^* & 110^* & *10^* \end{matrix}$$

У другому покритті (комірки 1001 та 1011) склеювання проходить по x_3 , у третьому – (комірки 0111 та 0011) склеювання проходить по x_2 , тобто:

$$\begin{matrix} 1001 & 0011 \\ 1011 & 0111 \\ \hline 10^*1 & 0^*11 \end{matrix}$$

У результаті одержуємо мінімальне покриття, що складається із трьох мінтермів:

$$\Pi(F) = \left\{ \begin{array}{l} *10* \\ 10*1 \\ 0*11 \end{array} \right\}$$

Тоді МДНФ запишеться у вигляді:

$$F_{\text{МДНФ}} = \bar{x}_2 \bar{x}_3 \vee x_1 \bar{x}_2 x_4 \vee \bar{x}_1 x_3 x_4.$$

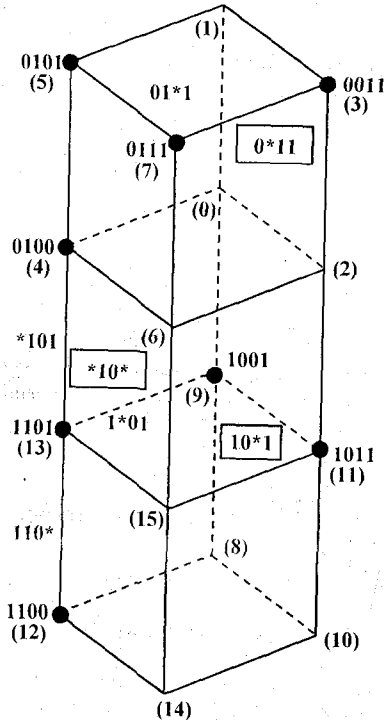
Оскільки карта Вейча є різновидністю карт Карно, де процес мінімізації здійснюється аналогічно, розглянути його на прикладі недоцільно.

Метод мінімізації з використанням кубічних графів

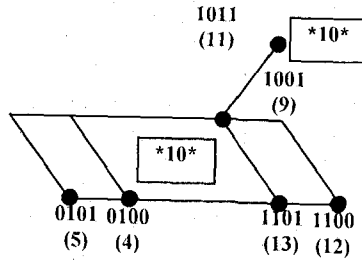
Задача мінімізації логічних функцій виконується з використанням представлення функції у вигляді графа форми куба. Кожна логічна функція $F(x_1, x_2, \dots, x_n)$ розглядається як множина П-кубів, що належать графу $K(F)$, таких, що кожна вершина графа K^0 входить по крайній мірі в один куб множини П. Одержана, таким чином, множина П називається покриттям графа $K(F)$, або покриттям логічної функції $\Pi(F)$. Кожному вибраному покриттю $\Pi(F)$ відповідає своя ДНФ функції F .

Розглянемо застосування методу на прикладі 5.7.

$$F_{\text{ДНФ}} = \vee (3, 4, 5, 7, 9, 11, 12, 13) = \bar{x}_1 \bar{x}_2 x_3 x_4 \vee \bar{x}_1 x_2 \bar{x}_3 x_4 \vee \bar{x}_1 x_2 x_3 \bar{x}_4 \vee \bar{x}_1 x_2 x_3 x_4 \vee x_1 \bar{x}_2 \bar{x}_3 x_4 \vee x_1 \bar{x}_2 x_3 \bar{x}_4 \vee x_1 \bar{x}_2 x_3 x_4 \vee x_1 x_2 \bar{x}_3 x_4$$



Мал.5.26. Кубічний граф функції $F = \vee(3, 4, 5, 7, 9, 11, 12, 13)$

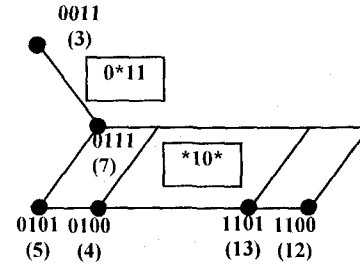


Мал.5.27. Двійковий кубічний граф K_1^2 функції $F = \vee(3, 4, 5, 7, 9, 11, 12, 13)$

Побудуємо кубічний граф для цієї функції (див. мал.5.26)

Цій функції відповідає кубічний граф $F = (0011, 0100, 0101, 0111, 1001, 1011, 1100, 1101)$.

У покриття даної функції можуть бути включені сукупності різних кубів, що належать $K(F)$ і охоплюють всі вершини n -мірного куба, де $F=1$.



Мал.5.28. Двійковий кубічний граф K_2^2 функції $F = \vee(3, 4, 5, 7, 9, 11, 12, 13)$

Об'єднання складових кубічного графа створює множину покриття функції F $\Pi(F) = (010*, 110*, 01*1, *011, 0*11, 10*1, 1*01, *101)$.

Подальше об'єднання складових кубічного графа дає змогу створити два кубічні графи K_1^2 та K_2^2 функції, що розглядається (мал.5.27 та мал.5.28), з яких визначається мінімізована функція F .

$$F_{\text{МДНФ}} = \bar{x}_2 \bar{x}_3 \vee x_1 \bar{x}_2 x_4 \vee \bar{x}_1 x_3 x_4.$$

В окремих випадках для оцінки складності логічних функцій застосовують поняття ціни покриття, яка дорівнює сумі цін усіх кубів,

складових покриття. Ціна r -куба, що відповідає мінтерму в змінних, визначається як різниця $n-r$ і відповідає кількості літер у мінтермі. Наприклад, ціна другого покриття дорівнює трьом, першого – чотирьом, третього – шести, четвертого – шести і т.д. Покриття, яке має найменшу ціну, становить МДНФ для функції.

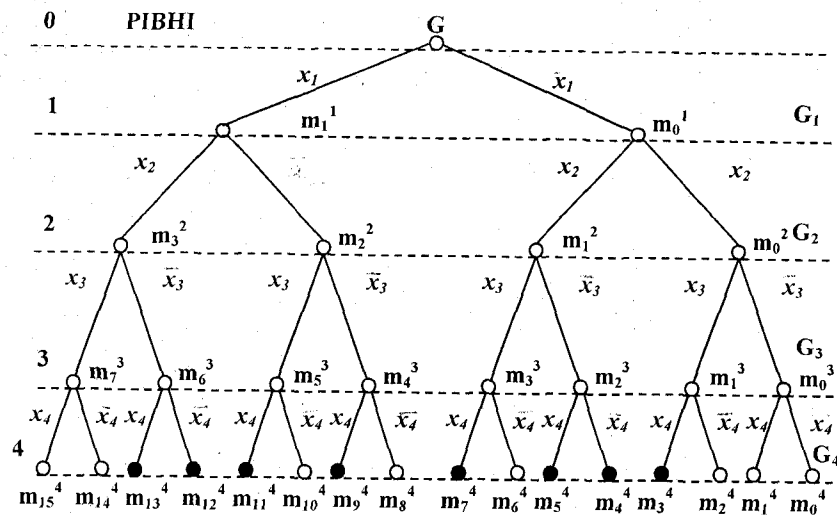
Метод мінімізації функцій з використанням скінчених графів типу стіжка

Запропонований нами метод мінімізації логічних функцій з використанням графів типу стіжка є найбільш ефективним, оскільки має наступні переваги:

1. Не вимагає попарного порівняння всіх мінтермів, що входять у логічну функцію (метод Квайна).
2. Зникає потреба у формуванні мінтермів для порівняння сусідніх груп і створення множини кубів, імпліканти яких формують мінімальні покриття (Метод Квайна і Мак-Класкі).
3. Не вимагає побудови таблиць (карт) для склеювання груп мінтермів з метою створення мінімальних кубів (методи Карно, Вейча).
4. Основна перевага названого методу – наочність, а використання графічного (аналітичного) представлення логічної функції дає змогу реалізації алгоритму мінімізації при складанні програм на ПЕОМ і практична відсутність обмежень на кількість змінних у мінтермах. Суть методу полягає в наступному.

Будь-яка логічна функція може бути представлена у вигляді графа-стіжка $G = \{M, X\}$, неорієнтованого графа з множиною кінцевих вершин M , що уособлюють кількість мінтермів у функції, та множиною ребер X (кількість змінних, що створюють мінтерм). Цей граф (див. мал.5.29.) будується так.

Із початкової вершини (кореня графа) проводять додолу дві дуги: ліва дуга відповідає значенню змінної x_j (де $j=1,2,\dots,n$), а права – значенню змінної \bar{x}_j . Із кожної вершини першого рівня знову проводять дві дуги, тобто кожна вершина дає дві дочірні вершини (такий граф ще називають бінарним деревом).



Мал. 5. 29. Граф-стіжок функції з чотирма змінними

Таким самим чином, із кожної вершини i -того рівня проводять по дві дуги, ліві дуги відповідають прямому значенню змінної, а праві – інвертованому. Кількість таких проведеннь дорівнює кількості змінних, що входять у створений мінтерм (а отже і кількості рівнів графа-стіжка).

З мал.5.29 не важко помітити, що кожний шлях в цьому графі від кінцевої вершини (у даному випадку від 4-го рівня) до кореня графа (до 0- рівня), уособлює якийсь мінтерм, а саме, $m_0 = x_1 x_2 x_3 x_4$, $m_1 = x_1 x_2 x_3 \bar{x}_4$, ..., $m_{15} = x_1 x_2 x_3 x_4$.

Тобто, в загальному випадку, кожна логічна функція може бути представлена графом-стіжком вигляду

$$G = \{M, X\} \quad (5.11)$$

де $M = \{m_1, m_2, \dots, m_k\}$, а $X = \{x_1, \bar{x}_1, x_2, \bar{x}_2, \dots, x_n, \bar{x}_n\}$.

Для здійснення процесу мінімізації використаємо дві операції, характерні для логічних функцій: квантор спільноти \forall та квантор існування \exists . Вираз $\forall x F(x)$ означає, що вислів дійсний, коли $F(x)$ дійсна, при всіх $x \in X$, і хибний у протилежному випадку. Вираз $\exists x F(x)$ означає, що вислів дійсний, коли існує елемент $x \in X$, для якого $F(x)$ дійсна і хибна – у протилежному випадку. Якщо $F(x)$ у дійсності не залежить від x , то вирази $\forall x F(x)$ та $\exists x F(x)$ означають те саме, що функція $F(x)$.

Розглянемо вираз $\forall x F(x)$, тобто заперечення виразу $\exists x \bar{F}(x)$. Цей вираз означає вислів « $\forall x F(x)$ хибний», рівнозначно вислову «існує елемент x , для якого $F(x)$ хибна»,

або те саме, що «існує елемент x , для якого $\bar{F}(x)$ дійсна». Тоді вираз $\forall x F(x)$ рівносильний виразу $\exists x \bar{F}(x)$, тобто:

$$\forall x F(x) = \exists x \bar{F}(x), \quad (5.12)$$

$$\text{або} \\ \exists x F(x) = \forall x \bar{F}(x) \quad (5.13)$$

З'ясуємо завдання розділення графа $G = \{M, X\}$ на компоненти $G_i = \{M_i, X_i\}$, де $M_i \subseteq M$; $X_i \subseteq X$; $i \in I = \{1, 2, \dots, n\}$; n – число компонент, на які розділяється граф.

Сукупність компонент $P(G)$ називається розділенням графа $G = \{M, X\}$ тоді, і лише тоді, коли

$$\forall G_i \in P(G) [G_i \neq \emptyset, i \in I; \\ \forall G_i, \forall G_j \in P(G) [G_i \cap G_j \Rightarrow M_i \cap M_j = \emptyset \& (X_i \cap X_j = \emptyset \vee X_i \cap X_j = X_{ij})], \\ \bigcup G_i = G \quad (5.14)$$

Іншими словами, сукупність компонент $P(G) = \{G_1, G_2, \dots, G_n\}$ являється розділенням графа $G = \{M, X\}$ тоді, коли будь-яка компонента із цієї сукупності не пуста, якщо для будь-яких двох компонент (друга також являється розділенням графа G) не рівні між собою, перетин множин їх вершин є пустим, і перетин ребер також пустим, або об'єднання ребер дорівнює підмножині ребер, а об'єднання всіх компонент дорівнює графу G .

Із виразу (5.14) видно, що множина ребер X_{ij} визначається підмножиною ребер $X_{ij} \subseteq X$, що попали у січення між компонентами G_i та G_j графа G . Якщо зазначити $|X_{ij}| = K_{ij}$ – кількість ребер, що з'єднують компоненти G_i та G_j графа G , то

$$K = \frac{1}{2} \sum_{i=1}^n \sum_{j=1}^n K_{ij}, i \neq j.$$

Розділимо граф-стіжок G (мал.5.29) на G_1, G_2, G_3, G_4 компоненти. З метою виявлення можливості поглинання якої-небудь змінної, що полягає у використанні залежності

$$G_i x_i \vee G_j \bar{x}_i = G_i, \quad (5.15)$$

розділення графа-стіжка G проведемо від кінцевих вершин до кореня графа.

Для чотирьох рівнів мал.5.29 одержимо наступне:

$$G_4 = \{M_4, (x_4 \vee \bar{x}_4)\}, M_4 = \{m_0^4, m_1^4, \dots, m_{15}^4\}; \\ G_3 = \{M_3, (x_3 \vee \bar{x}_3)\}, M_3 = \{m_0^3, m_1^3, \dots, m_7^3\}; \\ G_2 = \{M_2, (x_2 \vee \bar{x}_2)\}, M_2 = \{m_0^2, m_1^2, m_2^2, m_3^2\}; \\ G_1 = \{M_1, (x_1 \vee \bar{x}_1)\}, M_1 = \{m_0^1, m_1^1\}.$$

Для n -ої змінної (n -го рівня) одержимо

$$G_n = \{M_n, (x_n \vee \bar{x}_n)\}, M_n = \{m_0^n, m_1^n, \dots, m_n^n\};$$

Аналізуючи систему рівнянь, що одержана з розділенням графа-стіжка на компоненти, можна зробити висновок, що процес мінімізації УДНФ зводиться до проходження шляху від кінцевої вершини четвертого рівня до кореня графа з метою поглинання змінних на відповідних рівнях.

Розглянемо запропонований метод на прикладі 5.6. Побудова графа-стіжка функції

$$F_{\text{уднф}} = \forall (3, 4, 5, 7, 9, 11, 12, 13) = \bar{x}_1 \bar{x}_2 x_3 x_4 \vee \bar{x}_1 x_2 \bar{x}_3 \bar{x}_4 \vee \bar{x}_1 x_2 \bar{x}_3 x_4 \vee \\ \vee \bar{x}_1 x_2 x_3 x_4 \vee x_1 \bar{x}_2 \bar{x}_3 x_4 \vee x_1 \bar{x}_2 x_3 x_4 \vee x_1 x_2 \bar{x}_3 \bar{x}_4 \vee x_1 x_2 \bar{x}_3 x_4$$

здійснена на мал.5.29 (кінцеві вершини для мінтермів, що входять у функцію на малюнку затемнені).

Як видно з мал.5.29, внаслідок розділу графа G на 4-ому рівні, процес поглинання пройде між змінними мінтермів $m_4^4 - m_5^4$ та $m_{12}^4 - m_{13}^4$ (див. фор. 5.15). Внаслідок поглинання

на третьому рівні одержимо наступні мінтерми $m_2^3 = \bar{x}_1 \bar{x}_2 \bar{x}_3$ та $m_6^3 = \bar{x}_1 \bar{x}_2 x_3$. Процес поглинання для змінних цих мінтермів пройде на першому рівні і як результат одержимо – $\bar{x}_2 \bar{x}_3$.

На третьому рівні поглинання змінних пройде у мінтермів m_7^3 та m_5^3 (змінна x_4 для них спільна), тоді при проходженні шляху до кореня графа одержимо мінтерм $x_1 \bar{x}_2 \bar{x}_4$.

На другому рівні поглинання змінних пройде у мінтермів m_6^2 та m_7^2 (змінні x_1 та x_3 для них спільні), як результат одержимо – $\bar{x}_1 x_3 x_4$.

Тоді МДНФ має вигляд:

$$F_{\text{МДНФ}} = \bar{x}_2 \bar{x}_3 \vee x_1 \bar{x}_2 \bar{x}_4 \vee \bar{x}_1 x_3 x_4.$$

Як видно з наведеного прикладу, процес мінімізації логічної функції не вимагає проведення складаних процедур, які необхідно виконувати у попередніх методах.

Нами не розглянути евристичний метод мінімізації, для якого властива висока точність, завдяки постійному аналізу можливості виділення ряду Квайна та виключення із подальшого розгляду рядка з мінімальною вагою із деякої кількості рядків, що покривають стовпчики з однаковою мінімальною вагою та метод Рота, що допускає мінімізувати функції у довільній ДНФ.

Завдання для самоконтролю:

- Використавши метод Квайна і Мак-Класкі, знайти мінімальну форму запису функції $F = V(0, 1, 4, 11, 12, 14, 15)$
- Скласти логічну функцію чотирьох змінних і мінімізувати їх, використавши Карти Карно та Вейча:
 - $F=1$ на наборах 3, 6, 7, 11, 14, 15; $F=0$ – на всіх інших;
 - $F=1$ на наборах 0, 2, 4, 5, 8, 10, 12, 13; $F=0$ – на всіх інших.
- Мінімізувати з допомогою використання кубічних графів функцію $F = V(1, 2, 3, 5, 7)$.
- Для функцій F_1, F_2, F_3 , що задаються таблицею, записати вирази у вигляді УДНФ та УКНФ.

x_1	0	0	0	0	1	1	1	1
x_2	0	0	1	1	0	0	1	1
x_3	0	1	0	1	0	1	0	1
F_1	1	1	0	1	1	0	1	0
F_2	0	0	0	1	1	1	1	1
F_3	1	0	0	1	1	0	0	1

- Використавши граф-стіжок, мінімізувати функцію $F = V(0, 1, 3, 5, 7, 9, 11, 13)$.
- Знайти мінімальні ДНФ для функцій, що задані у п.4.

Глава шоста

6. Аналіз та синтез електронних цифрових автоматів

§ 6.1. Форми автоматного опису систем

[10, 11, 12, 17, 18, 20, 25]

Математичний апарат алгебри логіки застосовують до комбінаційних систем, в яких відсутні елементи пам'яті. Тому для аналізу цифрових автоматів, які містять логічні елементи та елементи пам'яті (тригери), спеціалісту недостатньо знати лише основи алгебри логіки, йому необхідно досконально вивчити основи теорії цифрових автоматів.

Цифровий автомат – це клас функціональних систем, який призначений для перетворення дискретної інформації, при переході із одного стану в інший, під впливом вхідних сигналів та збереження стану при відсутності останніх. Електронними цифровими автоматами є блоки, вузли, елементи обчислювальної техніки, засоби систем керування, ЕОМ, локальні електронні системи, великі інтегральні схеми та інші. У загальному випадку математичною моделлю цифрового автомата є скінченний автомат (СА).

$$CA = \{M_{\text{в}}, M_{\text{в}}, M_{\text{в}}, \varphi, F\}, \quad (6.1)$$

де $M_{\text{в}}, M_{\text{в}}, M_{\text{в}}$ – множини вхідних, вихідних і внутрішніх станів; φ – функція переходів; F – функція виходів.

Із вивченням СА використовують абстрактну та структурну теорію автоматів.

Абстрактний автомат – це скінченний автомат, елементи якого X, Z, A є символами вхідних, вихідних та внутрішніх змінних визначеної розмірності. В абстрактній теорії автоматів вивчають найбільш загальні закони їх поведінки без врахування скінченної структури автомата та фізичної природи інформації.

Інформацію, що характеризує автомат, представляють алфавітним способом, а саме:

$X = \{x_1, x_2, x_3, \dots, x_n\}$ – вхідний алфавіт;

$Z = \{z_1, z_2, z_3, \dots, z_n\}$ – вихідний алфавіт;

$A = \{a_1, a_2, a_3, \dots, a_n\}$ – алфавіт внутрішніх станів.

Функція переходів φ реалізує відображення $A \times X \rightarrow A$, функція виходів F – відображає $A \times X \rightarrow Z$ та $A \rightarrow Z$.

Із врахуванням значень функції виходів автомати ділять на два типи.

Автомат Мілі – це скінченний автомат, робота якого описується рівняннями:

$$\begin{aligned} A(n) &= \varphi\{A(n-1), X(n-1)\}, \\ Z(n-1) &= F\{A(n-1), X(n-1)\}, \end{aligned} \quad \text{де } n - \text{ такт в часі } t. \quad (6.2)$$

Автомат Мура – це скінченний автомат, робота якого описується рівняннями:

$$\begin{aligned} A(n) &= \varphi\{A(n-1), X(n-1)\}, \\ Z(n-1) &= F\{A(n-1)\}. \end{aligned} \quad (6.3)$$

Комбінаційний автомат – це скінченний автомат, що описується рівнянням $F_{CA} = \{X, Z, F\}$, в якому вихідний вектор Z залежить лише від вхідного вектора X . Такі автомати називають автоматами без пам'яті або без зворотних зв'язків. До них належать різні комбінаційні функціональні вузли: шифратори та дешифратори, суматори та напівсуматори, мультиплексори та демультіплексори та інші. Основні форми представлення логічних функцій, що описують роботу комбінаційних автоматів, викладені в § 5.5.

Таким чином, комбінаційний автомат є цифрова схема, функціонування якої може бути описано системою перемикальних функцій. Це можливо тоді, коли схема має один

незмінний внутрішній стан, а вихідні сигнали схеми повністю визначаються сукупністю вхідних сигналів у даний момент часу і не залежить від сигналів, що надійшли в попередній момент часу. Комбінаційні автомати називають ще примітивними.

Послідовісний автомат – це скінчений автомат, алгоритм функціонування якого описується рівняннями вигляду (6.2) або (6.3). Такі автомати називають ще автоматами з пам'яттю. До них належать різні функціональні вузли: реєстри, лічильники, оперативно-запам'ятовуючі пристрої, генератори чисел та інші.

Основні форми представлення логічних функцій, що описують роботу автоматів, являються: аналітична (6.2) та (6.3), таблична – таблиця переходів та виходів, граф автомата, мікропрограма.

Граф автомата – це, як правило, орієнтований граф, в якому множині вершин відповідає множина внутрішніх станів, а множині ребер (дуг) – множина можливих переходів із одного стану в інший (див. мал.5.5).

Таблиця переходів (схеми станів) – це матриця, кожному внутрішньому стану якої відводиться один рядок, а кожному вхідному набору (стану) – один стовпчик. Елемент a_{ij} матриці є внутрішній стан, в який переходить автомат стану a_i при вхідному векторі X_j . Приклад таблиці переходів показаний у § 5.1 (див. табл. 5.1).

Таблиця виходів – це матриця, аналогічна таблиці переходів, елемент Z_{ij} якої є вихідний стан (нуль або одиниця) при переході із внутрішнього стану a_i під впливом вхідного вектора X_j . Прикладом таблиці виходів є табл. 5.2 у § 5.1.

Сумішена таблиця переходів та виходів – це матриця, також аналогічна таблиці переходів. Елемент a_{ij} матриці є внутрішній стан, в який переходить автомат стану a_i під впливом вхідного вектора X_j із визначенням стану виходу (нуль або одиниця).

§ 6.2. Аналіз та синтез комбінаційних автоматів з одним виходом [10, 11, 16, 17, 18, 23, 25]

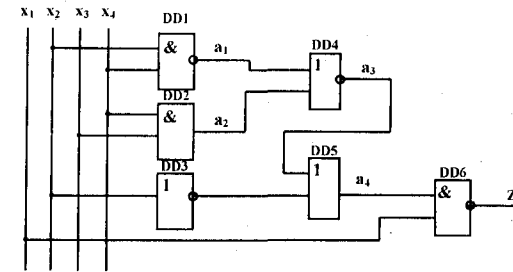
У процесі проектування будь-якого устаткування доводиться виконувати ряд дій, які можуть бути віднесені до завдань аналізу та синтезу. При аналізі автомата передбачається, що він задається у вигляді закінченої структури на логічних елементах. У процесі аналізу оцінюються деякі характеристики наявної структури автомата. Наприклад, можна скласти логічний вираз, який визначає перетворення інформації в автоматі, оцінити апаратні затрати на реалізацію структури, швидкодію, споживану потужність, розглянути створення у структурі імпульсних завад, затримок та інші характеристики.

Для прикладу розглянемо детально одну задачу аналізу автоматів: оцінимо можливості подальшого спрощення схеми автомата, показаного на мал. 6.1, який описується рівнянням:

$$Z = x_1(\bar{x}_2 \vee x_3x_4 \vee x_2x_4) \quad (6.4)$$

Зазначимо складові рівняння наступним чином:

$$x_2x_4 = a_1; x_3x_4 = a_2; \bar{x}_2 \vee x_3x_4 \vee x_2x_4 = a_3; \bar{x}_2 \vee x_3x_4 \vee x_2x_4 = a_4$$



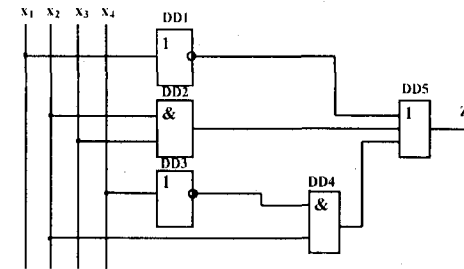
Мал. 6.1 Структурна схема цифрового автомата за рівнянням (6.4)

Після спрощення виразу (6.4) одержимо:

$$\begin{aligned} Z &= x_1(\bar{x}_2 \vee x_3x_4 \vee x_2x_4) = \bar{x}_1 \vee x_2(x_3x_4 \vee \bar{x}_2 \vee \bar{x}_4) = \bar{x}_1 \vee x_2x_3x_4 \vee x_2\bar{x}_2 \vee x_2\bar{x}_4 = \\ &= \bar{x}_1 \vee x_2x_3x_4 \vee x_2x_4 = \bar{x}_1 \vee x_2(x_3x_4 \vee \bar{x}_4). \end{aligned}$$

Оскільки $x_3x_4 \vee \bar{x}_4 = x_3x_4 \vee \bar{x}_4(1 \vee x_3) = x_3x_4 \vee \bar{x}_4 \vee x_3\bar{x}_4 = x_3 \vee \bar{x}_4$, остаточно

$Z = \bar{x}_1 \vee x_2(x_3 \vee \bar{x}_4) = \bar{x}_1 \vee x_2x_3 \vee x_2\bar{x}_4$. Спрощена структурна схема на тих самих елементах (в тому ж базисі) показана на мал.6.2.



Мал. 6.2. Спрощена структурна схема автомата

Спрощена схема містить меншу кількість логічних елементів та менше сумарне число виходів цих елементів.

При синтезі автоматів передбачається побудова їх структурної схеми, тобто визначення складу логічних елементів та сполучень між ними, при яких забезпечується перетворення вхідних цифрових сигналів у вихідні згідно з технічним завданням на розробку. У процесі синтезу автомата, у першу чергу ставлять питання про необхідність мінімізації апаратних витрат на автомат.

Розглянемо спочатку завдання синтезу автомата з одним виходом. Послідовність синтезу доцільно розбити на ряд етапів.

1. Записування умов функціонування автомата. Як вже зазначалось раніше, ці умови можуть бути задані на словах, при допомозі таблиць істинності або логічними виразами.

2. Складання структурної схеми, тобто зображення перемикальної функції у вигляді комбінаційної схеми на логічних елементах заданого базису.

3. Записування та мінімізація логічного виразу. Як правило, робиться на основі таблиць істинності. Якщо умови на етапі 1 задані у вигляді слів, то з врахуванням їх складається таблиця істинності. Якщо логічний вираз присутній на етапі 1, то виконується його мінімізація. У процесі мінімізації використовується перетворення за допомогою співвідношень алгебри логіки, а також алгебраїчні та графічні методи.

4. Записування мінімізованої структурної формули у заданому базисі. Оскільки реалізація автоматів на інтегральних схемах передбачає широке використання елементів І-НЕ, АБО-НЕ, І-АБО-НЕ (див. § 5.4), то часто виникає потреба відповідних перетворень структурних формул із врахуванням елементної бази, яка задається.

5. Складання структурної схеми, тобто зображення необхідних логічних елементів та сполучень між ними.

Покажемо етапи синтезу автоматів на прикладі 6.1.

Приклад 6.1.

Синтезувати чотиривходовий автомат на елементах І-НЕ, вихідний сигнал якого, при високому логічному рівні вмикає електричний двигун. Цей алгоритм заданий на словах. Йому відповідає таблиця істинності (табл.6.1).

Таблиця 6.1.

Таблиця істинності автомата

Номери наборів	X ₁	X ₂	X ₃	X ₄	F(I)
0	0	0	0	0	1
1	0	0	0	1	1
2	0	0	1	0	1
3	0	0	1	1	1
4	0	1	0	0	0
5	0	1	0	1	0
6	0	1	1	0	1
7	0	1	1	1	0
8	1	0	0	0	0
9	1	0	0	1	1
10	1	0	1	0	1
11	1	0	1	1	1
12	1	1	0	0	0
13	1	1	0	1	1
14	1	1	1	0	1
15	1	1	1	1	1

Високому рівневі на виході автомата відповідає логічна одиниця, тобто F(I)=1. Здійснимо поетапний синтез автомата.

1. Використовуючи таблиці істинності автомата, складемо УДНФ із тих наборів на вході, при яких автомат на виході має високий рівень, тобто для наборів 0, 1, 2, 3, 6, 9, 10, 11, 13, 14 та 15.

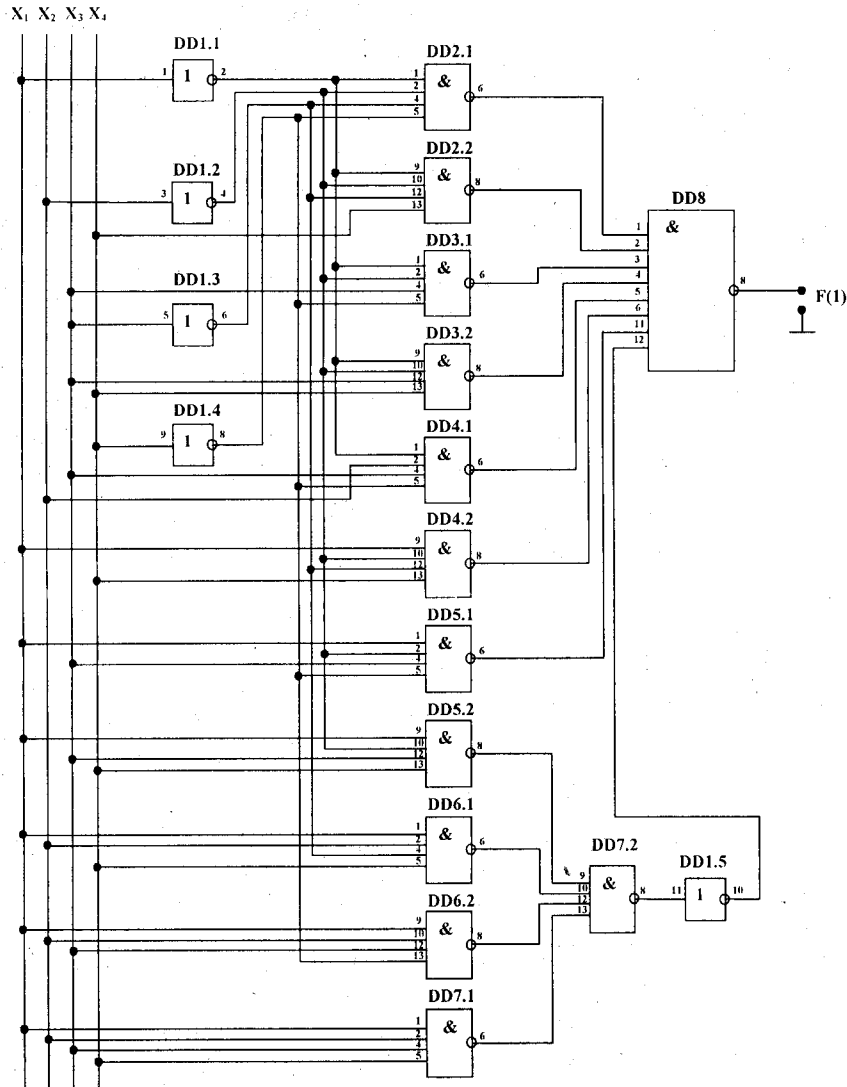
$$F(I) = \overline{x_1} \overline{x_2} \overline{x_3} \overline{x_4} \vee \overline{x_1} \overline{x_2} \overline{x_3} x_4 \vee \overline{x_1} \overline{x_2} x_3 \overline{x_4} \vee \overline{x_1} \overline{x_2} x_3 x_4 \vee \overline{x_1} x_2 \overline{x_3} \overline{x_4} \vee \overline{x_1} x_2 \overline{x_3} x_4 \vee \overline{x_1} x_2 x_3 \overline{x_4} \vee \overline{x_1} x_2 x_3 x_4 \vee x_1 \overline{x_2} \overline{x_3} \overline{x_4} \vee x_1 \overline{x_2} \overline{x_3} x_4 \vee x_1 \overline{x_2} x_3 \overline{x_4} \vee x_1 \overline{x_2} x_3 x_4 \vee x_1 x_2 \overline{x_3} \overline{x_4} \vee x_1 x_2 \overline{x_3} x_4 \vee x_1 x_2 x_3 \overline{x_4} \vee x_1 x_2 x_3 x_4.$$

Використаємо теорему де Моргана для переходу функції F(I) у заданий базис.

$$F(I) = \overline{\overline{\overline{\overline{\overline{\overline{x_1} \overline{x_2} \overline{x_3} \overline{x_4}} \cdot \overline{x_1} \overline{x_2} \overline{x_3} x_4} \cdot \overline{x_1} \overline{x_2} x_3 \overline{x_4}} \cdot \overline{x_1} \overline{x_2} x_3 x_4} \cdot \overline{x_1} x_2 \overline{x_3} \overline{x_4}} \cdot \overline{x_1} x_2 \overline{x_3} x_4} \cdot \overline{x_1} x_2 x_3 \overline{x_4}} \cdot \overline{x_1} x_2 x_3 x_4}.$$

2. Складемо структурну схему автомата до мінімізації. Ця схема необхідна для аналізу роботи автомата, а також для оцінки економічних показників синтезу методом співставлення кількості логічних елементів до мінімізації з їх кількістю після мінімізації.

Оскільки автомат реалізується на елементах І-НЕ, то використаємо інтегральні схеми серії К555, для яких цей елемент є базовим. Використовуючи умовне графічне зображення інтегральних схем серії К555, складемо схему автомата (див. мал.6.3). Схема складена з наступних інтегральних схем (ІС): DD1 – К555ЛН1, DD2-DD7 – К555ЛА1, DD8 – Л555ЛА2. Цифри на входах і виходах ІС означають номери їх пінок.



Мал. 6.3. Структурна схема автомата до мінімізації

3. Мінімізуємо функцію $F(1)$, що зменшить кількість логічних елементів, які необхідні для побудови автомата. Для мінімізації використовуємо табличний метод карт Карно та графічний метод графа-стіжка.

3.1. Табличний метод карт Карно.

Для складання карти Карно використаємо дані табл. 6.1. Карта Карно для функції $F(1)$ показана на мал. 6.4.

$$F(1) = \bar{x}_1 \bar{x}_2 \bar{x}_3 \bar{x}_4 \vee x_1 \bar{x}_2 \bar{x}_3 x_4 \vee x_1 \bar{x}_2 x_3 \bar{x}_4 \vee x_1 \bar{x}_2 x_3 x_4 \vee \bar{x}_1 x_2 \bar{x}_3 \bar{x}_4 \vee \bar{x}_1 x_2 \bar{x}_3 x_4 \vee \bar{x}_1 x_2 x_3 \bar{x}_4 \vee \bar{x}_1 x_2 x_3 x_4 \vee x_1 \bar{x}_2 \bar{x}_3 x_4 \vee x_1 \bar{x}_2 x_3 \bar{x}_4 \vee x_1 \bar{x}_2 x_3 x_4 \vee x_1 x_2 \bar{x}_3 \bar{x}_4 \vee x_1 x_2 \bar{x}_3 x_4 \vee x_1 x_2 x_3 \bar{x}_4 \vee x_1 x_2 x_3 x_4.$$

		$X_3 X_4$			
		00	01	11	10
$X_1 X_2$	00	1 (0)	1 (1)	1 (3)	1 (2)
	01	4	5	7	1 (6)
	11	12	1 (13)	1 (15)	1 (14)
	10	8	1 (9)	1 (11)	1 (10)

Мал. 6.4. Карта Карно для функції $F(1)$

Після склеювання комірок сусідніх компонентів одержимо:

$$\begin{aligned} f_{02} &= \bar{x}_1 \bar{x}_2 \bar{x}_3 \bar{x}_4 \vee x_1 \bar{x}_2 \bar{x}_3 \bar{x}_4 = \bar{x}_1 \bar{x}_2 \bar{x}_4. \\ f_{13} &= \bar{x}_1 \bar{x}_2 \bar{x}_3 x_4 \vee x_1 \bar{x}_2 \bar{x}_3 x_4 = \bar{x}_1 \bar{x}_2 x_4. \\ f_{913} &= x_1 \bar{x}_2 \bar{x}_3 \bar{x}_4 \vee x_1 \bar{x}_2 \bar{x}_3 x_4 = x_1 \bar{x}_2 \bar{x}_4. \\ f_{1115} &= x_1 \bar{x}_2 x_3 \bar{x}_4 \vee x_1 \bar{x}_2 x_3 x_4 = x_1 \bar{x}_2 x_4. \\ f_{1014} &= x_1 \bar{x}_2 x_3 \bar{x}_4 \vee x_1 \bar{x}_2 x_3 x_4 = x_1 \bar{x}_2 x_4. \\ f_{10213} &= x_1 \bar{x}_2 x_4 \vee x_1 \bar{x}_2 \bar{x}_4 = x_1 \bar{x}_2. \\ f_{9131511} &= x_1 x_3 \bar{x}_4 \vee x_1 x_3 x_4 = x_1 x_3. \end{aligned}$$

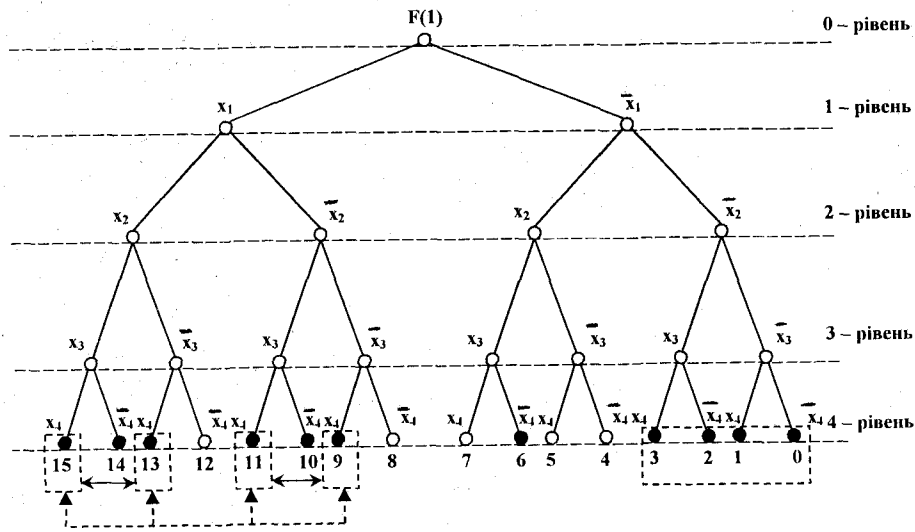
Проміжні функції $f_{02}, f_{03}, \dots, f_{9131511}$ одержані в результаті склеювання мінтермів (0 з 2), (1 з 3), ..., (9 з 13) – (11 з 15).

Враховувавши те, що шостий мінтерм не склеюється остаточно, мінімізована функція запишеться так:

$$F_{\min}(1) = f_{0213} \vee f_{9131115} \vee f_{1014} \vee m_6 = \bar{x}_1 \bar{x}_2 \vee x_1 x_3 \vee x_1 \bar{x}_2 x_4 \vee \bar{x}_1 x_2 x_3 \bar{x}_4.$$

3.2. Графічний метод з використанням графа-стіжка.

Граф-стіжок для функції $F(1)$ наведений на мал. 6.5.



Мал. 6.5. Граф-стіжок для функції F(1)

Як показано в § 5.6, вершини графа уособлюють змінні і при проходженні шляху від кінцевих вершин четвертого рівня (вони затемнені) до кореня графа одержимо УДНФ F(1). Мінтерми, які склеюються, взяті в прямокутники і з'єднані лініями із стрілками.

Використавши залежність 5.9 та розділивши граф-стіжок на компоненти, починаючи з четвертого рівня, методом співставлення вершин (змінних) інших рівнів, одержимо функції:

$$f_{0123} = \bar{x}_1 \bar{x}_2 - \text{результат співставлення вершин 0, 1, 2, 3.}$$

$$f_{9111315} = x_1 x_4 - \text{співставлення вершин 9, 11, 13, 15.}$$

$$f_{1014} = x_1 x_3 \bar{x}_4 - \text{співставлення вершин 10, 14.}$$

Враховавши те, що шоста кінцева вершина з іншими вершинами не поглинається, одержимо аналогічну, як у першому випадку, функцію вигляду:

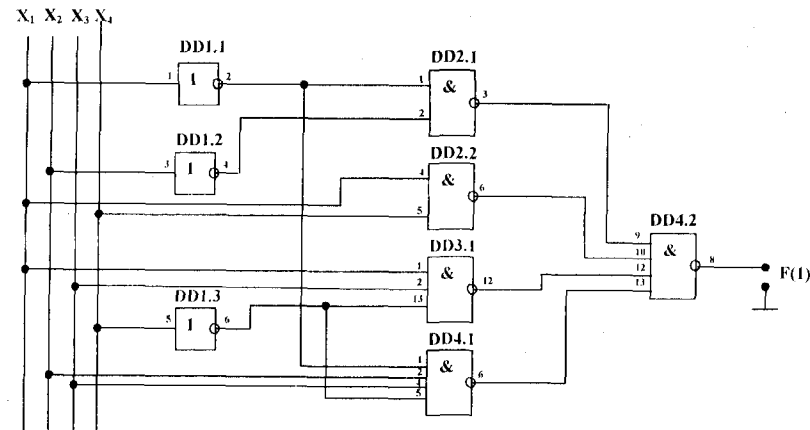
$$F_{\text{мін}}(1) = \bar{x}_1 \bar{x}_2 \vee x_1 x_4 \vee x_1 x_3 \bar{x}_4 \vee \bar{x}_1 x_2 x_3 \bar{x}_4.$$

4. Перейшовши до базису І-НЕ, остаточно одержимо:

$$F_{\text{мін}}(1) = \overline{\overline{x_1 x_2} \cdot \overline{x_1 x_4} \cdot \overline{x_1 x_3 x_4} \cdot \overline{x_1 x_2 x_3 x_4}}.$$

5. Структурна схема мінімізованої функції F(1) показана на мал. 6.6. Для складання використані наступні ІС:

DD1-K555ЛН1, DD2-K555ЛА3, DD3-K555ЛА4, DD4-K555ЛА1.



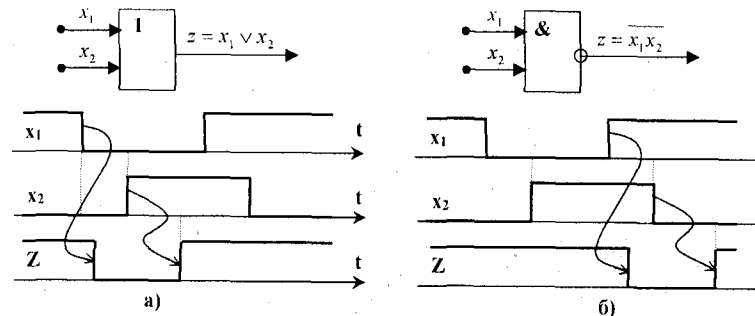
Мал. 6.6. Принципова схема для мінімізованої функції F(1)

§ 6.3. Вплив затримок в елементах та сполученнях на роботу цифрових автоматів

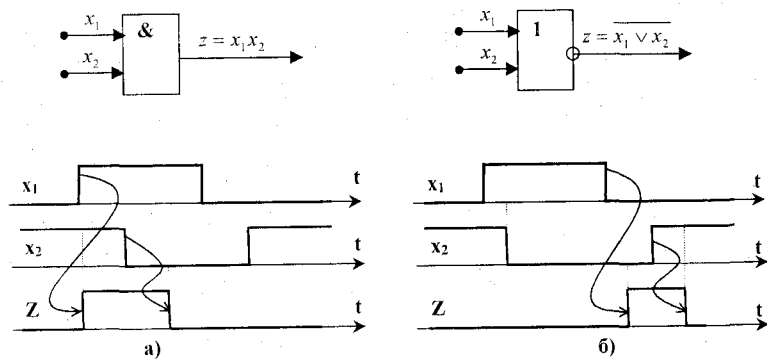
[10, 14, 16, 17, 18, 23, 25]

Важливими показниками для автоматів є оцінка впливу затримок в елементах та сполученнях. Такі затримки обмежують швидкодії схеми і можуть бути причиною появи на виході автомата короткочасних спотворених сигналів, які називають ризиками збоїв. Розрізняють статичні та динамічні ризики збоїв.

Статичні ризики збоїв виникають, коли стан виходу на логічній схемі повинен залишатися незмінним, але проходить його короткочасна зміна (див. мал. 6.7 та 6.8). Короткочасна зміна стану виходу типу 1-0-1 називається статичним 1-ризиком збою, а короткочасна зміна стану виходу типу 0-1-0 – статичним 0-ризиком збою.

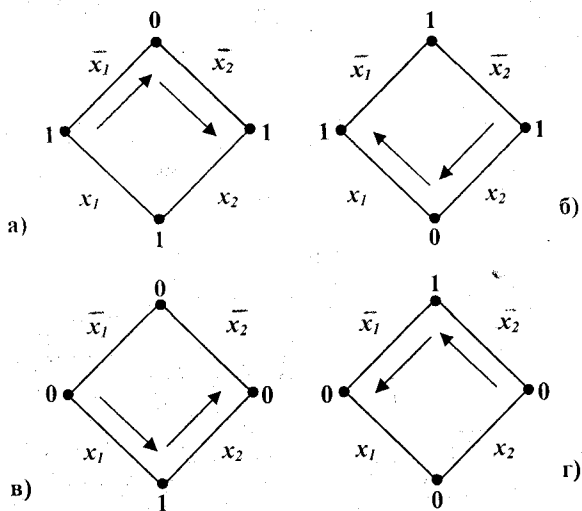


Мал. 6.7. Статичний 1-ризик збою: на елементі АБО – а; на елементі І-НЕ – б



Мал. 6.8. Статичний 0-ризик збою: на елементі І – а; на елементі АБО-НЕ – б

Можливість появи у синтезі логічних схем несправжніх переходів типу 1-0-1 або 0-1-0 може бути виявлена на етапі мінімізації логічної функції. Для реалізації цієї процедури покажемо ризики збою для функції АБО, І-НЕ, І та АБО-НЕ на неографах (див. мал. 6.9 а, б, в, г).



Мал. 6.9. Неографи функцій: АБО – а; І-НЕ – б; І – в; АБО-НЕ – г

Методика побудови неографів логічних функцій висвітлена у § 5.5. Із аналізу неографів для логічних функцій (див. мал. 6.7 та 6.8) видно, що поява несправжніх переходів для функції АБО зумовлюється переходом вхідного сигналу x_1 від високого рівня до низького та сигналу x_2 – від низького рівня до високого, для функції І-НЕ навпаки, що призводить до появи на виходах схем статичного 1-ризика збою. Для логічної схеми І статичний 0-ризик збою виникає при переході вхідного сигналу x_1 від низького рівня до високого та x_2 від високого рівня до низького, для функції АБО-НЕ навпаки. Переходи вхідних сигналів на різні рівні на малюнках показані стрілками. Як запобігти появі ризиків збою показано на прикладах.

Приклад 6.2.

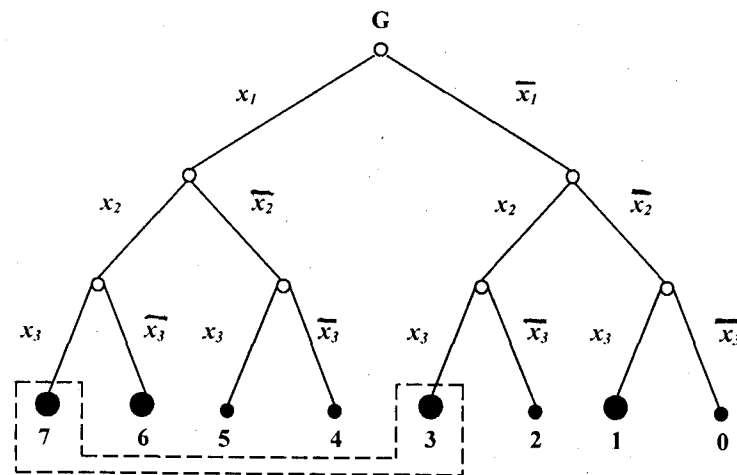
Функція $Z = f(x_1, x_2, x_3)$ задана таблицею істинності (табл. 6.2). Синтезувати схему, що реалізує функцію Z .

Розв'язок.

Для мінімізації функції використаємо метод графа-стіжка. Граф для функції Z показаний на мал. 6.10.

Таблиця 6.2

№ за/п	x_1	x_2	x_3	Z
1	0	0	1	1
2	0	1	1	1
3	1	1	1	1
4	1	1	0	1



Мал. 6.10. Граф-стіжок функції Z

Після проведення процедури мінімізації одержимо:

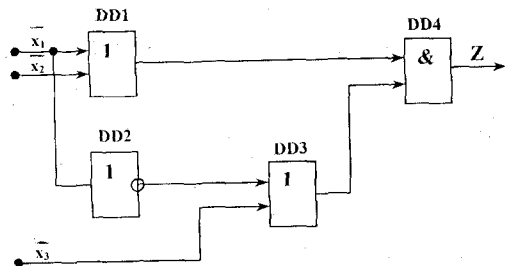
$$Z_{\min} = x_1 x_2 \vee x_1 x_3, \quad \text{або}$$

$$\bar{Z}_{\min} = (\bar{x}_1 \vee \bar{x}_2) \cdot (x_1 \vee x_3) \quad (6.5)$$

Із аналізу виразу (6.5) видно, що коли $\bar{x}_2 = \bar{x}_3 = 0$, то $Z = x_1 \cdot \bar{x}_1$. Вираз $x_1 \cdot \bar{x}_1$ являється умовою появи у схемі 0-ризик збою, що підтверджується часовою діаграмою роботи (мал. 6.8.а), неграфом (мал. 6.9,в) та синтезованою логічною схемою (мал. 6.11), що реалізує функцію (6.5).

Щоб синтезувати логічну схему, яка б гарантувала відсутність у ній статичного 0-ризик збою, необхідно при мінімізації функції Z здійснити проходження шляху від кінцевих вершин (3, 7) до кореня графа, як це показано на мал. 6.10.

У результаті появиться додатковий множник у раніше одержаній функції Z_{\min} , тобто:



Мал. 6.11. Структурна схема функції Z_{\min}

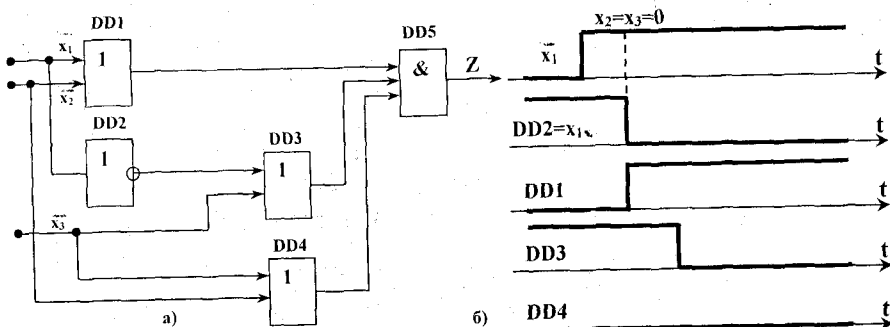
$$Z = x_1 x_2 \vee \bar{x}_1 x_3 \vee x_2 x_3$$

$$\bar{Z} = (\bar{x}_1 \vee \bar{x}_2) \cdot (x_1 \vee x_3) \cdot (\bar{x}_2 \vee \bar{x}_3)$$

Це не приведе до зміни значення функції, але гарантує від появи 0-ризик збою. Дійсно, при $\bar{x}_2 = \bar{x}_3 = 0$ одержимо

$$Z = (\bar{x}_1 \vee \bar{x}_2) \cdot (x_1 \vee x_3) \cdot (\bar{x}_2 \vee \bar{x}_3) = x_1 \bar{x}_1 \cdot 0 = 0.$$

Таким чином, наведена на мал. 6.12. а синтезована логічна схема і часова діаграма її роботи (мал.6.12. б) ілюструє відсутність 0-ризик збою.



Мал. 6.12. Структурна схема, що ліквідує статичний 0-ризик збою

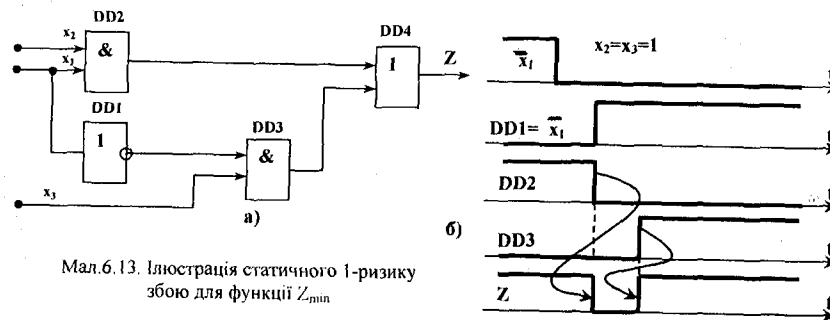
Приклад 6.3.

Функція $Z = f(x_1, x_2, x_3)$ задана таблицею істинності (табл. 6.2). Спроекувати схему, яка реалізує функцію Z.

Розв'язок.

Із попереднього прикладу відомо: $Z_{\min} = x_1 x_2 \vee \bar{x}_1 x_3$. Підставивши у це рівняння значення $x_2 = x_3 = 1$, одержимо $Z = x_1 \vee \bar{x}_1$. Цей вираз являється умовою появи статичного 1-ризик збою. Мал. 6.13 а, б ілюструють знайдений у синтезованій схемі статичний 1-ризик збою. Для його ліквідації необхідно провести мінімізацію функції Z, як показано на мал. 6.10. У результаті одержимо:

$$Z = x_1 x_2 \vee \bar{x}_1 x_3 \vee x_2 x_3 \quad (6.6)$$

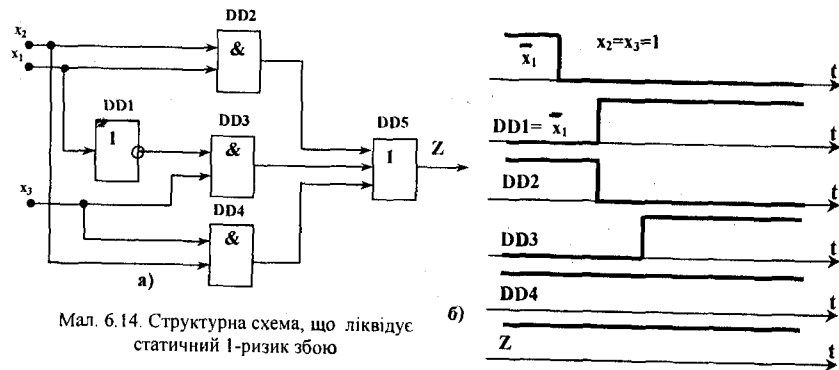


Мал.6.13. Ілюстрація статичного 1-ризик збою для функції Z_{\min}

Логічна схема, що реалізує рівняння (6.6), та часова діаграма її роботи показана на мал.6.14, а, б. Аналіз роботи заново синтезованої схеми та виразу (6.6) підтверджують ліквідацію 1-ризик збою. Дійсно, при $x_2 = x_3 = 1$ одержимо

$$Z = x_1 x_2 \vee \bar{x}_1 x_3 \vee x_2 x_3 = x_1 \vee \bar{x}_1 \vee 1 = 1,$$

що свідчить про відсутність 1-ризик збою.

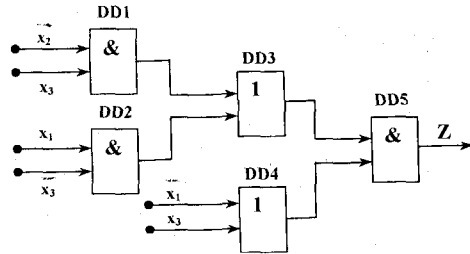


Мал. 6.14. Структурна схема, що ліквідує статичний 1-ризик збою

Динамічні ризики збоїв виникають у тих випадках, коли стан виходу схеми повинен змінюватись на протилежний, однак замість однократного переходу з одного рівня на інший проходять багатократні переходи (0-1-0-1 замість 0-1); (1-0-1-0 замість 1-0). Такі ситуації можуть з'явитися у схемах, де один який-небудь сигнал проходить по трьох і більше шляхах і кожний шлях має різні затримки часу. Покажемо це на прикладі.

Приклад 6.4.

Перевірити у схемі, що зображена на мал. 6.15, наявність динамічного ризику.



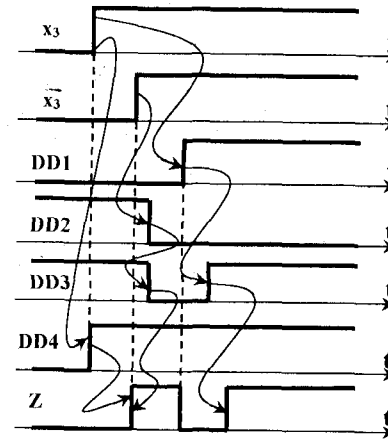
Мал. 6.15. Структурна схема функції Z

Розв'язок.

Оскільки сигнал x_3 подається на три різні входи логічних схем, то у схемі можливий динамічний ризик. Проведемо аналіз роботи схеми при різних вхідних сигналах. Якщо $x_1=0$ (перші чотири комбінації сигналів у табл. 6.3), то на виході елемента DD4 сигнал дорівнює одиниці, на виході DD2 сигнал дорівнює нулю і, як наслідок, на виході DD5 динамічний ризик бути не може. Якщо $x_2=1$, то на виходах DD1 та DD5 не може бути динамічного ризику. Таким чином, перевірка на шести наборах, коли $x_1=0$ або $x_2=1$, показала, що динамічний ризик збою відсутній.

Таблиця 2.3

№ за/п	x_1	x_2	x_3	Зміна x_3	Динамічний ризик наявний
1	0	0	0	0→1	НІ
2	0	0	1	1→0	НІ
3	0	1	0	0→1	НІ
4	0	1	1	1→0	НІ
5	1	0	0	0→1	Так, коли $t_{зат. DD1} > t_{зат. DD2}$
6	1	0	1	1→0	НІ
7	1	1	0	0→1	НІ
8	1	1	1	1→0	НІ



Мал. 6.16. Ілюстрація впливу динамічного ризику у схемі мал. 6.13

Аналіз роботи схеми за умови $x_1=1$, $x_2=0$ і при зміні сигналу x_3 від нуля до одиниці спонукає до можливого динамічного ризику збою на елементі DD5 (мал. 6.15). Це можливо, коли час затримки ($t_{зат}$) на виході DD1 більший часу затримки на виході DD2. На інших наборах вхідних сигналів динамічний ризик відсутній.

Оскільки логічні елементи, що входять у склад цифрових автоматів, перемикаються із затримкою, то при зміні у деякому часі вхідних сигналів, вихідні сигнали (коли вони змінюються від того) приймуть усталене значення лише після цього, коли закінчатимуться перехідні процеси у відповідних логічних елементах. На шляху від входу автомата до його виходу окремі логічні елементи вмикаються послідовно. Тому тривалість перехідних процесів буде залежати від кількості логічних елементів, які вмикаються у таку ланку. Методика, яка застосовується для визначення $t_{зат}$ у логічних елементах, передбачає використання в таких ланках однотипних елементів. Це дає змогу, при оцінці загальної затримки у такій ланці, додавати затримки окремих елементів.

При оцінці швидкодії автомата необхідно знати ту ланку логічних елементів між входами і виходами устаткування, яка буде містити найбільшу затримку, і додати затримки логічних елементів у цій ланці. Як правило, вона містить найбільшу кількість логічних елементів, що вмикаються один за одним послідовно. Однак можуть бути і винятки, коли у короткій ланці наявний елемент з великою $t_{зат}$. Тому, в загальному випадку необхідно аналізувати всі ланки логічних елементів від входів до виходів і виявити таку, яка дає найбільшу затримку. Покажемо це на прикладі.

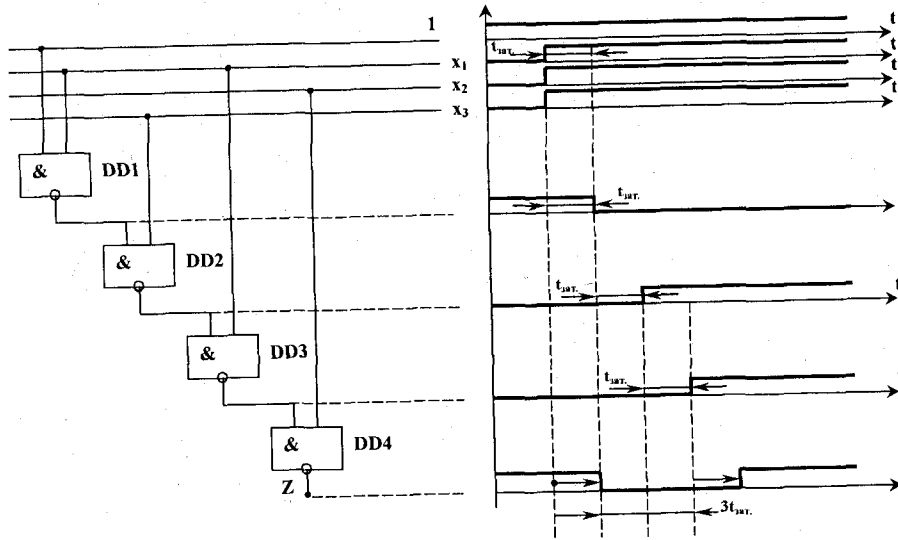
Приклад 6.5.

Визначити час затримки цифрового автомата, який заданий структурною формулою

$$Z = x_1 x_3 \cdot x_1 \cdot x_2$$

Розв'язок.

Допустимо, що вхідний сигнал змінюється з коду 100 на 111. Затримка у кожному логічному елементі однакова і дорівнює $t_{\text{зат}}$. Структурна схема автомата та часові діаграми для даного прикладу наведені на мал. 6.17.



Мал. 6.17. Структурна схема і часові діаграми функції Z.

Завдання для самоконтролю

1. Удосконалити схему автомата, що заданий функцією вигляду: $Z = x_1 \bar{x}_2 \vee \bar{x}_3 x_1$.
2. Синтезувати на елементах І-НЕ автомат, що описується УДНФ вигляду $Z = \bigvee (0, 1, 2, 3, 4, 5, 6, 10, 12, 13, 14)$. Для мінімізації функції використати метод графа-стіжка.
3. Синтезувати автомат, що заданий функцією $Z = \bigvee (0, 1, 5, 7, 11, 15)$ у базисі І-АБО-НЕ.
4. Синтезувати автомат, що заданий функцією $Z = f(\bar{x}_1 \bar{x}_3 \vee x_1 \bar{x}_2 \vee x_1 x_3 \bar{x}_2 \vee x_1 x_2 x_3)$, у базисі АБО-І-НЕ у вигляді І-НЕ.
5. Визначити, чи містять функції $Z_1 = x_1 \bar{x}_2 \vee x_3 x_1$; $Z_2 = \bar{x}_1 \bar{x}_3 \vee x_2 x_3$; $Z_3 = x_1 x_2 \vee x_3 x_1$ статичні ризики збою.

6. Визначити, чи наявні у схемі, яка задається функцією $Z = (\bar{x}_2 x_3 \vee x_1 \bar{x}_3) \cdot (\bar{x}_1 x_3 \vee x_2 x_1)$ динамічні ризики збою.

7. Визначити часову затримку схеми, яка задана функцією $Z = x_3 x_1 x_4 x_2 x_1$.

§ 6.4. Аналіз та синтез типових комбінаційних автоматів [10, 11, 12, 16, 18, 19]

Цифрові автомати містять велику кількість вузлів, які виконують різні логічні операції. Разом з тим є ряд вузлів, що найбільше зустрічаються на практиці, серед них і вузли комбінаційних автоматів. Як вже говорилося, до них належать функціональні вузли такі як: перетворювачі кодів, шифратори, дешифратори, мультиплексори, демультимплексори, суматори, напівсуматори та ін. Тому важливе значення має вивчення методів синтезу таких вузлів.

Слід відзначити, що на входи таких вузлів можуть подаватись інформаційні логічні сигнали та сигнали управління. Останні можуть визначати, наприклад, порядок передавання інформаційних вхідних сигналів на вихід або відігравати роль сигналів синхронізації.

У багатьох випадках, особливо при використанні в устаткуваннях вихідних кіл з трьома станами, в якості сигналу синхронізації виступають сигнали «Вибір мікросхеми» (CS). Наявність активного значення такого сигналу керування (для одних вузлів це може бути логічна одиниця, для інших – логічний нуль) дає змогу устаткуванню виконувати задані функції, відсутність його переводить схему у неробочий стан, тобто коли виходи схеми вимикаються від навантаження.

§ 6.4.1. Аналіз та синтез дешифраторів та шифраторів [10, 11, 12, 16, 18, 19, 20]

Дешифратори та шифратори (розширення даних та зворотне перетворення) є основними вузлами перетворювачів інформації.

Дешифратором назвемо цифровий автомат, який містить n входів і 2^n виходів і реалізує 2^n функцій, тобто:

$$Z_j(X) = \begin{cases} 1 & \text{при } X = j, \\ 0 & \text{при } X \neq j, \end{cases}$$

де $j = 0, 1, \dots, 2^n - 1$; $X = \sum_{i=1}^n x_i 2^{i-1}$, $x_i \in \{0, 1\}$

Кожна з функцій $Z_j(X)$ може бути записана у наступному вигляді:

$$\left. \begin{aligned} Z_0(X) &= \overline{x_n} \overline{x_{n-1}} \dots \overline{x_3} \overline{x_2} \overline{x_1}, \\ Z_1(X) &= \overline{x_n} \overline{x_{n-1}} \dots \overline{x_3} \overline{x_2} x_1, \\ Z_2(X) &= \overline{x_n} \overline{x_{n-1}} \dots \overline{x_3} x_2 \overline{x_1}, \\ &\dots \\ Z_{2^{n-2}}(X) &= x_n x_{n-1} \dots \overline{x_3} x_2 \overline{x_1}, \\ Z_{2^{n-1}}(X) &= x_n x_{n-1} \dots x_3 x_2 x_1. \end{aligned} \right\} (6.7)$$

Тобто, система функцій $Z_j(X)$ являє собою сукупність всіх можливих мінтермів, які можна створити від n змінних.

Розрізняють повні і неповні дешифратори. Кількість виходів повного дешифратора $N_{\text{вих}} = 2^n$, неповного $N_{\text{вих}} < 2^n$, де n – число двійкових розрядів (число входів). Таблиця істинності тривходового повного дешифратора з одиничним активним значенням вихідних сигналів Z наведена в таблиці 6.4.

Таблиця 6.4. Таблиця істинності тривходового дешифратора

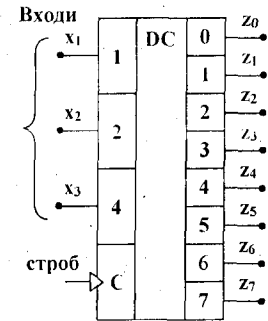
№ за/п	Входи				Виходи							
	C	x_1	x_2	x_3	z_0	z_1	z_2	z_3	z_4	z_5	z_6	z_7
1	1	0	0	0	1	0	0	0	0	0	0	0
2	1	0	0	1	0	1	0	0	0	0	0	0
3	1	0	1	0	0	0	1	0	0	0	0	0
4	1	0	1	1	0	0	0	1	0	0	0	0
5	1	1	0	0	0	0	0	0	1	0	0	0
6	1	1	0	1	0	0	0	0	0	1	0	0
7	1	1	1	0	0	0	0	0	0	0	1	0
8	1	1	1	1	0	0	0	0	0	0	0	1
9	0	*	*	*	0	0	0	0	0	0	0	0

Таблиця істинності належить стробуючому дешифраторові (містить вхід C) на три входи і на вісім виходів, умовне позначення якого наведене на мал. 6.18. На мал. 6.19 а, б відповідно представлені два способи стробування дешифраторів: шляхом введення додаткового входу у кожний елемент (стробування по виходу) або шляхом блокування всіх елементів через один із вхідних ланцюгів (стробування по входу). Таким чином, повний стробуючий по виходу одноступеневий дешифратор реалізує залежність:

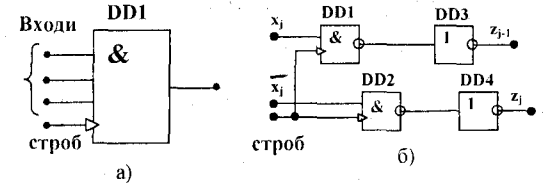
$$Z_i = m_i C, \quad i = 0, 1, \dots, 7,$$

де m_i – i -й мінтерм трьох вхідних змінних; C – сигнал дозволу (строб).

На практиці часто використовуються неповні дешифратори, що передбачають декодування лише окремих комбінацій вхідних сигналів.

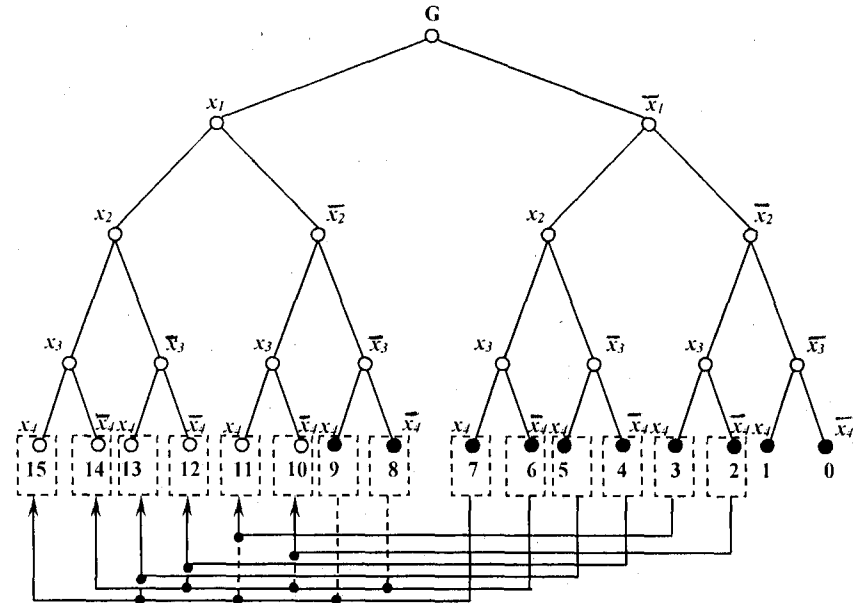


Мал. 6.18. Умовне позначення дешифратора



Мал. 6.19. Структурні схеми стробування дешифратора

Для неповних дешифраторів наявні індиферентні вхідні набори, які можна використовувати при мінімізації вхідних функцій. Наприклад, при проєктуванні дешифратора, який перетворює двійкову систему числення в десяткову, індиферентними мінтермами є $m_{10}, m_{11}, m_{12}, m_{13}, m_{14}, m_{15}$ (на графові-стіжку мал. 6.20 вони не затемнені). Після сумісної мінімізації на робочих та сусідніх до них індиферентних наборах одержимо наступні логічні рівняння (див. табл. 6.5).



Мал. 6.20. Граф-стіжок для мінімізації функції неповного дешифратора, що перетворює двійкову систему числення в десяткову

Таблиця 6.5. Таблиця мінімізованих функцій неповного дешифратора

№ за/п	Номери мінтермів, які склеювалися	Вигляд функції
1	—	$Z_0 = \overline{x_1} \overline{x_2} \overline{x_3} \overline{x_4}$
2	—	$Z_1 = \overline{x_1} \overline{x_2} \overline{x_3} x_4$
3	m ₂ , m ₁₀	$Z_2 = \overline{x_2} \overline{x_3} \overline{x_4}$
4	m ₃ , m ₁₁	$Z_3 = x_2 \overline{x_3} \overline{x_4}$
5	m ₄ , m ₁₂	$Z_4 = x_2 \overline{x_3} x_4$
6	m ₅ , m ₁₃	$Z_5 = x_2 x_3 \overline{x_4}$
7	m ₆ , m ₁₄	$Z_6 = x_2 x_3 x_4$
8	m ₇ , m ₁₅	$Z_7 = x_2 x_3 x_4$
9	m ₈ , m ₁₂ ; m ₁₀ , m ₁₄	$Z_8 = x_1 \overline{x_4}$
10	m ₉ , m ₁₁ ; m ₁₃ , m ₁₅	$Z_9 = x_1 x_4$

Із склеюванням мінтерм, які взяті в прямокутники (на мал. 6.20 вони з'єднані лініями із стрілками), слід враховувати значення функцій у системі рівнянь (6.7).

Відомо три способи реалізації системи функцій $Z_j(X)$: матричний (лінійний), каскадний та пірамідальний.

З матричним способом побудови дешифратора кожна із функцій $Z_j(X)$ реалізується окремо на n-вхідному елементі типу І. На входи елементів подаються необхідні можливі комбінації прямих та інвертованих значень розрядів слова, що дешифруються.

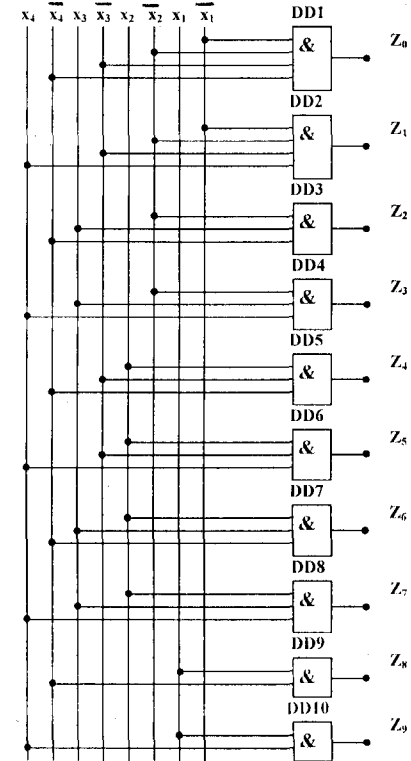
Для прикладу побудуємо матричний дешифратор для функцій табл. 6.5 (див. мал. 6.21).

Із аналізу структурної схеми мал. 6.21 видно, що з приходом кожного стробуючого імпульсу змінні у вхідних наборах повинні змінювати свої рівні. Для дешифратора мал. 6.21 вони наведені в табл. 6.6.

Таблиця 6.6. Таблиця істинності матричного дешифратора

Номер стробуючого імпульсу	x_1	$\overline{x_1}$	x_2	$\overline{x_2}$	x_3	$\overline{x_3}$	x_4	$\overline{x_4}$
0	*	*	*	*	*	*	*	*
1	0	1	0	1	0	1	0	1
2	0	1	0	1	0	1	1	0
3	—	—	0	1	1	0	0	1
4	—	—	0	1	1	0	1	0
5	—	—	1	0	0	1	0	1
6	—	—	1	0	0	1	1	0
7	—	—	1	0	1	0	0	1
8	—	—	1	0	1	0	1	0
9	1	0	—	—	—	—	0	1
10	1	0	—	—	—	—	1	0

Знак * означає будь-яке значення вхідної змінної з множини {0, 1}.

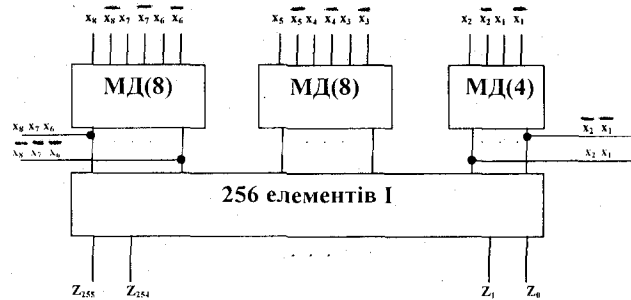


Мал. 6.21. Структурна схема матричного дешифратора, що перетворює двійкову систему числення у десяткову

Якщо кількість розрядів вхідного набору більша від кількості входів логічних елементів, то елементи І у матричному дешифраторі повинні являти собою з'єднання елементів І з меншою кількістю входів. У такому випадку раціонально застосувати інші способи побудови дешифраторів.

При каскадній побудові дешифратора вхідний набір розбивається на декілька груп, які являються частинами вхідного слова. Кількість таких груп може знаходитися в діапазоні від 2 до $\lfloor n/2 \rfloor$. Для кожної групи формуються всі її мінтерми шляхом побудови окремих матричних дешифраторів (МД). Усі дешифратори груп складають перший каскад дешифратора. У кожному наступному каскаді утворюються кон'юнкції мінтермів із попереднього каскаду.

Нехай, наприклад, $n=8$ і для побудови дешифратора повинні використовуватися лише тривходові елементи. Тоді структурна схема дешифратора має вигляд, що показаний на мал. 6.22.

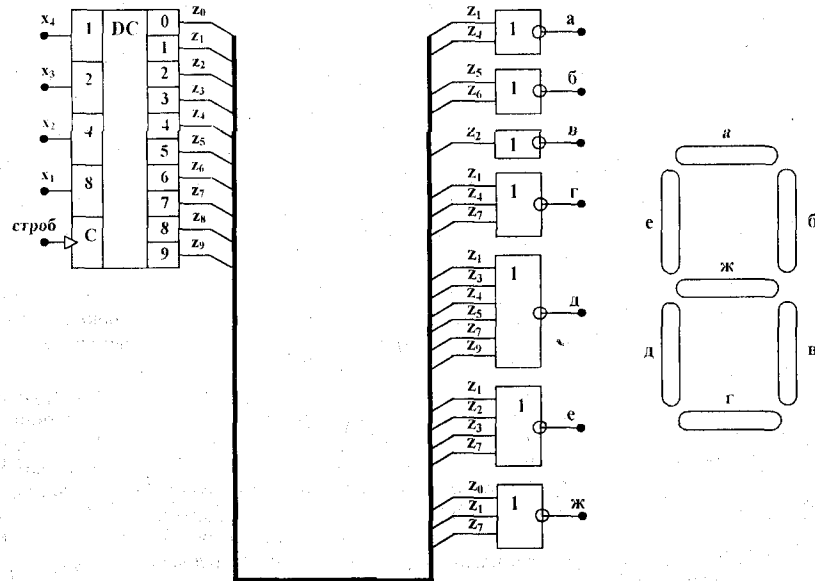


Мал. 6.22. Каскадний дешифратор на тривходових елементах при $n=8$.

Пірамідальний дешифратор відрізняється від каскадного тим, що в нього кожний мінтерм формується як кон'юнкція одного із мінтерма попереднього каскаду і одного із розрядів вхідного слова, яке не було використане при формуванні мінтермів.

Розглянемо деякі сфери застосування дешифратора у цифрових автоматах.

1. **Дешифратор в якості перетворювача двійково-десятькового коду** у семисегментний код в устаткуваннях візуальної індикації десяткових чисел на світловому табло (мал. 6.23). Таблиця істинності такого устаткування показана в табл. 6.7, на основі якої здійснюється синтез дешифратора.



Мал. 6.23. Дешифратор-перетворювач двійково-десятькового коду в семисегментний код

Таблиця 6.7

Таблиця істинності перетворювача

Десяткове число	Входи				Виходи дешифратора								Входи індикатора									
	x_7	x_2	x_3	x_4	z_0	z_1	z_2	z_3	z_4	z_5	z_6	z_7	z_8	z_9	а	б	в	г	д	е	ж	
0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	0
1	0	0	0	1	0	1	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0	0
2	0	0	1	0	0	0	1	0	0	0	0	0	0	0	1	1	0	1	1	0	1	1
3	0	0	1	1	0	0	0	1	0	0	0	0	0	0	1	1	1	1	1	0	0	1
4	0	1	0	0	0	0	0	0	1	0	0	0	0	0	0	1	1	0	0	1	1	1
5	0	1	0	1	0	0	0	0	0	1	0	0	0	0	1	0	1	1	1	0	1	1
6	0	1	1	0	0	0	0	0	0	1	0	0	0	0	1	0	1	1	1	1	1	1
7	0	1	1	1	0	0	0	0	0	0	0	1	0	0	1	1	1	0	0	0	0	0
8	1	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1	1	1	1	1	1
9	1	0	0	1	0	0	0	0	0	0	0	0	0	1	1	1	1	1	0	1	1	1

Систему рівнянь, залежностей вхідних сигналів на індикатори від вихідних сигналів дешифратора, складемо для випадків, коли на входи індикаторів надходять нульові рівні (див. табл. 6.7), тобто:

$$a = \overline{z_1} \vee \overline{z_4}; \quad б = \overline{z_5} \vee \overline{z_6}; \quad в = \overline{z_2}; \quad г = \overline{z_1} \vee \overline{z_4} \vee \overline{z_7}; \quad д = \overline{z_1} \vee \overline{z_3} \vee \overline{z_4} \vee \overline{z_5} \vee \overline{z_7} \vee \overline{z_9};$$

$$е = \overline{z_1} \vee \overline{z_2} \vee \overline{z_3} \vee \overline{z_7}; \quad ж = \overline{z_0} \vee \overline{z_1} \vee \overline{z_7}.$$

2. Для реалізації логічних функцій

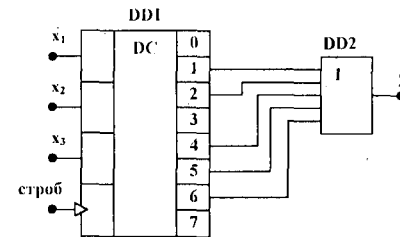
Нехай з допомогою дешифратора необхідно одержати логічну функцію вигляду:

$$Z = \overline{x_1} \overline{x_2} \vee \overline{x_2} \overline{x_3} \vee \overline{x_1} \overline{x_2} \overline{x_3}.$$

Ця функція задана у формі ДНФ, тому перетворимо її у форму УДНФ.

$$Z = \overline{x_1} \overline{x_2} (\overline{x_3} \vee x_3) \vee \overline{x_2} \overline{x_3} (\overline{x_1} \vee x_1) \vee \overline{x_1} \overline{x_2} \overline{x_3} = \overline{x_1} \overline{x_2} \overline{x_3} \vee \overline{x_1} \overline{x_2} x_3 \vee \overline{x_1} x_2 \overline{x_3} \vee \overline{x_1} x_2 x_3.$$

Одержаний вираз реалізується схемою, що представлена на мал. 6.24.



Мал. 6.24. Схема логічної функції на основі дешифратора

3. Для перетворення кодів. Як приклад, наведена таблиця істинності (табл. 6.8) перетворювача двійково-десятькового коду в код «три одиниці із п'яти» змінних (мал. 6.25), який реалізує рівняння вихідних функцій:

$$Q_0 = \overline{z_3 \vee z_4 \vee z_5 \vee z_6},$$

$$Q_1 = \overline{z_0 \vee z_1 \vee z_3 \vee z_7},$$

$$Q_2 = \overline{z_0 \vee z_2 \vee z_4 \vee z_8},$$

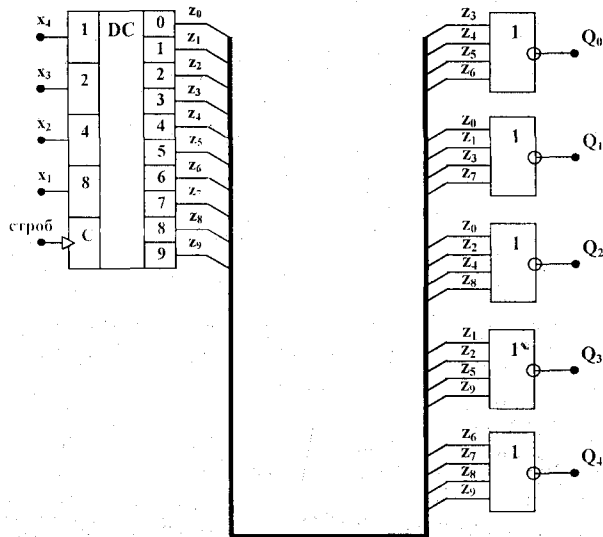
$$Q_3 = \overline{z_1 \vee z_2 \vee z_5 \vee z_9},$$

$$Q_4 = \overline{z_6 \vee z_7 \vee z_8 \vee z_9}.$$

Таблиця 6.8

Таблиця істинності перетворювача кодів

Десяткове число	Входи				Виходи DC	Виходи перетворювача				
	x_1	x_2	x_3	x_4		Q_0	Q_1	Q_2	Q_3	Q_4
0	0	0	0	0	z_0	1	0	0	1	1
1	0	0	0	1	z_1	1	0	1	0	1
2	0	0	1	0	z_2	1	1	0	0	1
3	0	0	1	1	z_3	0	0	1	1	1
4	0	1	0	0	z_4	0	1	0	1	1
5	0	1	0	1	z_5	0	1	1	0	1
6	0	1	1	0	z_6	0	1	1	1	0
7	0	1	1	1	z_7	1	0	1	1	0
8	1	0	0	0	z_8	1	1	0	1	0
9	1	0	0	1	z_9	1	1	1	0	0



Мал. 6.25. Структурна схема перетворювача коду "три одиниці із п'яти" змінних

4. Дешифратори можна також використовувати для формування синхроімпульсів, які використовуються у системах управління вузлів цифрових автоматів. Такі устаткування

Шифратори використовують для розв'язку задач зворотних до дешифрації, тобто перетворюють код «1 із N» у двійковий код. Повний шифратор має 2^n входів і n виходів. Таблиця істинності одного із варіантів восьмивходового повного шифратора з нульовими активними значеннями вхідних сигналів подається в табл. 6.9.

Таблиця 6.9.

Таблиця істинності повного шифратора

№ п/п	Вхідні сигнали								Вихідні сигнали		
	x_7	x_6	x_5	x_4	x_3	x_2	x_1	x_0	z_3	z_2	z_1
1	0	1	1	1	1	1	1	1	1	1	1
2	1	0	1	1	1	1	1	1	1	1	0
3	1	1	0	1	1	1	1	1	1	0	1
4	1	1	1	0	1	1	1	1	1	0	0
5	1	1	1	1	0	1	1	1	0	1	1
6	1	1	1	1	1	0	1	1	0	1	0
7	1	1	1	1	1	1	0	1	0	0	1
8	1	1	1	1	1	1	1	0	0	0	0

На основі таблиці можна записати відповідні структурні формули для z_3 , z_2 , z_1 , а потім виконати необхідні операції по їх спрощенню. Але в даному випадку можна використати особливість вхідних змінних, які у комбінаціях, що нас цікавлять, лише в одному розряді мають нульове значення. Це дозволяє не приходити до достатньо громіздких, у випадку восьми вхідних змінних, записів та перетворень структурних формул, а у загальному вигляді, подати значення вихідних змінних наступним чином:

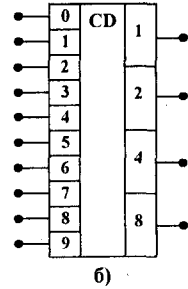
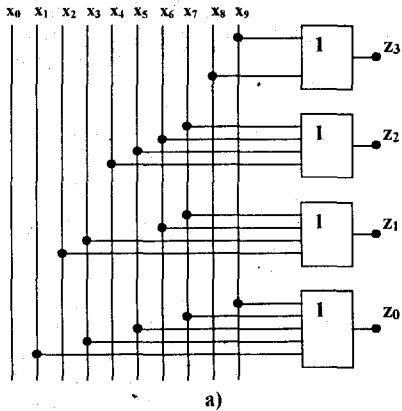
$$Z_3 = x_7 x_6 x_5 x_4, \quad Z_2 = x_7 x_6 x_3 x_2, \quad Z_1 = x_7 x_5 x_3 x_1.$$

Одне із основних застосувань шифратора – ввід даних з клавіатури, при якому натискання на клавішу з десятковими цифрами повинно неповним шифратором приводити до передачі в устаткування цієї цифри у двійковому коді (десять у чотири). Із таблиці істинності (табл. 6.10) одержуємо логічні рівняння для побудови структурної схеми шифратора. Дана функція реалізується шифратором на принциповій схемі (мал. 6.26, а). Умовне позначення шифратора (мал. 6.26,б)

Таблиця 6.10.

Таблиця істинності шифратора

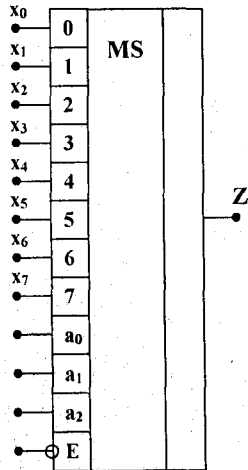
Десяткове число	Входи										Виходи			
	x_0	x_1	x_2	x_3	x_4	x_5	x_6	x_7	x_8	x_9	z_3	z_2	z_1	z_0
0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	1	0	0	0	0	0	0	0	0	0	0	1	0
2	0	0	1	0	0	0	0	0	0	0	0	0	1	0
3	0	0	0	1	0	0	0	0	0	0	0	0	1	1
4	0	0	0	0	1	0	0	0	0	0	0	1	0	0
5	0	0	0	0	0	1	0	0	0	0	0	1	0	1
6	0	0	0	0	0	0	1	0	0	0	0	1	1	0
7	0	0	0	0	0	0	0	1	0	0	0	1	1	1
8	0	0	0	0	0	0	0	0	1	0	0	1	0	0
9	0	0	0	0	0	0	0	0	0	1	1	0	0	1



Мал. 6.26. Структурна схема шифратора, що перетворює двійкову систему числення у десяткову – а, умовне позначення шифраторів – б

На практиці може виникнути потреба побудови й інших варіантів шифраторів, наприклад, таких, які використовують велику кількість розрядів вхідного сигналу.

§ 6.4.2 Аналіз та синтез мультиплексорів та демультимплексорів [10, 11, 12, 16, 17, 18, 19]



Мал. 6.27. Умовне позначення мультиплексора на вісім входів

Мультиплексор – це устаткування, що забезпечує комутацію на виході одного із декількох інформаційних вхідних сигналів відповідно до заданого коду на входах керування. Умовне позначення одного із варіантів мультиплексора наведено на мал. 6.27.

У залежності від комбінації сигналів управління $a_0 a_1 a_2$ він забезпечує комутацію одного із восьми інформаційних входів сигналів X_i на вихід Z . Сигнал синхронізації E в даному випадку має нульове активне значення, що дозволяє передачу інформації з одного із входів на вихід. Структурна формула, що визначає функціонування даного мультиплексора, має вигляд:

$$Z = \overline{E}(a_2 \overline{a_1} \overline{a_0} x_0 \vee a_2 \overline{a_1} a_0 x_1 \vee a_2 a_1 \overline{a_0} x_2 \vee a_2 a_1 a_0 x_3 \vee a_2 \overline{a_1} a_0 x_4 \vee a_2 \overline{a_1} a_0 x_5 \vee a_2 a_1 \overline{a_0} x_6 \vee a_2 a_1 a_0 x_7)$$

Із цього виразу можна замітити, що для кожного виходу X_i комбінації сигналів керування $a_0 a_1 a_2$ у мультиплексорі такі ж самі, як у дешифратора на вісім входів. Тому складовою частиною мультиплексора є дешифратор. Використовуючи дешифратор на чотири

входи, покажемо це на прикладі. На основі таблиці істинності (мал. 6.28, а) одержимо УДНФ вихідної функції:

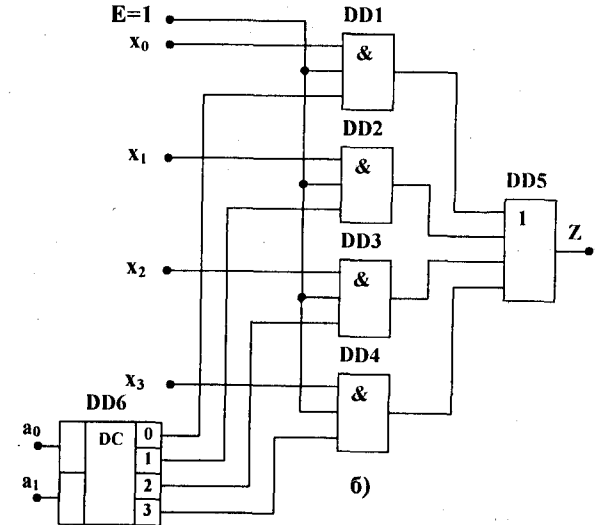
$$Z = x_0 \overline{a_1} \overline{a_0} E \vee x_0 \overline{a_1} a_0 E \vee x_1 a_1 \overline{a_0} E \vee x_1 a_1 a_0 E,$$

тобто $Z = \vee x_i \alpha_i E, i=0, 1, \dots, 2^{n-1}$, де α_i – мінтерм, що відповідає i -ому адресному набору.

Структурна схема мультиплексора, що реалізує функцію, наведена на мал. 6.28, б.

E	a ₁	a ₀	Z
1	0	0	x ₀
1	0	1	x ₁
1	1	0	x ₂
1	1	1	x ₃
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0

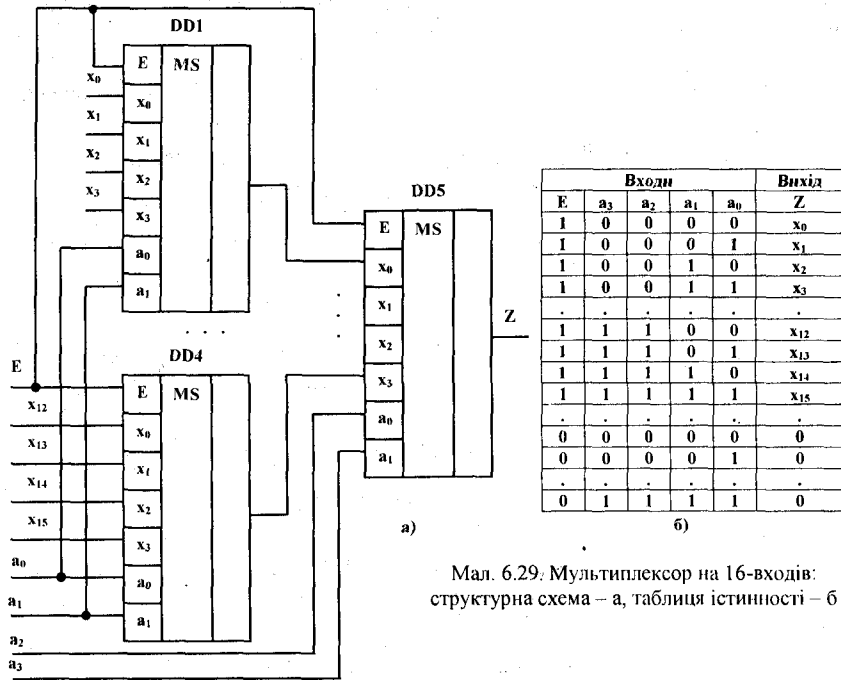
а)



б)

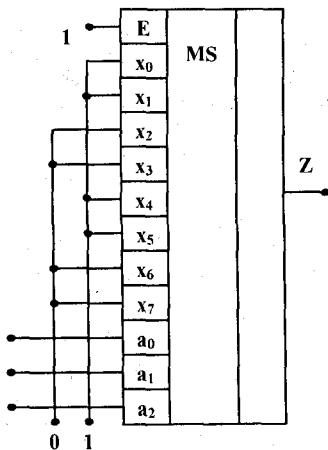
Мал. 6.28. Структурна схема мультиплексора на чотири входи – б; таблиця істинності – а

Мультиплексори можна розглядати як перетворювачі паралельної інформації у послідовну. Мультиплексори на велику кількість входів можна будувати із мультиплексорів з меншою кількістю входів. На мал. 6.29 наведений приклад побудови 16-ти входового мультиплексора побудованого на основі 4-ох входових.



Мал. 6.29: Мультиплексор на 16-входів: структурна схема – а, таблиця істинності – б

Розглянемо деякі особливості застосування мультиплексорів у цифрових автоматах.



Мал. 6.30: Мультиплексор, який використаний для генерації

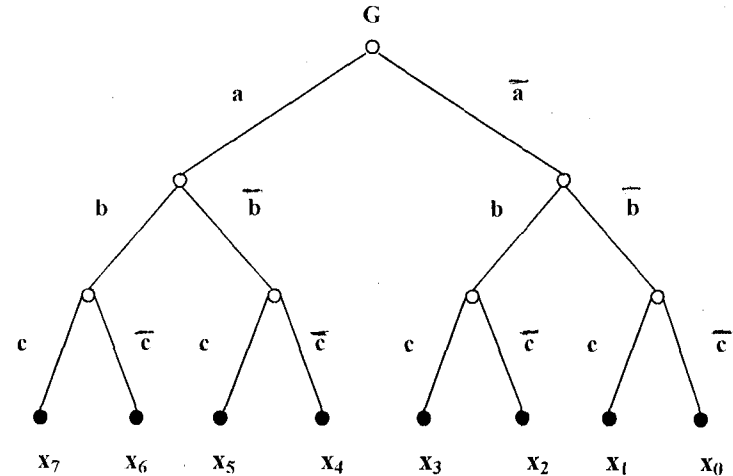
1. Для генерації двійкової послідовності цифр. Наприклад, двійкова послідовність, що складається із восьми цифр 11001100, може реалізуватись мультиплексором на вісім входів (мал. 6.30). Інформаційні входи мультиплексора у відповідності із заданою послідовністю з'єднується з шинами логічного нуля та одиниці.

2. Для реалізації логічних функцій. З'ясуємо, яким чином з допомогою чотиривходового мультиплексора реалізується функція трьох змінних $Z = f(a, b, c)$. Спочатку вибираємо будь-які комбінації із двох змінних, наприклад, ab , ac , bc , які приймаються за керуючі і подаються на адресні входи мультиплексора. На інформаційні входи, у цьому випадку, можуть бути подані чотири функції однієї (третьої) змінної. Наприклад, коли в якості керуючих сигналів вибрані змінні a і b , то на чотири входи мультиплексора можуть надходити змінні c , \bar{c} , 0 та 1.

На мал. 6.31 показаний граф-стіжок, який ілюструє відповідність інформаційних входів x_0, x_1, x_2, x_3

певним адресним (керуючим) входам мультиплексора на чотири входи.

Якщо прийняти сигнали a, b як керуючі, то входу x_0 будуть відповідати два ребра графа $\bar{a} = \bar{b} = 0$, $\bar{c} = x_0$, або $c = x_1$; входу x_2 – $\bar{a}b$, $\bar{c} = x_2$, або $c = x_1$ і т.д.



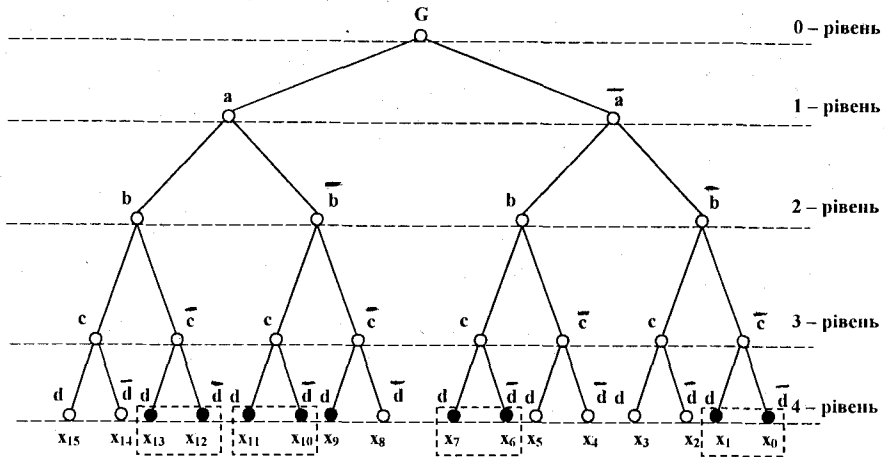
Мал. 6.31: Граф-стіжок, що ілюструє роботу чотиривходового мультиплексора

Таким чином, граф-стіжок розбивається на чотири підграфи з двома змінними. Тоді, мінімізувавши набір із чотирьох функцій двох змінних, одержуємо необхідні значення сигналів на інформаційних входах для реалізації логічної функції, що задається. Розглянемо це на прикладі.

Нехай необхідно реалізувати на мультиплексорі на чотири входи логічну функцію чотирьох змінних a, b, c, d :

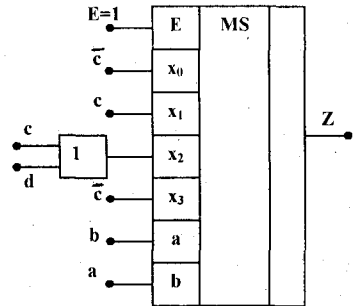
$$Z = \bigvee (0, 1, 6, 7, 9, 10, 11, 12, 13)$$

За керуючі сигнали прийняти a та b .



Мал. 6.32. Граф-стіжок для мінімізації функції $Z = \sqrt{(0,1,6,7,9,10,11,12,13)}$

Покажемо на графі-стіжку для чотирьох змінних (a, b, c, d) функцію Z , яка розміщена на малюнку 6.32 (кінцеві вершини для неї затемнені). Після мінімізації відповідних мінтермів на четвертому рівні (вони взяті в прямокутники) і допустивши, що: $x_0 = x_6 = x_{10} = x_{12} = \bar{d}$; $x_1 = x_7 = x_9 = x_{11} = x_{13} = d$ і допустивши, що $d \vee \bar{d} = 1$, одержимо



Мал. 6.33. Структурна схема мультимплексора, що реалізує функцію $Z = \sqrt{(0,1,6,7,9,10,11,12,13)}$.

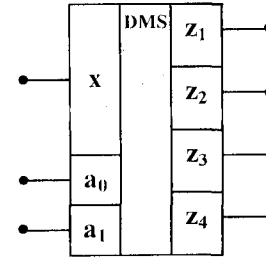
аналітичний вираз, що характеризує роботу мультимплексора, який реалізує функцію $Z = \bar{a}\bar{b}c \vee \bar{a}b\bar{c} \vee a\bar{b}c \vee ab\bar{c} (c \vee d) \vee abc$. Формула одержана наступним чином. При коді на керуючих входах $\bar{a}\bar{b}$ на інформаційні входи слід подати сигнал \bar{c} , оскільки $x_1 \vee x_0 = 1$.

Аналогічно, при керуючих входах $\bar{a}b$ та ab слід подати на інформаційні входи відповідно сигнали c та \bar{c} . При коді $\bar{a}\bar{b}$ – сигнал c або d , оскільки при мінімізації одержимо вираз:

$$x_{11} \vee x_{10} = 1, \quad \bar{a}\bar{b}c \vee \bar{a}\bar{b}cd = \bar{a}\bar{b}(c \vee d)$$

тобто $\bar{a}\bar{b}(c \vee d)$, оскільки $x_9 = d$. Структурна схема мультимплексора, що реалізує таку роботу, показана на мал. 6.33.

Демультимплексори – це устаткування, що призначене для комутації інформаційного вхідного сигналу в одному із декількох виходів відповідно до заданого коду на керуючих входах. Іншими словами, демультимплексори розв'язують завдання, обернені мультимплексорам. Умовне позначення демультимплексора на чотири інформаційні входи показано на мал. 6.34.

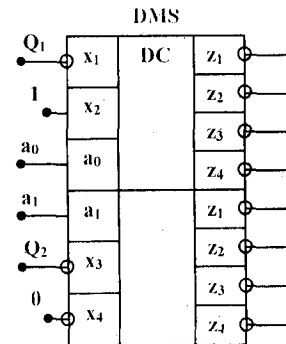


Мал. 6.34. Умовне позначення демультимплексора на чотири виходи

Формули, що визначають формування вихідних сигналів такого демультимплексора наступні:

$$z_1 = \bar{a}_0 \bar{a}_1 x, \quad z_2 = a_0 \bar{a}_1 x, \quad z_3 = \bar{a}_0 a_1 x, \quad z_4 = a_0 a_1 x.$$

Такими виразами визначаються вихідні сигнали дешифратора, в якому використовується керування по входу x . Тому в якості демультимплексора можна використовувати дешифратор, в якому інформаційний вхідний сигнал поданий на вхід керування. Прикладом є реалізація 2-ох розрядного демультимплексора з нульовими активним сигналами на основі двосного дешифратора (мал. 6.35). Якщо перший розряд Q_1 подати на вхід x_1 , а другий розряд Q_2 – на вхід x_3 , то в залежності від комбінації значень $a_0 a_1$ можна забезпечити комутацію цього 2-ох розрядного коду $Q_1 Q_2$ на будь-який із чотирьох виходів Z . На останні входи керування x_2 та x_4 можна подати постійне значення сигналів ($x_2 = 1, x_4 = 0$), або використати їх для організації керування передавання інформації на виходи (див. мал. 6.35).



Мал. 6.35. Структурна схема демультимплексора

§ 6.4.3. Аналіз та синтез комбінаційних суматорів
[10, 11, 12, 17, 18, 19, 20, 23, 25]

Суматори-це комбінаційні функціональні вузли, призначені для виконання операцій додавання двійкових чисел, а також для віднімання, множення, ділення, перетворення чисел в додатковий код та інші допоміжні операції.

Класифікація суматорів може бути наведена за трьома основними ознаками:

1. За кількістю входів (напівсуматори, однорозрядні та багаторозрядні суматори); багаторозрядні суматори, в свою чергу, діляться на послідовні та паралельно-послідовні; останні за способом організації міжрозрядних перенесень, діляться на схеми з послідовним та паралельним перенесеннями та з груповою структурою.

2. За методом подавання керуючих імпульсів: синхронні та асинхронні.

3. За системою числення: двійкові, двійково-десяткові та інші.

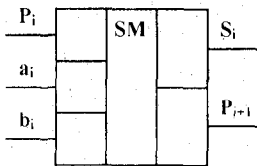
Розглянемо додавання двох цілих двійкових чисел без знаків А та В з формуванням їх суми S:

$$\begin{array}{r} A = 01101 \\ + B = 00111 \\ \hline S = 10100 \end{array}$$

Із прикладу випливає, що при формуванні результату у будь-якому i-ому розряді необхідно враховувати значення чисел в цьому розряді a_i та b_i , а також значення перенесення в цьому розряді із попереднього розряду p_i . Формується значення додавання в цьому розряді S_i і значення перенесення в послідовний розряд p_{i+1} . Суматор може бути побудований у вигляді комбінаційного устаткування, що містить схеми для додавання окремих розрядів (однорозрядні двійкові суматори). Умови функціонування однорозрядного двійкового суматора визначаються в табл.6.11.

Таблиця 6.11. Таблиця істинності двійкового однорозрядного суматора

Входи			Виходи	
a_i	b_i	p_i	S_i	p_{i+1}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1



Мал. 6.36. Зазначення однорозрядного суматора на функціональних схемах

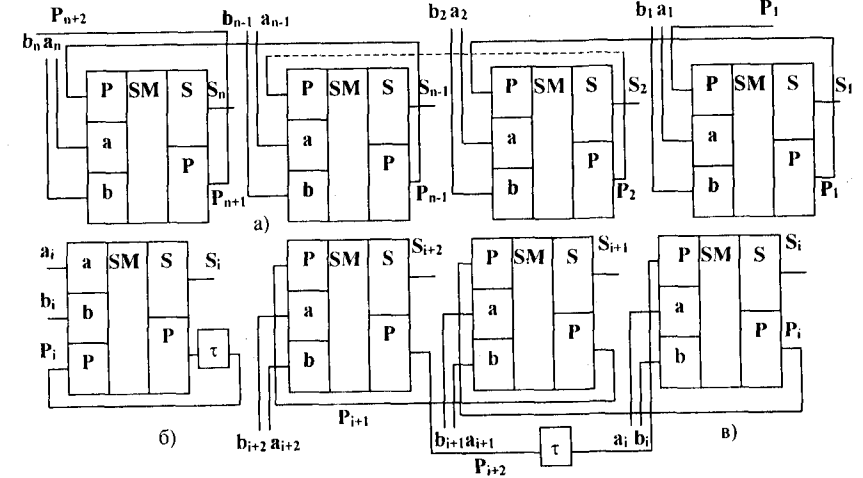
Аналізуючи табл. 6.11, можна зробити висновок, що однорозрядний цифровий суматор має три входи a_i , b_i , та p_i і два виходи S_i , p_{i+1} , де по розрядних значеннях a_i та b_i , складових А та В, і по значенню перенесення p_i із молодшого розряду, формується значення розрядної суми S_i та перенесення p_{i+1} в старший розряд.

Повний n-розрядний суматор може будуватись із однорозрядних суматорів різними способами. Розрізняють паралельні, послідовні та паралельно-послідовні суматори.

Побудова паралельного суматора ілюструється схемою на мал. 6.37,а. Кількість однорозрядних суматорів у такій схемі

дорівнює кількості розрядів чисел, що додаються. На вхід P_i при звичайному додаванні подається нуль, а при додаванні з циклічними перенесенням до входу P_i вмикається вихід P_{i+1} цього ж суматора.

Послідовний суматор будується за блок-схемою на мал.6.37,б, де τ – затримка на один такт. На відміну від паралельного суматора тут наявний один однорозрядний суматор. По



Мал. 6.37. Схема паралельного – а, послідовного – б, та паралельно-послідовного – в суматорів

розрядне значення доданків поступає на входи a_i та b_i по черзі: спочатку молодші розряди, тоді наступні по вазі і т.д. Значення перенесення P_i , що з'являється в i-тому такті при допомозі затримки τ , запамятовується на час одного такту і на початку i+1 такту подається на вхід P_{i+1} одночасно з задачею a_{i+1} та b_{i+1} .

Побудова паралельно-послідовних суматорів ілюструється блок-схемою на мал.6.37,в. У цьому випадку n-розрядні слова А та В розбиваються на декілька напівслів по m розрядів кожне. На мал.6.37,в m=3. На схемі суматора напівслова подаються послідовно, однак додавання напівслів проходить паралельно.

Розглянемо синтез схем однорозрядного суматора у відповідності з наведеною раніше табл.6.11. УДНФ двох вихідних функцій мають вигляд:

$$\begin{aligned} S_i &= \bar{a}_i \bar{b}_i p_i \vee \bar{a}_i b_i \bar{p}_i \vee a_i \bar{b}_i \bar{p}_i \vee a_i b_i p_i, \\ P_{i+1} &= \bar{a}_i b_i p_i \vee a_i \bar{b}_i p_i \vee a_i b_i \bar{p}_i \vee a_i b_i p_i. \end{aligned} \quad (6.8)$$

Використовуючи різні варіанти перетворення цих функцій, можна реалізувати велику кількість структур однорозрядних двійкових суматорів. Як приклад, розглянемо один із варіантів побудови суматора на базових елементах І-НЕ. Виконаємо перетворення функцій P_{i+1} :

$$\begin{aligned} P_{i+1} &= \bar{a}_i b_i p_i \vee a_i \bar{b}_i p_i \vee a_i b_i \bar{p}_i \vee a_i b_i p_i = \bar{a}_i b_i p_i \vee a_i (\bar{b}_i \vee b_i) \vee a_i b_i \bar{p}_i = \\ &= \bar{a}_i b_i p_i \vee a_i p_i \vee a_i b_i \bar{p}_i = \bar{a}_i b_i p_i \vee a_i (b_i \bar{p}_i \vee p_i), \end{aligned}$$

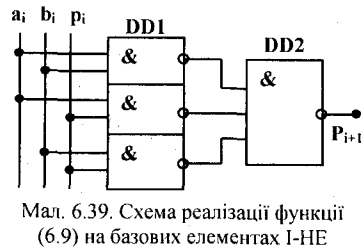
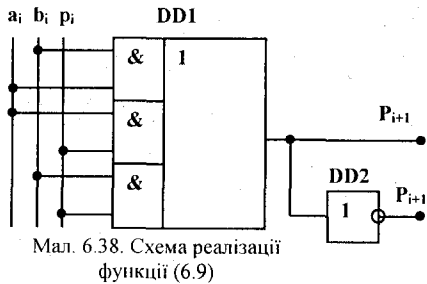
оскільки $b_i \bar{p}_i \vee p_i = b_i \bar{p}_i \vee p_i (b_i \vee 1) = b_i \bar{p}_i \vee b_i p_i \vee p_i = b_i \vee p_i$, то

$$P_{i+1} = \overline{a_i} b_i p_i \vee a_i (b_i \overline{p_i} \vee p_i) = \overline{a_i} b_i p_i \vee a_i (b_i \vee p_i) = \overline{a_i} b_i p_i \vee a_i b_i \vee a_i p_i = b_i (\overline{a_i} p_i \vee a_i) \vee a_i p_i = b_i (p_i \vee a_i) \vee a_i p_i = a_i b_i \vee a_i p_i \vee b_i p_i.$$

Як видно, функція P_{i+1} спрощується і скінчене значення

$$P_{i+1} = a_i b_i \vee a_i p_i \vee b_i p_i, \quad (6.9)$$

може бути реалізоване схемою мал.6.38.



Перейшовши на базові елементи І-НЕ, вираз (6.9) прийме вигляд:

$$P_{i+1} = a_i b_i \cdot a_i p_i \cdot b_i p_i, \text{ який реалізується схемою мал.6.39.}$$

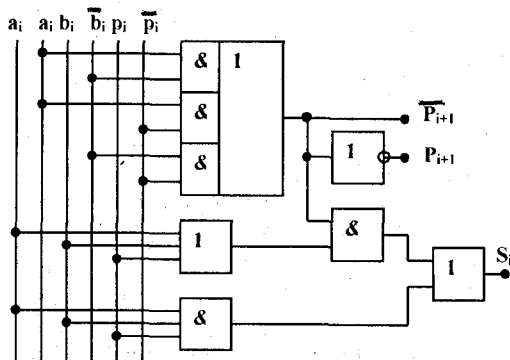
Спростимо вираз функції S_i у формулі (6.8). Для цього додамо до УДНФ функції S_i кон'юнкції вигляду $a_i a_i \overline{b_i}$, $a_i a_i p_i$, $\overline{a_i} b_i \overline{b_i}$, $\overline{a_i} p_i p_i$, $b_i b_i \overline{p_i}$, $b_i p_i \overline{p_i}$, що мають нульове значення. Одержимо:

$$S_i = \overline{a_i} b_i p_i \vee \overline{a_i} b_i \overline{p_i} \vee \overline{a_i} b_i p_i \vee a_i \overline{b_i} \overline{p_i} \vee a_i \overline{b_i} p_i \vee a_i \overline{a_i} \overline{b_i} \vee a_i \overline{a_i} p_i \vee \overline{a_i} b_i \overline{b_i} \vee \overline{a_i} p_i \overline{p_i} \vee b_i b_i \overline{p_i} \vee b_i p_i \overline{p_i} = a_i b_i p_i \vee a_i (b_i \overline{p_i} \vee a_i \overline{b_i} \vee a_i p_i) \vee b_i (\overline{a_i} p_i \vee \overline{a_i} b_i \vee b_i \overline{p_i}) \vee p_i (\overline{a_i} b_i \vee \overline{a_i} p_i \vee b_i \overline{p_i}) = a_i b_i p_i \vee (a_i \vee b_i \vee p_i) \cdot (\overline{a_i} b_i \vee \overline{a_i} p_i \vee b_i \overline{p_i}).$$

Вираз в останніх дужках є запереченням функції P_{i+1} (див.фор.6.9). Таким чином, можна записати, що

$$S_i = a_i b_i p_i \vee (a_i \vee b_i \vee p_i) \overline{P_{i+1}}, \quad (6.10)$$

а відповідна схема суматора представлена на мал.6.40.



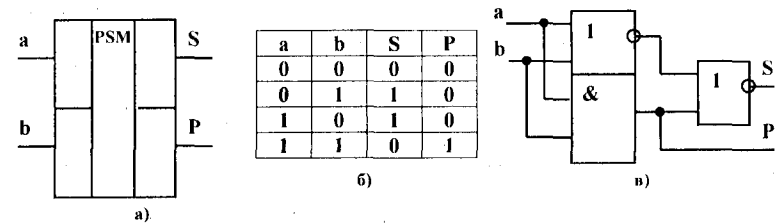
У комбінаційних функціональних вузлах використовують схеми напівсуматорів з двома входами (а, b) та двома виходами (S, P), де виробляється сигнал суми та перенесення. З таблиці істинності (мал.6.41,б) видно наступне:

$$S = \overline{a} b \vee a \overline{b} = (a \vee b) (\overline{a} \vee \overline{b}), \quad p = ab, \quad (6.11)$$

Використовуючи теорему де Моргана для виразу (2.11), одержимо:

$$S = \overline{a \vee b \vee ab}, \quad p = ab, \quad (6.12)$$

що реалізується структурною схемою мал.6.41.



Мал. 6.41. Структурна схема напівсуматора – в, таблиця істинності – б, умовне позначення – а.

Синтез десятикових однорозрядних комбінаційних суматорів

В інженерних розрахунках застосовують комбінаційні суматори, в яких обчислення здійснюються у десятиковій системі числення. Переваги таких обчислень наступні: простота програмування, можливість індикації проміжних та кінцевих результатів без перетворень з однієї системи числення у іншу. На практиці використовується двійково-десятькова система числення, коди якої мають вагу 8 4 2 1 (повторення одиниць у молодшому розряді здійснюється через раз, у другому розряді, поряд із молодшим через два і т.д.).

Труднощі у побудові таких суматорів, за аналогією з побудовою двійкових, очевидні. Якщо у двійковому суматорі необхідно реалізувати дві функції від трьох двозначних змінних, то у випадку десятикового суматора необхідно реалізувати п'ять функцій від дев'яти двозначних змінних – по чотири змінних для кожного десятикового числа і одна змінна – перенесення із молодшого розряду. Виникають ускладнення при мінімізації такої функції, оскільки УДНФ містила б десятки диз'юнктивних членів.

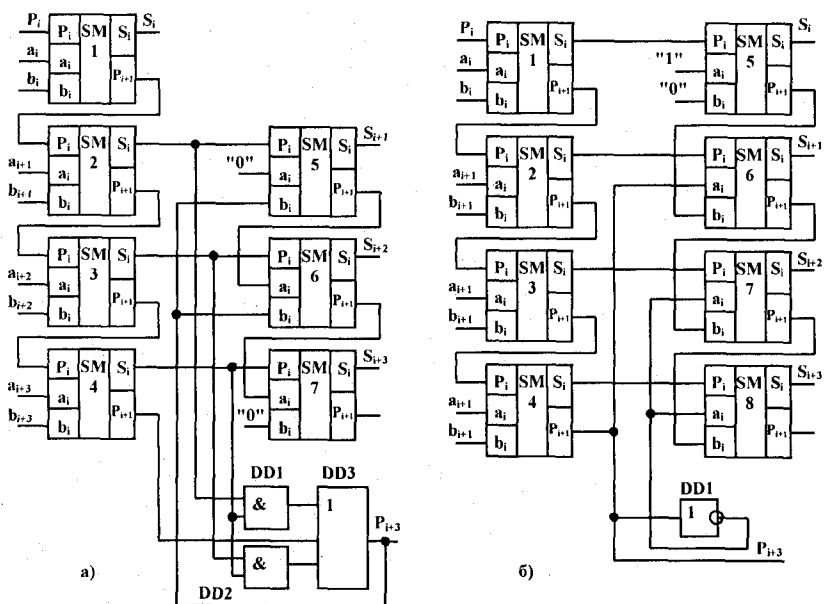
Задачу побудови десятикових однорозрядних суматорів розв'язують у два етапи. На першому етапі додають двійкові коди десятикових чисел за правилами двійкової арифметики. На другому етапі проводиться корекція результату шляхом додавання або віднімання деякої поправки, величина якої пов'язана з величиною некоректованого результату. При цьому можуть виникнути наступні три випадки:

1. Результат, одержаний на першому етапі, менший десяти. У цьому випадку корекція не потрібна. Результат подається чотирма двійковими розрядами, а перенесення у старший розряд відсутнє.

2. Результат першого етапу знаходиться у межах від десяти до п'ятнадцяти. Тут необхідно передати одиничний сигнал перенесення у старший десятиковий розряд, у даному десятиковому розряді із одержаної суми слід відняти поправку, яка дорівнює десять.

3. Результат першого етапу знаходиться у межах від шістнадцяти до дев'ятнадцяти. У цьому випадку необхідно передати одиницю переносу у старший десятиковий розряд. Однак при цьому сума у даному десятиковому розряді зменшиться зразу на шістнадцять, у той час як вона повинна бути зменшена лише на десять. Тому необхідна корекція – додавання шести.

Слід зауважити, що у другому випадку корекція може бути уведена так само, як і у третьому, оскільки віднімання числа десять може бути замінено додаванням з його доповняльним кодом, яким і являється код числа шість. Доповняльний код числа десять є двійкове число 0110, тобто код числа шість (див. § 6.4.4). У тому випадку, коли десяткові числа будуть подані у код з надлишком три, і таким самим кодом повинен бути поданий результат, перенесення у старший розряд формується за правилами додавання двійкових чисел, а корекція суми полягає або у відніманні числа три, коли перенесення відсутнє, або у додаванні числа три при наявності перенесення у старший десятковий розряд. Із врахуванням вищевикладеного будуть схеми однорозрядних десяткових суматорів. Для коду, який має вагу 8, 4, 2, 1, десятковий суматор показаний на мал.6.42,а.



Мал. 6.42. Структурна схема десяткового суматора: для коду, що має вагу 8, 4, 2, 1 – а; для коду з надлишком три – б

Тут лівий ряд суматорів здійснює перший етап додавання. Наявність сигналу перенесення на виході старшого двійкового розряду означає, що результат першого етапу більший або рівний шістнадцяти. Крім того, перенесення у старший десятковий розряд повинен формуватись у тих випадках, коли сума більша або рівна десяти, тобто тоді, коли в її двійковому представленні будуть одержані коди 1010, 1011, 1100, 1101, 1110, 1111. Для виявлення таких кодів необхідна схема із двох елементів І. Другий ряд суматорів здійснює додавання коректуючих поправок.

Для коду з надлишком три схема десяткового суматора показана на мал.6.42,б. Аналогічно, як і у першому випадку, лівий ряд суматорів здійснює перший етап десяткового додавання. Перший ряд проводить або додавання прямого коду три (коли наявне

перенесення із даного десяткового розряду), або додавання її доповняльному коду, рівного тринадцяти (коли сигнал перенесення рівний нулю). Наведену схему мал.6.42,а можна спростити, замінивши в другому рядку три однорозрядні суматори, напівсуматорами. Вище описані коди суматорів наведені в табл. 6.12.

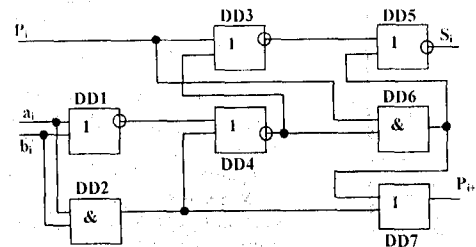
Таблиця 6.12. Значення вхідних кодів десяткових суматорів

Десяткове число	Вхідний код							
	Код з вагою 8, 4, 2, 1				Код з надлишком три			
	X ₄	X ₃	X ₂	X ₁	X ₄	X ₃	X ₂	X ₁
0	0	0	0	0	0	0	1	1
1	0	0	0	1	0	1	0	0
2	0	0	1	0	0	1	0	1
3	0	0	1	1	0	1	1	0
4	0	1	0	0	0	1	1	1
5	0	1	0	1	1	0	0	0
6	0	1	1	0	1	0	0	1
7	0	1	1	1	1	0	1	0
8	1	0	0	0	1	0	1	1
9	1	0	0	1	1	1	0	0

Сучасна інтегральна технологія дає змогу будувати матричні схеми десяткових суматорів. Такі схеми можуть бути побудовані з допомогою теорії графів для багатозначних перемикальних функцій.

Паралельні суматори будуються із однорозрядних суматорів, з'єднаних послідовно від молодшого розряду до старшого разом із ланцюгами перенесення. Однак така схема суматора характеризується низькою швидкістю, оскільки формування сигналів S_i та P_{i+1} у кожному і-тому розряді проводиться лише після того, коли надійде сигнал перенесення з і-1-го розряду. Таким чином, швидкість суматора визначається часом проходження сигналу по ланцюгу перенесення. Тому при побудові паралельного суматора слід особливу увагу звертати на реалізацію ланцюга перенесення.

Один із таких методів передбачає таку побудову ланцюга перенесення, при якій між входом P_i та виходом P_{i+1} однорозрядного суматора буде найменше число логічних елементів. Для суматора, що побудований на дискретних елементах І, АБО, НЕ, такої вимозі найбільш повно відповідає схема на мал.6.41,в, побудована на основі формули (6.12). Тут S = a ∨ b ∨ ab, P = ab. У такому суматорі сигнал перенесення проходить через двоелементну схему І-АБО. На інші входи суматора подаються сигнали a_i та b_i, відповідно, можуть бути обчислені по всіх розрядах паралельного суматора одnorазово (див. мал.6.43).



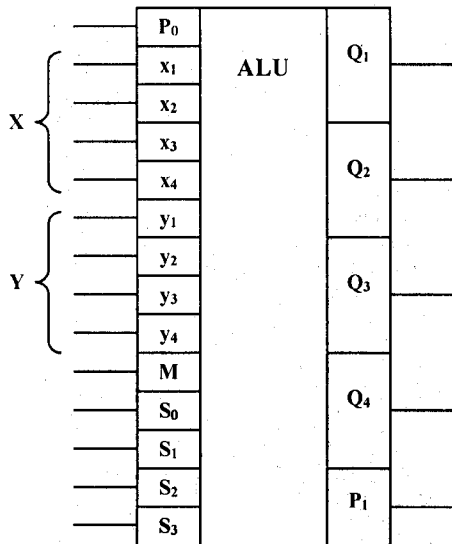
Мал. 6.43. Схема однорозрядного паралельного суматора з ланцюгом наскрізного перенесення

На основі цієї схеми можна будувати ланцюги групового перенесення для багаторозрядних паралельних суматорів.

Арифметико-логічні устаткування

Сучасна технологія виготовлення інтегральних мікросхем дає змогу виконувати дуже складні цифрові автомати у вигляді однієї або декілька мікросхем. Таке технічне вирішення буде економічно вигідним, якщо дане устаткування буде виготовлятися масово, але, як правило, складні спеціалізовані автомати не потрібно виробляти у великій кількості екземплярів. Ці протиріччя між можливостями технології та вузькою спеціалізацією складних цифрових автоматів понижується при створенні програмованих цифрових та логічних автоматів, які розглядаються у четвертому розділі.

Подібні автомати основані на роботі арифметико-логічних устаткувань (АЛУ), які виконуються у вигляді самостійної великої інтегральної схеми, або входять у склад інших, більш складних цифрових автоматів. АЛУ (мал. 6.44) дозволяє проводити арифметичні та логічні операції над n -розрядними вхідними кодами зазначеними множинами $X = \{x_1, x_2, x_3, x_4\}$ та $Y = \{y_1, y_2, y_3, y_4\}$. Сигнали, що подаються на керуючі входи M, S_0, S_1, S_2, S_3 , визначають, яка безпосередньо операція може бути виконана над вхідними величинами. Як у багаторозрядному суматорі, при виконанні арифметичних операцій на АЛУ може бути поданий сигнал перенесення із зовнішньої пам'яті ($P_0=1$), який додається до молодшого розряду АЛУ, на виході АЛУ формується сигнал P_1 , перенесення із старшого розряду (сигнал переповнення). Сигнал перенесення $P_0=1$ збільшує результат (число Q) на одиницю. АЛУ являє собою логічну схему, яка містить певну кількість входів (X_i, Y_i, M, S_i, P_0) та виходів (Q_i, P_n), де Q_i – результат операції у кожному розряді, P_n – сигнал перенесення із старшого розряду. Сукупність сигналів на всіх входах однозначно визначає сукупність вихідних сигналів, тому АЛУ є цифровим комбінаційним автоматом, принципи побудови якого розглянуті вище.



Мал. 6.44. Умовне зазначення схеми АЛУ

Із керуючим сигналом $M=0$ АЛУ виконує арифметичні операції над n -розрядними вхідними двійковими числами X та Y : додавання X та Y , додавання X та Y з додаванням одиниці в молодший розряд із зовнішнього ланцюга (сигнал $P_0=1$), віднімання X із Y , віднімання Y із X з врахуванням позиченої одиниці із старшого розряду, збільшення або зменшення числа X на одиницю, пересилання чисел X та Y з входу АЛУ на вихід, зсування чисел на один розряд наліво (це еквівалентне множенню на два) або направо (це еквівалентне діленню на два).

Комбінація сигналів S_0, \dots, S_3 визначає, яка математична операція проводиться АЛУ.

При $M=1$ АЛУ виконує логічні операції над вхідними наборами X та Y (в усіх розрядах виконується одна і та ж логічна операція).

У таблиці 6.13 перераховані 16 логічних операцій, які виконує АЛУ у залежності від керуючих сигналів S_0, \dots, S_3 .

Таблиця 6.13.

Логічні операції, що виконує АЛУ

№ за/п	Сигнали керування				Логічні операції
	S_3	S_2	S_1	S_0	
1	0	0	0	0	$Q = \bar{X}$
2	0	0	0	1	$Q = \bar{X} + Y$
3	0	0	1	0	$Q = \bar{X}Y$
4	0	0	1	1	$Q = 0$
5	0	1	0	0	$Q = \bar{X} + \bar{Y}$
6	0	1	0	1	$Q = \bar{Y}$
7	0	1	1	0	$Q = X\bar{Y} + \bar{X}Y$
8	0	1	1	1	$Q = X\bar{Y}$
9	1	0	0	0	$Q = \bar{X} + Y$
10	1	0	0	1	$Q = XY + \bar{X}\bar{Y}$
11	1	0	1	0	$Q = Y$
12	1	0	1	1	$Q = XY$
13	1	1	0	0	$Q = 1$
14	1	1	0	1	$Q = X + \bar{Y}$
15	1	1	1	0	$Q = X + Y$
16	1	1	1	1	$Q = X$

Не дивлячись на різновидність операцій, що виконує АЛУ, не можна не помітити обмежень його функцій: устаткування виконує лише операції над двома змінними, відсутні операції множення та ділення і т.д. Подолання цих обмежень досягнуто в більш складних цифрових автоматах (див. § 8).

§ 6.4.4. Аналіз та синтез перетворювачів кодів та цифрових компараторів

[10, 11, 12, 16, 17, 19, 23]

Відомо, що код – це універсальний спосіб відображення інформації під час її зберігання, передавання та оброблення у вигляді системи відповідностей між елементами повідомлень і сигналами, що за їхньою допомогою ці елементи можна зафіксувати.

Найпоширенішими у системах оброблення та передавання інформації є рівномірні коди. Основа коду дорівнює двом (двійковий код). Вибір такої основи залежить від особливостей побудови системи оброблення та перетворення інформації, які використовують дискретні елементи, з двома стійкими станами. Рівномірні двійкові коди широко використовують для відображення вхідної інформації цифрових автоматів систем передавання та оброблення даних. З введенням двійково-кодової інформації у цифровий автомат для компактнішого записування часто використовують коди, основи яких є цілі ступені числа два (вісімковий, шістнадцятковий).

Для відображення числової інформації у цифрових автоматах великого поширення набули двійкові позиційні коди з природнім розподілом ваг розрядів $2^{n-1}, \dots, 2^1, \dots, 2^0$ (де n – кількість розрядів). Щоб скоротити алгоритм виконання арифметичних операцій з

врахуванням знака і скінченності розрядної сітки операндів, застосовують спеціальні коди для відображення відносних чисел: прямий, обернений, доповняльний. В усіх цих кодах для відображення знака використовують спеціальний знаковий розряд.

У **прямому коді** знак кодується значенням «0» для додатних чисел і «1» – для від'ємних чисел, а абсолютну величину числа відображають двійковим позиційним кодом. Тобто у двійковій і двійково-кодованих системах числення прийнято рахувати, що $X_0=0$ відповідає знаку «+», а $X_0=1$ – знаку «-». Тоді представлення числа X у прямому коді визначається виразом

$$X_{пр} = \begin{cases} X, & \text{коли } X \geq 0 \\ 1+X, & \text{коли } X < 0, \end{cases} \quad (6.13)$$

тобто прямі коди чисел $+X$ та $-X$ відрізняються лише знаковими розрядами. Наприклад, коли $X=-0.101011$, то $X_{пр}=1.101011$. Додатне число у прямому коді не змінює свого відображення. Наприклад, коли $X=0.101011$, то $X_{пр}=0.101011$.

Прямий код задовольняє вимоги автоматичного одержання знака добутку й частки, його зручно використовувати при виконанні операцій множення й ділення. Проте він не забезпечує заміни віднімання чисел додаванням їхніх кодів, і це утруднює використання його під час виконання операцій додавання та віднімання. Цієї вади не мають обернений та доповняльний код, що відрізняється від прямого коду лише способом відображення від'ємних чисел.

Обернений код від'ємного числа утворюється, якщо замінити кожен двійковий розряд додатного числа того самого абсолютного значення, а саме «0» на «1», а «1» на «0».

Тоді правило перетворення чисел в обернений код можна представити наступним чином:

$$X_{обр} = \begin{cases} X, & \text{коли } X \geq 0 \\ k-k^n+X, & \text{коли } X < 0, \end{cases} \quad (6.14)$$

де k – основа системи числення, n – кількість розрядів після коми. Порівнюючи формули (6.13) і (6.14), легко помітити, що обернений код додатного числа співпадає з його прямим кодом.

Наприклад, коли $X=0.101011$, то $X_{обр}=0.101011$, а коли $X=-0.101011$, то $X_{обр}=1.010100$.

Доповняльний код для відображення від'ємного числа може бути здійснений за наступним правилом: цифри всіх розрядів, крім знакового, інвертуються, і в молодший розряд додається одиниця. Доповняльний код може бути одержаний із оберненого шляхом додавання одиниці до молодшого розряду оберненого коду.

Оскільки додатні числа не мають свого зображення у доповняльному коді, то правила перетворення у доповняльний код можна записати наступним чином.

$$X_{доп} = \begin{cases} X, & \text{коли } X \geq 0 \\ k+X, & \text{коли } X < 0. \end{cases} \quad (6.15)$$

Наприклад, число $X=-0.101011$ запишеться у доповняльному коді так

$$\begin{array}{r} X = -0.101011 \\ X_{обр} = 1.01100 \\ \quad \quad \quad + \quad \quad \quad 1 \\ \hline X_{доп} = 1.01101 \end{array}$$

Описані способи кодування чисел легко узагальнити і на випадок кодування з основою, відмінною від двох.

Поряд із двійковими позиційними кодуваннями у цифрових автоматах широко застосовують і двійково-десяткові коди. У цих кодах кожен десятковий розряд цифри відображають у якомусь двійковому коді. Найпоширенішим є кодування десяткової цифри чотирма двійковими (тетрадою). Застосовують кілька систем кодування десяткових цифр двійковими тетрадами: код 8, 4, 2, 1, код з надлишком три (про них говорилось в § 6.4.3), код 2, 4, 2, 1, код 7, 4, 2, 1 та ін. Код 8, 4, 2, 1 є природним відображенням десяткових цифр у двійковій системі, бо саме такою є природна вага двійкових розрядів у позиційному двійковому коді. Решта кодів є зваженими, але відрізняються один від одного вагою розрядів, і через це виникають деякі нові властивості. Так, код 2, 4, 2, 1 має властивість доповнювання до 9, що спрощує виконання у цьому коді арифметичних операцій над відносними числами. Аналогічну властивість мають і коди з надлишком три, в якому значення чисел зсунуто на три щодо фактичного коду 8, 4, 2, 1. А код 7, 4, 2, 1 цікавий тим, що тетради в ньому мають не більше як дві одиниці. У коді два із п'яти всіх кодів комбінації містять дві одиниці й три нулі. Ця властивість дозволяє виявляти багато характерних помилок при відображенні числа.

Окрім позиційних систем відображення чисел, є й непозиційні (символічні системи). Однією з найбільш досліджених непозиційних систем відображення чисел є рефлексні коди, з них характерним є код Грея. У коді Грея комбінації, що відображають сусідні за величиною числа, відрізняються лише в одній кодовій позиції. Такі коди добре задовольняють вимоги аналого-цифрового перетворення. Коди, що мають вагу 8, 4, 2, 1 та з надлишком три показані в табл. 6.12, а коди обернені, доповняльні коду 8, 4, 2, 1, код, що має вагу 7, 4, 2, 1, код два із п'яти та код Грея в табл. 6.14.

Таблиця 6.14.

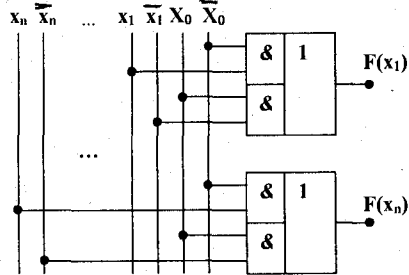
Таблиця істинності перетворювачів кодів

Десяткове число	Коди																			
	Коди, що мають вагу 8 4 2 1				Обернений				Доповняльний				Коди, що мають вагу 7 4 2 1				Код Грея			
	x_4	x_3	x_2	x_1	x_4	x_3	x_2	x_1	x_4	x_3	x_2	x_1	x_4	x_3	x_2	x_1	x_4	x_3	x_2	x_1
0	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	1	1	1	1	0	1	1	1	1	0	0	0	1	0	0	0	1
2	0	0	1	0	1	1	0	1	1	1	1	0	0	0	1	0	0	1	1	
3	0	0	1	1	1	1	0	0	1	1	0	1	0	0	1	1	0	0	1	
4	0	1	0	0	1	0	1	1	1	1	0	0	0	1	0	0	0	1	1	
5	0	1	0	1	1	0	1	0	1	0	1	1	0	1	0	1	0	1	1	
6	0	1	1	0	1	0	0	1	1	0	1	0	0	1	1	0	1	1	1	
7	0	1	1	1	1	0	0	0	1	0	0	1	1	0	0	0	1	1	0	
8	1	0	0	0	0	1	1	1	1	0	0	0	1	0	0	1	1	0	1	
9	1	0	0	1	0	1	1	0	0	1	1	1	1	0	1	0	1	0	0	

Перетворення прямого коду в обернений здійснює устаткування, що реалізує залежність (6.14). У випадку $X_0=1$ (знак від'ємного числа) одержання оберненого коду зводиться до виконання n по розрядних операцій інвертування. Тому можна записати значення вихідної функції перетворювача, як

$$F(x_i) = x_i \bar{x}_0 \vee \bar{x}_i x_0,$$

що відповідає схемі мал. 6.45.



Мал. 6.45. Схема перетворювача прямого коду в обернений

Перетворення прямого коду в доповняльний реалізує схема з $n+1$ входами і з n виходами, яка виконує операцію (6.15). Для одержання доповняльного коду X у випадку $X_0=1$ в i -тому розряді, допустимо що коди x_1, x_2, x_3, x_4 функції вагою 8, 4, 2, 1 являються аргументами функцій Z_1, Z_2, Z_3, Z_4 (доповняльні коди $\bar{x}_1, \bar{x}_2, \bar{x}_3, \bar{x}_4$), тобто УДНФ для них має вигляд:

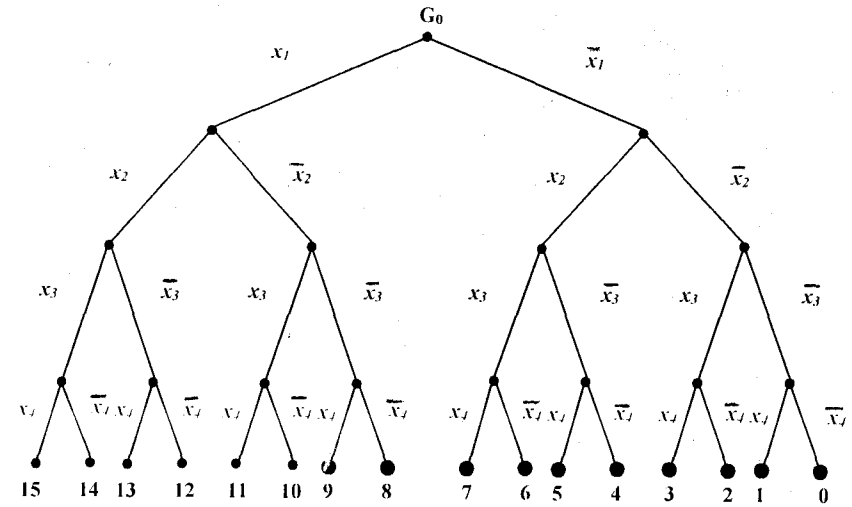
$$Z_1 = \vee (x_1 \bar{x}_2 \bar{x}_3 \bar{x}_4 \vee x_1 x_2 \bar{x}_3 \bar{x}_4 \vee x_1 \bar{x}_2 x_3 \bar{x}_4 \vee x_1 x_2 x_3 \bar{x}_4 \vee x_1 \bar{x}_2 \bar{x}_3 x_4).$$

$$Z_2 = \vee (x_1 \bar{x}_2 \bar{x}_3 \bar{x}_4 \vee \bar{x}_1 x_2 \bar{x}_3 \bar{x}_4 \vee x_1 \bar{x}_2 x_3 \bar{x}_4 \vee \bar{x}_1 x_2 x_3 \bar{x}_4 \vee x_1 \bar{x}_2 \bar{x}_3 x_4).$$

$$Z_3 = \vee (x_1 \bar{x}_2 \bar{x}_3 \bar{x}_4 \vee \bar{x}_1 x_2 \bar{x}_3 \bar{x}_4 \vee x_1 \bar{x}_2 x_3 \bar{x}_4 \vee \bar{x}_1 \bar{x}_2 x_3 \bar{x}_4 \vee x_1 \bar{x}_2 \bar{x}_3 x_4).$$

$$Z_4 = \vee (x_1 \bar{x}_2 \bar{x}_3 \bar{x}_4 \vee \bar{x}_1 x_2 \bar{x}_3 \bar{x}_4 \vee x_1 \bar{x}_2 x_3 \bar{x}_4 \vee \bar{x}_1 \bar{x}_2 x_3 \bar{x}_4 \vee x_1 \bar{x}_2 \bar{x}_3 x_4 \vee \bar{x}_1 x_2 x_3 \bar{x}_4 \vee x_1 \bar{x}_2 x_3 x_4 \vee \bar{x}_1 \bar{x}_2 \bar{x}_3 x_4).$$

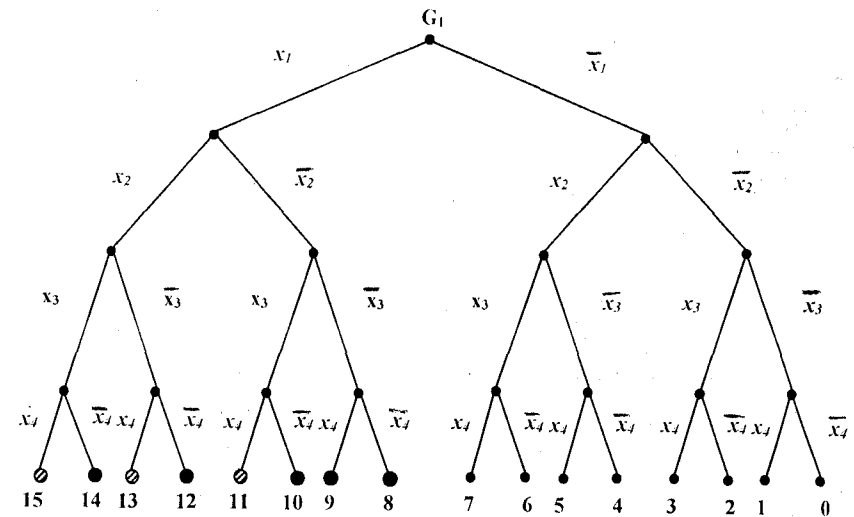
Мінімізуємо функції з використанням графа-стіжка. Для визначення надлишкових мінтерм, які потрібні для мінімізації, побудуємо граф функції, що описується кодами вагою 8, 4, 2, 1 (див. мал. 6.46). З малюнка видно, що надлишковими мінтермами, які необхідно використовувати при мінімізації функцій Z_1, Z_2, Z_3 та $Z_4 \in \{10, 11, 12, 13, 14$ та 15 (мінтерми, які входять у створення графа функції, що описується кодами вагою 8, 4, 2, 1 – затемнені).



Мал. 6.46. Граф-стіжок для функції, що описується кодами вагою 8, 4, 2, 1

Для прикладу мінімізуємо функцію Z_1 , для цього побудуємо граф-стіжок G_1 (мал.6.47). Мінтерми, які являються кінцевими вершинами графа, затемнені, а вершини з надлишковими мінтермами 11, 13, 15, що задіяні в процесі мінімізації, заштриховані.

Методом співставлення вершин різних рівнів одержимо компоненти функції Z_1 , тобто



Мал. 6.47. Граф-стіжок для функції Z_1

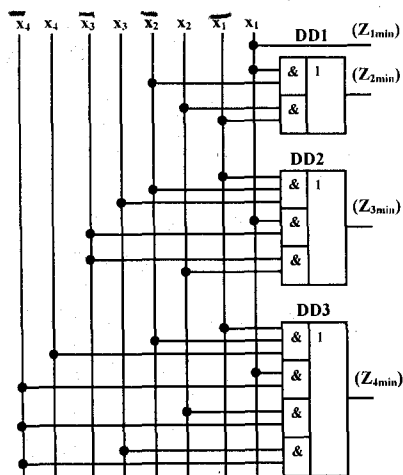
$f_{081011} = x_1 \bar{x}_2$, $f_{12131415} = x_2 x_1$, або $Z_{1min} = x_1 \bar{x}_2 \vee x_2 x_1$, остаточно $Z_{1min} = x_1$. Останнє видно із таблиці істинності (див. табл. 6.14). Використовуючи граф-стіжок, чи інші методи мінімізації, включивши надлишкові мінтерми для функцій $Z_2-5, 7, 11$, для функцій $Z_3-3, 5, 13$ та для функцій $Z_4-3, 5, 7, 13, 15$, одержимо наступні вихідні функції перетворювача:

$$Z_{2min} = x_1 \bar{x}_2 \vee x_1 x_2;$$

$$Z_{3min} = x_1 \bar{x}_2 x_3 \vee x_2 \bar{x}_3 \vee x_1 x_2 x_3 = x_1 \bar{x}_2 x_3 \vee x_1 x_3 \vee x_2 x_3;$$

$$Z_{4min} = \bar{x}_1 x_2 x_4 \vee x_1 \bar{x}_4 \vee x_2 \bar{x}_4 \vee x_3 x_4.$$

Структурна схема перетворювача прямого коду в доповняльний показана на мал. 6.48.



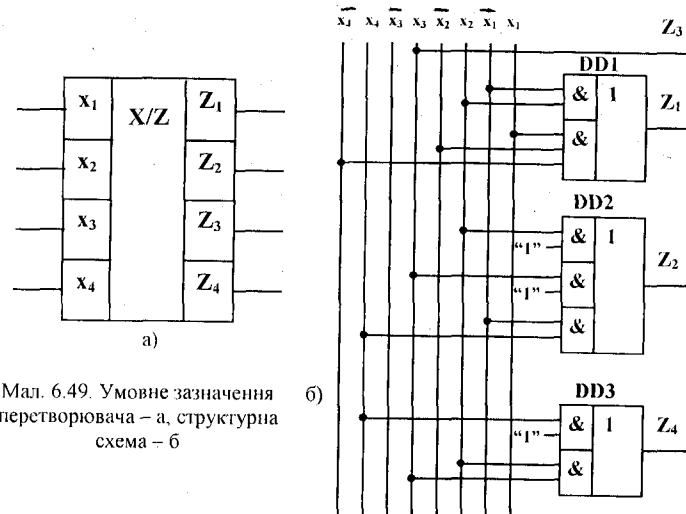
Мал. 6.48. Структурна схема перетворювача прямого коду в доповняльний

Для реалізації структурної схеми використані логічні елементи базису І-АБО.

Розглянемо, як приклад, проектування перетворювача двійково-десятькового коду 8, 4, 2, 1 в циклічний код Грея, умовне зазначення якого показано на мал.6.49,а. Для мінімізації використаний попередній метод до визначення значень вихідних функцій на деяких надлишкових вхідних наборах. Після мінімізації вихідні функції можуть бути записані у вигляді системи рівнянь:

$$\begin{aligned} Z_1 &= \bar{x}_1 x_2 \vee x_1 \bar{x}_2 \bar{x}_4, \\ Z_2 &= x_2 \vee x_3 \vee \bar{x}_1 x_4, \\ Z_3 &= x_3, \\ Z_4 &= x_4 \vee x_2 x_3. \end{aligned} \quad (6.16)$$

Одержана система рівнянь (6.16) реалізується в базисі логічних елементів І-АБО на мал.6.49,б.



Мал. 6.49. Умовне зазначення перетворювача – а, структурна схема – б

Цифровий компаратор (схема порівняння коду) – має декілька різновидностей і призначений для порівняння двох чисел (А, В) за різними ознаками: $A=B$, $A>B$, $A<B$, $A \neq B$, $A \geq B$, $A \leq B$. Вихідні функції компаратора визначаються наступними виразами:

$$\begin{aligned} Z_1(A, B) &= \begin{cases} 1, & \text{при } A=B \\ 0, & \text{при } A \neq B, \end{cases} \\ Z_2(A, B) &= \begin{cases} 1, & \text{при } A>B \\ 0, & \text{при } A \leq B, \end{cases} \\ Z_3(A, B) &= \begin{cases} 1, & \text{при } A<B \\ 0, & \text{при } A \geq B. \end{cases} \end{aligned} \quad (6.17)$$

Умовне графічне зазначення чотирирозрядного компаратора для функцій рівності $Z_{A=B}$ та нерівності $Z_{A \neq B}$ показано на мал. 6.50,а. Синтезуємо чотирирозрядний компаратор для функцій $Z_{A=B}$ та $Z_{A \neq B}$. Рівність чисел $A=B$ має місце при рівності цифр усіх розрядів. Значення функцій $Z_{A=B}$ та $Z_{A \neq B}$ наведені у таблиці істинності (мал.6.50,б), із якої слідує:

$$Z_{A=B} = a_1 b_1 \vee a_2 b_2 \vee a_3 b_3 \vee a_4 b_4, \quad Z_{A \neq B} = \bar{a}_1 b_1 \vee a_1 \bar{b}_1 \quad (6.18)$$

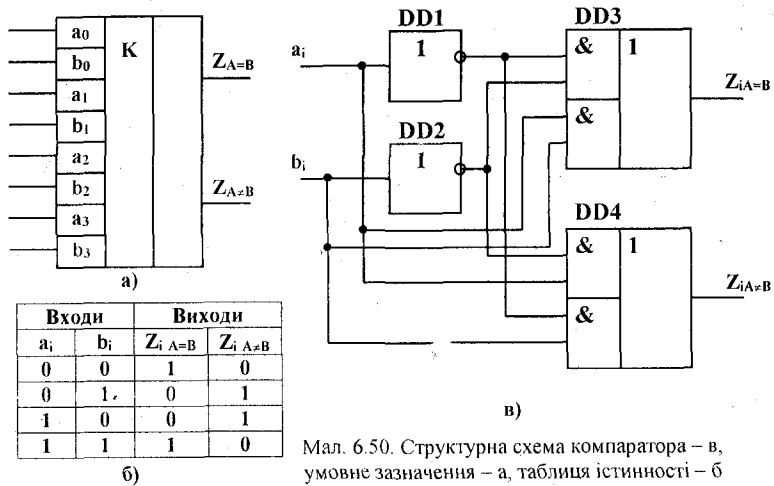
Функцію рівності $Z_{A=B}$ для чотирирозрядних чисел можна записати у вигляді:

$$Z_{A=B} = (\bar{a}_0 \bar{b}_0 \vee a_0 b_0)(\bar{a}_1 \bar{b}_1 \vee a_1 b_1)(\bar{a}_2 \bar{b}_2 \vee a_2 b_2)(\bar{a}_3 \bar{b}_3 \vee a_3 b_3) = \bigg\&_{i=0}^3 (\bar{a}_i \bar{b}_i \vee a_i b_i), \quad (6.19)$$

Аналогічно функція нерівності ($Z_{A \neq B}$) має вигляд:

$$Z_{A \neq B} = (a_0 \bar{b}_0 \vee \bar{a}_0 b_0)(a_1 \bar{b}_1 \vee \bar{a}_1 b_1)(a_2 \bar{b}_2 \vee \bar{a}_2 b_2)(a_3 \bar{b}_3 \vee \bar{a}_3 b_3) = \bigg\&_{i=0}^3 (a_i \bar{b}_i \vee \bar{a}_i b_i), \quad (6.20)$$

Оскільки $Z_{A=B}$ та $Z_{A \neq B}$ взаємодоповнюючі функції, то для схемної реалізації може бути використане будь-яке із рівнянь (6.19) чи (6.20). Для синтезу компаратора (див. мал. 6.50.в) використан рівняння (6.18).



Мал. 6.50. Структурна схема компаратора – в, умовне зазначення – а, таблиця істинності – б

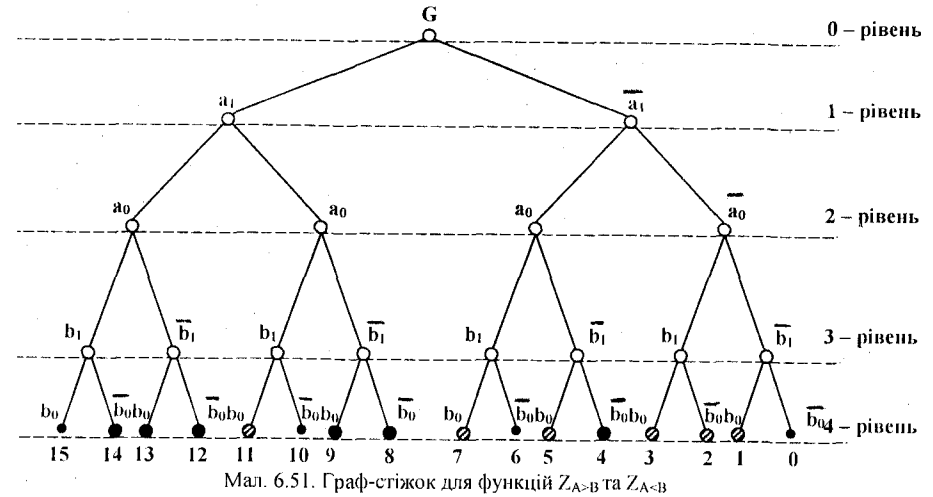
Розглянемо процедури синтезу дворозрядного компаратора для функцій $Z_{A>B}$ та $Z_{A<B}$. Для цього необхідно порівняти два дворозрядні двійкові числа: $A=a_1a_0$ та $B=b_1b_0$. Запишемо функціонування такого компаратора у вигляді таблиці істинності (табл.6.15). Як видно із таблиці, $A>B$, коли $a_0>b_0$ або при $a_0=b_0$, $a_1>b_1$. У свою чергу, $A<B$, коли $a_0<b_0$ або $a_1<b_1$ при $a_0=b_0$.

Проведемо мінімізацію функцій $Z_{A>B}$ та $Z_{A<B}$ складених на основі табл. 6.15.

$$Z_{A>B} = \sqrt{(a_1 a_0 \bar{b}_1 \bar{b}_0 \vee a_1 \bar{a}_0 b_1 \bar{b}_0 \vee a_1 \bar{a}_0 \bar{b}_1 b_0 \vee a_1 a_0 \bar{b}_1 \bar{b}_0 \vee a_1 a_0 b_1 b_0 \vee a_1 a_0 \bar{b}_1 b_0)}$$

$$Z_{A<B} = \sqrt{(\bar{a}_1 \bar{a}_0 \bar{b}_1 b_0 \vee \bar{a}_1 \bar{a}_0 b_1 \bar{b}_0 \vee \bar{a}_1 \bar{a}_0 b_1 b_0 \vee \bar{a}_1 a_0 \bar{b}_1 \bar{b}_0 \vee \bar{a}_1 a_0 b_1 \bar{b}_0 \vee \bar{a}_1 a_0 b_1 b_0)}$$

Для мінімізації використаємо граф-стіжок мал. 6.51.



Таблиця 6.15. Таблиця істинності дворозрядного компаратора

№ за/п	Входи				Виходи	
	a_1	a_0	b_1	b_0	$Z_{A>B}$	$Z_{A<B}$
1	0	0	0	0	0	0
2	0	0	0	1	0	1
3	0	0	1	0	0	1
4	0	0	1	1	0	1
5	0	1	0	0	1	0
6	0	1	0	1	0	0
7	0	1	1	0	0	1
8	0	1	1	1	0	1
9	1	0	0	0	1	0
10	1	0	0	1	1	0
11	1	0	1	0	0	0
12	1	0	1	1	0	1
13	1	1	0	0	1	0
14	1	1	0	1	1	0
15	1	1	1	0	1	0
16	1	1	1	1	0	0

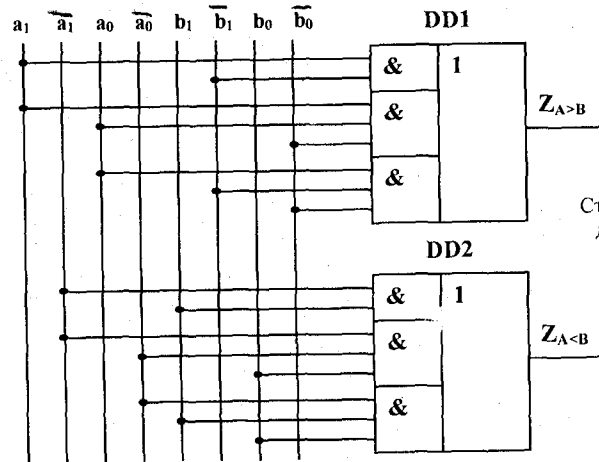
Внаслідок співставлення вершин графа та склеювання на четвертому рівні 8, 9 та 12, 13 (вони затемнені) та на другому рівні, а також на першому рівні вершин 4, 12 та 14 (вони затемнені), остаточно функція $Z_{A>B}$ прийме вигляд:

$$Z_{A>B} = (a_1 \bar{b}_1 \vee a_1 a_0 \bar{b}_0 \vee a_0 \bar{b}_1 \bar{b}_0), \quad (6.21)$$

Використовуючи попередню методику мінімізації для функції $Z_{A<B}$, кінцеві вершини якої на графі заштриховані, одержимо:

$$Z_{A<B} = \bar{a}_1 b_1 \vee a_1 \bar{a}_0 b_0 \vee \bar{a}_0 b_1 b_0, \quad (6.22)$$

Структурна схема дворозрядного компаратора побудована за рівняннями (6.21) та (6.22) наведена на мал.6.52.



Мал. 6.52.
Структурна схема дворозрядного компаратора

Для порівняння n дворозрядних двійкових чисел рівняння (6.21) запишемо в такому вигляді:

$$\begin{aligned} Z_{A>B} &= a_1 \bar{b}_1 \vee a_1 a_0 \bar{b}_0 \vee a_0 \bar{b}_1 \bar{b}_0 = a_1 \bar{b}_1 \vee a_0 \bar{b}_0 (a_1 \vee \bar{b}_1) = \\ &= a_{n-1} \bar{b}_{n-1} \vee a_{n-2} \bar{b}_{n-2} (a_{n-1} \vee \bar{b}_{n-1}) \vee \dots \vee a_i \bar{b}_i \vee a_{i-1} \bar{b}_{i-1} (a_i \vee \bar{b}_i) \vee \dots \vee a_1 \bar{b}_1 \vee a_0 \bar{b}_0 (a_1 \vee \bar{b}_1), \\ Z_{A<B} &= \bar{a}_1 b_1 \vee \bar{a}_1 a_0 b_0 \vee \bar{a}_0 b_1 b_0 = \bar{a}_1 b_1 \vee \bar{a}_0 b_0 (\bar{a}_1 \vee b_1) = \\ &= \bar{a}_{n-1} b_{n-1} \vee \bar{a}_{n-2} b_{n-2} (\bar{a}_{n-1} \vee b_{n-1}) \vee \dots \vee \bar{a}_i b_i \vee \bar{a}_{i-1} b_{i-1} (\bar{a}_i \vee b_i) \vee \dots \vee \bar{a}_0 b_0 (\bar{a}_0 \vee b_0), \end{aligned} \quad (6.23)$$

Логічні вирази для функцій $Z_{A \geq B}$, $Z_{A \leq B}$, у відповідності з якими можуть бути побудовані n -розрядні компаратори, подані у вигляді рівнянь.

$$\begin{aligned} Z_{A \geq B} &= Z_{A>B} \vee Z_{A=B} = a_{n-1} \bar{b}_{n-1} \vee a_{n-2} \bar{b}_{n-2} \& (a_{n-1} \vee \bar{b}_{n-1}) \vee \dots \vee a_i b_i (a_{i+1} \vee \bar{b}_{i+1}) \dots \\ &\dots (a_{n-1} \vee \bar{b}_{n-1}) \vee \dots \vee a_0 \bar{b}_0 (a_1 \vee \bar{b}_1) \dots (a_{n-1} \vee \bar{b}_{n-1}) \vee (a_{n-1} \bar{b}_{n-1} \vee a_{n-1} b_{n-1}) (a_{n-2} \bar{b}_{n-2} \vee \\ &\vee a_{n-2} b_{n-2}) \dots (a_0 \bar{b}_0 \vee a_0 b_0), \\ Z_{A \leq B} &= Z_{A<B} \vee Z_{A=B} = \bar{a}_{n-1} b_{n-1} \vee \bar{a}_{n-2} b_{n-2} (\bar{a}_{n-1} \vee b_{n-1}) \vee \dots \vee \bar{a}_i b_i (\bar{a}_{i+1} \vee b_{i+1}) \dots \\ &\dots (\bar{a}_{n-1} \vee b_{n-1}) \vee \dots \vee \bar{a}_0 b_0 (\bar{a}_1 \vee b_1) \dots (\bar{a}_{n-1} \vee b_{n-1}) \vee (\bar{a}_{n-1} b_{n-1} \vee a_{n-1} \bar{b}_{n-1}) \& \\ &\& (\bar{a}_{n-2} b_{n-2} \vee a_{n-2} \bar{b}_{n-2}) \dots (\bar{a}_0 b_0 \vee a_0 \bar{b}_0), \end{aligned} \quad (6.24)$$

Реалізація рівнянь (6.23) та (6.24) у базисі І-АБО не викликає складності.

§ 6.4.5 Аналіз та синтез комбінаційних зсувачів [10, 11, 12, 16, 17, 20, 25]

Автомат, що передає вхідне багаторозрядне слово на виходи безпосередньо, або із зсувом на 1, 2, і т.д. розрядів у залежності від керуючого сигналу, називається комбінаційним зсувачем.

Якщо, у нашому випадку, вхідне слово $X = (x_{n-1}, \dots, x_i, \dots, x_0)$ довжиною n , представлене як n -розрядне число у системі числення з основою два, тобто $X = \sum_{i=1}^n x_i 2^{i-1}$, а вихідне

$Z = \pm \sum_{i=1}^m z_i 2^{i-1}$, то зсувач виконує операцію зсуву на Z розрядів ліворуч або праворуч в залежності від знаку Z . Звідки видно, що максимальне значення Z рівне $n-1$, оскільки на практиці не виникає потреби зсуву коду більше, ніж на $n-1$ розрядів, тому, що зсуваюче число виходить за границі розрядної сітки.

Якщо зазначити виходи зсувача наступним чином:

Z_i – виходи, на які попадає вхідне слово при $Y_0=0$; Z_i ($i=1, 2, \dots, n$);

Z_{n+j} – виходи, на які попадає хоча би один розряд при $Y_0=0$; Z_{n+j} ($j=1, 2, \dots, n-1$);

Z_{-j} – виходи, на які попадає хоча би один розряд при $Y_0=1$, то роботу зсувача можна описати функціями:

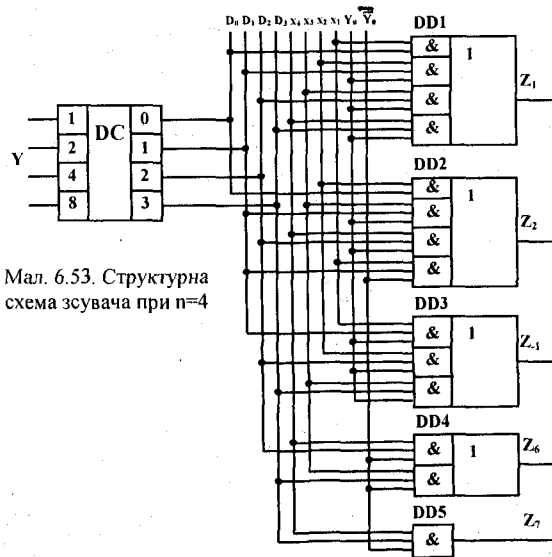
$$Z_i = \begin{cases} x_i & \text{при } Y_0=0 \\ x_{i-2} & \text{при } Y_0=0 \\ x_{i-2} & \text{при } Y_0=1 \\ 0 & \text{у решта випадків,} \end{cases}$$

$$Z_{-j} = \begin{cases} x_{n-j+1} & \text{при } Y_0=1, Y>j \\ 0 & \text{у решта випадків,} \end{cases}$$

$$Z_{n+j} = \begin{cases} x_{n-j+2} & \text{при } Y_0=0, Y \geq j \\ 0 & \text{у решта випадків.} \end{cases} \quad (6.25)$$

Реалізувати ці залежності можна за допомогою дешифратора на n виходів і логічних елементів І. Покажемо це на прикладі. Нехай $n=4$. Зазначимо виходи дешифратора, на входи якого надходить слово Y_0 , буквами D_j , де j буде відповідати числовому значенню Y . Тоді функції системи рівнянь (6.25) запишуться у такому вигляді:

$$\begin{aligned}
Z_1 &= x_1 D_0 \vee x_2 D_1 Y_0 \vee x_3 D_2 Y_0 \vee x_4 D_3 Y_0, \\
Z_2 &= x_2 D_0 \vee x_3 D_1 Y_0 \vee x_4 D_2 Y_0 \vee x_1 D_1 \bar{Y}_0, \\
Z_3 &= x_3 D_0 \vee x_4 D_1 Y_0 \vee x_2 D_1 \bar{Y}_0 \vee x_1 D_2 \bar{Y}_0, \\
Z_4 &= x_4 D_0 \vee x_3 D_1 \bar{Y}_0 \vee x_2 D_2 \bar{Y}_0 \vee x_1 D_3 \bar{Y}_0, \\
Z_{-1} &= x_1 D_1 Y_0 \vee x_2 D_2 Y_0 \vee x_3 D_3 Y_0, \\
Z_{-2} &= x_1 D_2 Y_0 \vee x_2 D_3 Y_0, \\
Z_{-3} &= x_1 D_3 Y_0, \\
Z_5 &= x_4 D_1 \bar{Y}_0 \vee x_3 D_2 \bar{Y}_0 \vee x_2 D_3 \bar{Y}_0, \\
Z_6 &= x_4 D_2 \bar{Y}_0 \vee x_3 D_3 \bar{Y}_0, \\
Z_7 &= x_4 D_3 \bar{Y}_0.
\end{aligned}$$



Мал. 6.53. Структурна схема зсувача при $n=4$

Частина схеми зсувача, що реалізує функції Z_1, Z_2, Z_{-1}, Z_6 та Z_7 наведена на мал.6.53.

Коли зсувач проектується з великим числом розрядів, то економічно використовувати схеми із застосуванням мультиплексорів.

Запитання для самоконтролю

1. Синтезувати дешифратор-перетворювач двійково-десятькового коду у семисегментний код функції, що задається у десятковому коді вигляду

$$F = (3, 5, 7, 10, 11).$$

2. Реалізувати логічні функції за допомогою дешифратора вигляду

$$Z_1 = x_2 \bar{x}_1 \vee \bar{x}_1 x_2 \vee x_2 x_3, \quad Z_2 = x_1 \bar{x}_3 \vee x_2 x_3 \vee x_1 \bar{x}_3$$

3. Розробити структурну схему, на основі дешифратора, для перетворення двійкового коду у код, що описується функціями: $Q_0 = z_1 \vee z_2 \vee z_3 \vee z_6$, $Q_1 = z_0 \vee z_3 \vee z_5 \vee z_8$, $Q_2 = z_0 \vee z_8 \vee z_9$, $Q_3 = z_1 \vee z_7 \vee z_9$ та $Q_4 = z_6 \vee z_7 \vee z_8 \vee z_9$.

4. Синтезувати повний восьмивходовий шифратор з одиничними активними значеннями вхідних сигналів.

5. Скласти структурну схему мультиплексора, що генерує двійкову послідовність 1100.

6. Реалізувати на мультиплексорі на чотири входи логічні функції чотирьох змінних a, b, c, d :

$$Z_1 = \bigvee (3, 5, 7, 9, 11, 12, 13),$$

$$Z_2 = \bigvee (1, 7, 9, 11, 13, 15).$$

7. Синтезувати демультиплексор на вісім виходів на основі дешифратора.

8. Скласти структурну схему суматора, що здійснює додавання двох чотирирозрядних кодів: 1111 та 1100.

9. Синтезувати структурну схему перетворювача з прямого коду в обернений та доповняльний чисел $X_1 = -0,1101$ та $X_2 = -1,1101$.

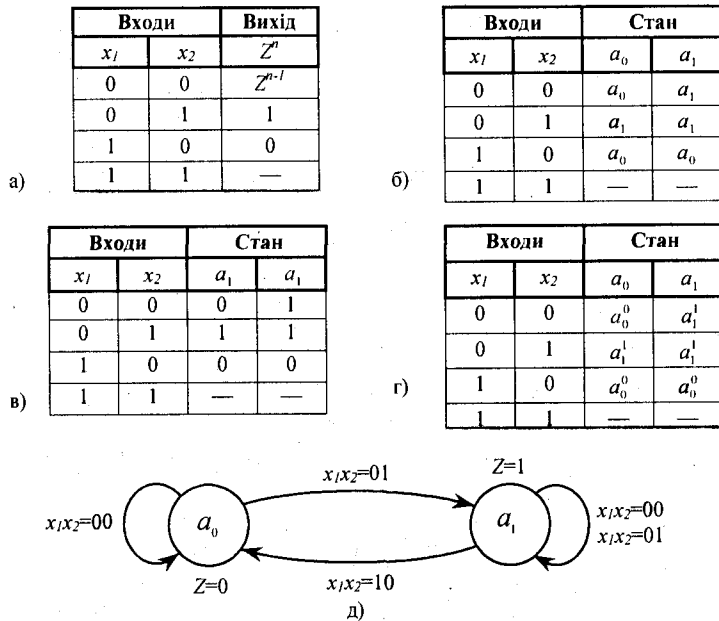
§ 6.5. Форми представлення скінчених автоматів
[10, 11, 12, 16, 17, 18, 19]

Якщо в автоматі не досліджувалася внутрішня структура, то його відносять до категорії абстрактних. Щоб задати абстрактний автомат, вводять три множини: вхідний алфавіт X , вихідний – Z та множини внутрішніх станів A .

Автомат функціонує у дискретні проміжки часу, який задається натуральними числами $t=0, 1, 2, \dots$. У кожний момент часу t автомат знаходиться в деякому визначеному стані $a = a(t)$ із множини станів A .

Стан у момент часу $t=0$ називається початковим: $a_0 = a(0)$. У кожен момент дискретного часу, починаючи з $t=1$, у автомат надходить вхідний сигнал у вигляді одного набору вхідного алфавіту X , тобто $x=x(t)$.

Скінчена послідовність вхідних сигналів $x(1), x(2), \dots, x(n)$ створює вхідне слово автомата. Вихідне слово автомата $Z(1), Z(2), \dots, Z(m)$ – скінчена послідовність вихідних сигналів із алфавіту Z . Автомат ставить у відповідність кожному вхідному слову деякий вихідний, тобто реалізується певне відображення. Це відображення однозначно визначається заданим значенням функції переходів та функції виходів, які можуть бути представлені за допомогою графів, або аналітичних виразів.



Мал. 6.54. Форми представлення автомата: таблиця істинності – а; таблиця переходів – б; таблиця виходів – в; суміщена таблиця – г; автоматний граф – д.

Нехай автомат функціонує за таблицею істинності (мал. 6.54, а), тоді він буде автоматом Міллі, заданим у формі таблиць переходів та виходів (мал. 6.54, б, в). У таблиці мал. 6.54, а значення Z^{n-1} характеризує стан автомата у часі t_1 , Z^n – в часі t_2 .

Стовпчики таблиці призначені для окремих станів автомата. Як видно з таблиці істинності, можливі два стани автомата $Z^{n-1}=0$, або $Z^{n-1}=1$, тобто відповідно $a_0 = 0$ та $a_1 = 1$. У рядках розміщені вхідні набори автомата. На перетині стовпчиків та рядків у таблиці переходів (мал. 6.54, б) показаний новий стан автомата, в який переходить автомат, у таблиці виходів (мал. 6.54, в) – вихідний сигнал. Граф автомата (мал. 6.54, д) складається із вузлів, поставлених у відповідність окремим станам автомата: a_0 або a_1 .

Дуги між вузлами показують переходи автомата із одного стану в інший під впливом вхідних сигналів. Наприклад, при вхідному наборі $x_1x_2=00$ стан автомата зберігається a_0 , вихідний сигнал при цьому $z=0$. При вхідному наборі $x_1x_2=01$, стан автомата змінюється із a_0 на a_1 , вихідний сигнал змінюється із $z=0$ на $z=1$. При вхідному наборі $x_1x_2=10$, автомат змінює свій сигнал із a_1 на a_0 , вихідний сигнал при цьому змінюється на $z=0$. За аналогією можна описати функціонування автомата для стану a_1 .

На мал. 6.54, г наведена суміщена таблиця переходів та виходів, де кожний елемент a_i^j є внутрішній стан, в який переходить автомат із стану a_i під впливом вхідного набору, а у ступені вказано стан виходу ($j=0$, або $j=1$). Ця таблиця є прикладом опису автомата Мура, за якою не складає труднощів побудувати граф автомата.

Використавши графи або таблиці, можна описати автомат у вигляді аналітичного запису. Для автомата Міллі він має вигляд:

$$a_0^n = a_0^{n-1} x_2^{n-1} \vee a_0^{n-1} x_1^{n-1}, \quad z_1^{n-1} = x_1^{n-1} a_0^{n-1}$$

$$a_1^n = a_0^{n-1} x_1^{n-1} \vee a_1^{n-1} x_2^{n-1}, \quad z_2^{n-1} = x_2^{n-1} a_0^{n-1} \vee x_1^{n-1} a_1^{n-1}. \quad (6.26)$$

Аналітичний запис автомата Мура (див. мал. 6.54, г)

$$a_0^n = a_0^{n-1} x_2^{n-1} \vee a_0^{n-1} x_1^{n-1}, \quad z_1^{n-1} = a_0^{n-1}$$

$$a_1^n = a_0^{n-1} x_1^{n-1} \vee a_1^{n-1} x_2^{n-1}, \quad z_2^{n-1} = a_1^{n-1}. \quad (6.27)$$

У цих формулах верхній індекс показує моменти часу t в $(n-1)$ -такті, та $t+1$ в n -такті. Літери для a_0^n та a_1^n описують функції переходів станів, літери для z_1^{n-1} та z_2^{n-1} – функції виходу, а літери x_1, x_2 – вхідні набори, для нашого випадку $x_1 = 00, x_2 = 01$ і т.д.

Таблиці переходів та виходів (граф або аналітичний запис) дають повний опис закону функціонування автомата. Подавання довільних наборів вихідних сигналів та користування таблицями переходів та виходів, дають змогу визначити відповідний вихідний сигнал.

Як уже говорилося, основними задачами теорії автоматів являються задачі аналізу та синтезу. При розв'язку цих задач виділяють декілька етапів, серед яких найбільш важливими є абстрактний та структурний.

На абстрактному етапі автомат задається таблицями або графом, або іншим способом. При цьому не беруться до уваги фізичні принципи представлення змінних вхідного алфавіту, а також компонентів схеми реального автомата. На структурному етапі автомат представляють структурною схемою, яка складається із елементів стандартного набору, в який входять елементарні автомати та функціонально повна система логічних елементів. Тому, із інженерної точки зору, найбільший інтерес становить задача структурного синтезу автоматів.

Для розв'язку цієї задачі необхідно описати умови функціонування автомата, тобто увести стандартну форму задавання автоматів. У цьому розділі розглянуті три форми

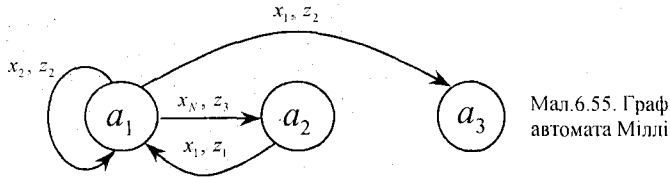
задавання автомата: при допомозі функцій переходів та виходів, графів та аналітичного запису.

§ 6.6. Опис алгоритмів скінчених автоматів [10, 11, 12, 18, 19, 25]

Основою для побудови автомата є його алгоритм функціонування. Використаємо для складання таких алгоритмів графи автоматів Міллі та Мура.

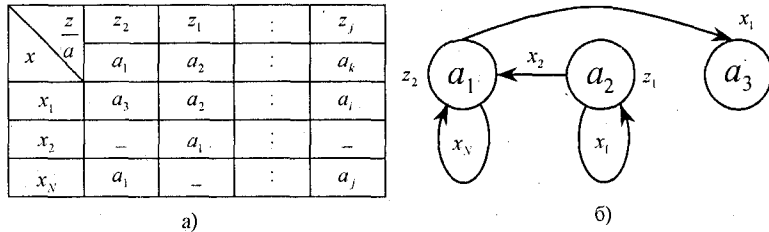
Для побудови графа Міллі використаємо фрагментарні таблиці переходів та виходів (табл. 5.1 та табл. 5.2). З таблиць видно, що функціонування автомата здійснюється при трьох станах a_1, a_2, a_3 (вершини графа). Зміна стану a_1 у стан a_3 проходить при вхідному сигналі x_1 , вихідний сигнал при цьому набуває значення z_2 (див. мал. 6.55). Автомат при вхідному сигналі x_2 зберігає своє значення a_1 та вихідний сигнал z_2 . Із вхідним сигналом x_N проходить зміна стану з a_1 на стан a_2 , вихідний сигнал при цьому дорівнює z_3 .

Стан автомата a_2 (другий стовпчик табл. 5.1) змінюється на стан a_1 при вхідному сигналі x_1 , вихідний сигнал дорівнює z_1 .



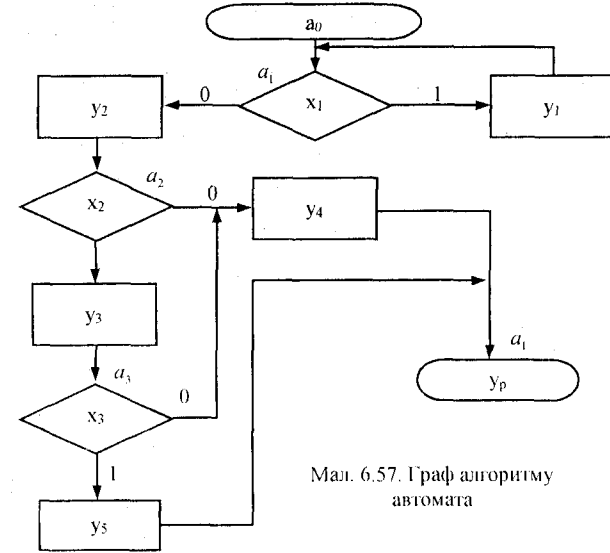
Мал. 6.55. Граф автомата Міллі

В автомата Мура таблиця виходів 5.2 переводиться у один рядок, який можна дописати до першого рядка таблиці переходів. Одержимо відзначену таблицю переходів, яка повною мірою характеризує автомат Мура (див. мал. 6.56, а). Для автомата Мура виходи однозначно визначають його стан, тому вони можуть бути наведені біля вершин графа (див. мал. 6.56, б).



Мал. 6.56. Таблиця переходів автомата Мура - а; граф автомата - б

Для побудови графів алгоритмів автоматів Міллі та Мура введемо множину $Y = \{y_0, y_1, \dots, y_p\}$, яка являє собою мікрокоманди, що здійснюють переходи автоматів з одного стану в інший. Опис автомата граф-схемою алгоритму наведений на мал. 6.57.

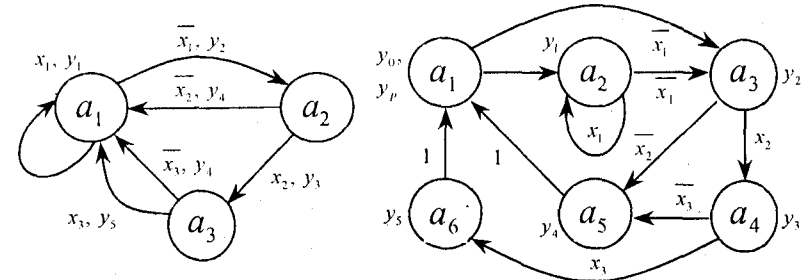


Мал. 6.57. Граф алгоритму автомата

Методика побудови графа алгоритму наступна. Початкова вершина, що має один вихід, характеризує початковий стан автомата. Умова вершина перевіряє виконання логічної умови, наприклад, чи виконується перехід автомата в інший стан при дії вхідного сигналу x_1 . Якщо виконється ($x_1=1$), то здійснюється дія мікрокоманди y_1 . Цей стан продовжує існувати до тих пір, поки не буде виконана умова $x_1=0$. Після чого виконється мікрокоманда y_2 та перевіряється умова x_2 і т. д.

Для побудови з графа алгоритму графа автомата Міллі позначимо стани автомата вершинами графа a_i . Розглянемо два типи шляхів переходу від одного стану до іншого: шлях, що містить деяку кількість умовних вершин (можливо нуль) і одну операторну вершину, шлях, що містить лише умовні вершини. Якщо перехід безумовний, функція переходу дорівнює одиниці.

Граф автомата Міллі містить три стани (мал. 6.58). Дуги графа відзначені функціями



Мал. 6.58. Перетворення графа алгоритму у граф автомата Міллі

Мал. 6.59. Перетворення графа алгоритму автомата у граф автомата Мура

переходу та функціями виходу. Для шляху другого типу функція виходу не визначена.

Із побудовою автомата Мура символами a_i відзначають лише операторні вершини граф-схеми алгоритму. Символом a_i відзначають початкову та кінцеву вершини, а всі інші – різними символами. Оскільки в даному прикладі всі операторні вершини різні, будемо вважати, що $a_1 = y_0 = y_1$, для інших операторних вершин $a_{i+1} = y_i$. Вхідні сигнали, що забезпечують зміни станів автомата, визначаються як функції переходу між операторними вершинами. Таким чином, дуги графа відзначені сигналами на входах, а виходи автомата Мура (мікрокоманди) однозначно пов'язані зі станом автомата (мал. 6.59).

Для будь-якого автомата Міллі можна побудувати еквівалентний автомат Мура і навпаки. Розглянемо методику переходу. Нехай автомат Мура S_A заданий набором входів, виходів, внутрішніх станів, функцій переходів та функцій виходів: $S_A = \{x_A, z_A, a_A, f_A, \varphi_A\}$. Аналогічно автомат Міллі: $S_B = \{x_B, z_B, a_B, f_B, \varphi_B\}$. З переходом від S_A до S_B допускають: $a_B = a_A$, $x_B = x_A$, $z_B = z_A$, $f_B = f_A$, а функції виходів φ_B визначається наступним чином: якщо в автоматі Мура $f_A(a_m, x_f) = a_s$ і $\varphi_A(a_s) = z_k$, то в автоматі Міллі $\varphi_B(a_m, x_f) = z_k$.

Із зворотним переходом від автомата Міллі до автомата Мура вважають, що $x_A = x_B$, $z_A = z_B$, для визначення a_B кожному стану a_A ставлять у відповідність пари значень (a_S, z_K) , де z_K – вихідні сигнали, що відповідають стану a_S . Функції виходів φ_B та переходів f_B визначають наступним чином. Кожному стану автомата Мура S_B , що являє собою пару виду (a_S, z_K) , ставлять у відповідність вихідний сигнал z_K . Якщо в автоматі Міллі S_A перехід $f_A(a_m, x_f) = a_s$ і при цьому формувалася вихідний сигнал $\varphi_A(a_s) = z_K$, то в S_B буде перехід із множини станів a_m у стан (a_S, z_K) під дією того ж вхідного сигналу x_f . З переходом від автомата Мура до автомата Міллі кількість станів автомата не змінюється, тоді як при зворотному переході кількість станів збільшується.

Оскільки при переході від автомата Міллі до автомата Мура виникають ускладнення, розглянемо методику переходу більш детально. Нехай автомат Міллі задється таблицями а, б, в, мал. 6.60 та графом автомата мал. 6.61, побудованого за табл. в, мал. 6.60.

Поставимо у відповідність кожній парі (a_m, x_f) автомата Міллі стан a_{mf} автомата Мура. Крім того, у множини станів автомата Мура введемо початковий стан a_0 автомата Міллі. Для розглянутого прикладу таку відповідність можна подати табл. 6.16, де у кожному стовпчику відповідної комірки занесені стани автомата Міллі (ліворуч), та стани автомата Мура (праворуч), а кожний рядок відповідає вхідним сигналам при цих станах.

а)

$x \backslash a$	a_0	a_1	a_2	a_3
x_1	a_1	a_2	a_0	a_3
x_2	a_3	a_2	a_0	a_0
x_3	a_2	a_1	a_2	a_3

б)

$x \backslash a$	a_0	a_1	a_2	a_3
x_1	z_3	z_2	z_1	z_1
x_2	z_4	z_3	z_4	z_2
x_3	z_1	z_2	z_4	z_3

в)

$x \backslash a$	a_0	a_1	a_2	a_3
x_1	$\frac{a_1}{z_3}$	$\frac{a_2}{z_2}$	$\frac{a_0}{z_1}$	$\frac{a_3}{z_1}$
x_2	$\frac{a_3}{z_4}$	$\frac{a_2}{z_3}$	$\frac{a_0}{z_4}$	$\frac{a_0}{z_2}$
x_3	$\frac{a_2}{z_1}$	$\frac{a_1}{z_2}$	$\frac{a_2}{z_4}$	$\frac{a_3}{z_3}$

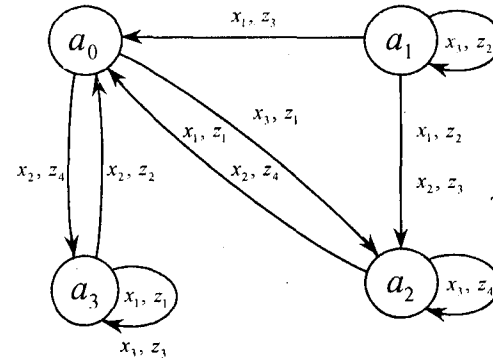
Мал. 6.60. Таблиці автомата Міллі:
переходів – а;
виходів – б;
суміщена – в

Якщо автомат Міллі має k станів і n вхідних сигналів, то еквівалентний автомат Мура буде мати $kn+1$ станів.

Таблиця 6.16. Суміщена таблиця автоматів Міллі та Мура

$x \backslash a$	a_0	a_{00}	a_1	a_2	a_2
x_1	a_1	a_{10}	a_2	a_{11}	a_0
x_2	a_3	a_{02}	a_2	a_{12}	a_0
x_3	a_2	a_{03}	a_1	a_{13}	a_2

Із формуванням станів a_{mf} автомата Мура слід використовувати зв'язки між відповідними станами автомата Міллі, які наведені відповідно у табл. мал. 6.60, б, та зазначені на графові мал. 6.61.



Мал. 6.61.
Граф автомата Міллі за даними табл. в, мал. 6.60

Із табл. 6.16 видно, що стан a_0 автомата Міллі співпадає зі станами a_{00} , a_{21} , a_{22} , a_{32} автомата Мура, тобто

$$a_0 = (a_{00}, a_{21}, a_{22}, a_{32}),$$

$$a_1 = (a_{01}, a_{13}), a_2 = (a_{03}, a_{11}, a_{12}, a_{32}),$$

$$a_3 = (a_{02}, a_{31}, a_{33}).$$

Тому перехід автомата Міллі зі стану a_0 у стан a_1 повинен відповідати всім переходам автомата Мура зі станів a_{00} , a_{21} , a_{22} , a_{32} у стан a_{01} та a_{13} , перехід із a_1 в a_2 повинен відповідати всім переходам із a_{01} та a_{13} в a_{03} , a_{31} , a_{33} і т.д.

Звідки видно, що якщо стан a_{mf} входить у множини станів, які співпадають з станом a_p , то стовпчик таблиці переходів для стану a_{mf} буде співпадати зі стовпчиком таблиці переходів для стану a_p . Значення функції виходів для еквівалентного автомата Мура визначається співвідношенням:

$$\varphi(a_{mf}) = \varphi(a_m, x_f) \text{ при } a_{mf} \neq a_{00}.$$

Для початкового стану a_{00} значення вихідного сигналу вибирають довільно. Значення переходів та вихідних сигналів еквівалентного автомата Мура наведені у табл. 6.17.

Таблиця 6.17. Таблиця переходів та виходів для еквівалентного автомата Мура

	z_3	z_3	z_3	z_1	z_4	z_2	z_3	z_2	z_1	z_4	z_4	z_2	z_1	z_3
x	a_{00}	a_{00}	a_{01}	a_{02}	a_{03}	a_{11}	a_{12}	a_{12}	a_{20}	a_{20}	a_{22}	a_{30}	a_{33}	a'_{33}
x_1	a_{01}	a_{11}	a_{31}	a_{21}	a_{21}	a_{21}	a_{11}	a_{01}	a_{01}	a_{21}	a_{31}	a_{01}	a_{31}	a_{31}
x_2	a_{02}	a_{12}	a_{32}	a_{22}	a_{22}	a_{22}	a_{12}	a_{02}	a_{02}	a_{22}	a_{32}	a_{02}	a_{32}	a_{32}
x_3	a_{03}	a_{13}	a_{33}	a_{23}	a_{23}	a_{23}	a_{13}	a_{03}	a_{03}	a_{23}	a_{33}	a_{03}	a_{33}	a_{33}

З'ясуємо більш детально формування складових табл. 6.17. У першому рядку чисельника формуються вихідні сигнали автомата Мура, а в знаменнику – стани автомата. Наприклад, стан a_{01} (див. граф мал. 6.61) автомата Мура створений з переходом стану a_0 автомата Міллі в стан a_1 , вихідний сигнал при цьому був z_3 , стан a_{02} створений при переході стану автомата a_0 у стан a_2 , вихідний сигнал при цьому був z_1 і т. д. Відповідно до вхідних сигналів x_1, x_2, x_3 , у другому, третьому та четвертому рядках формуються стани автомата Мура. Наприклад, стану автомата Мура a_{01} (див. табл. 6.16) і стовпчику значень під a_{01} , будуть відповідати стани автомата Мура під стовпчиком a_1 станам автомата Міллі, а стану автомата Мура a_{02} відповідає стан автомата Міллі a_3 , тобто у стовпчику значень станів автомата Мура a_{02} будуть відповідати значення a_{31}, a_{32}, a_{33} і т. д. Користуючись табл. 6.16 та 6.17, слід пам'ятати, що:

$$a'_{12} = a_{13}, a_{20} = a_{21}, a'_{20} = a_{22}, a_{22} = a_{23}, a_{30} = a_{31}, a_{33} = a_{32}, a'_{33} = a_{33}.$$

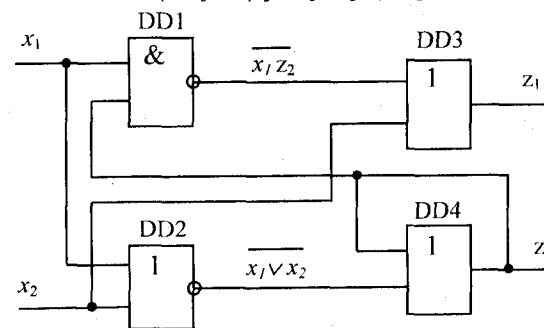
§ 6.7. Аналіз цифрових автоматів із зворотними зв'язками [10, 11, 12, 16, 17, 18, 25]

У таких автоматах вихідні сигнали залежать не лише від вхідних змінних, але і від значень сигналів, які були подані у попередні проміжки часу. Розрізняють синхронні та асинхронні автомати. У синхронних автоматах переходи з одного стану в інший здійснюються через рівні проміжки часу, які виробляються генератором синхронізуючих сигналів. В асинхронних автоматах, до яких належать багато схем зі зворотними зв'язками, переходи здійснюються через інтервали часу між двома сусідніми змінами вхідних сигналів. Важливими параметрами для таких автоматів є параметри, що визначають їх стійкість. Вважають, що автомат зі зворотними зв'язками знаходиться у стійкому стані тоді, коли стани його виходів зберігаються необмежено довго. Нестійкий стан схеми буде тоді, коли існують перехідні процеси. Наявність у схемі двох і більше стійких станів говорить про те, що вона може бути використана для запам'ятовування деяких сигналів, що надходять через зовнішні ланцюги.

Для прикладу розглянемо схему, побудовану на логічних елементах АБО-НЕ, І-НЕ (мал. 6.62).

Вихідні змінні для цієї схеми визначаються наступними рівняннями:

$$z_1 = x_2 \vee \overline{(x_1 z_2)}, \quad z_2 = z_2(x_1 \vee x_2). \quad (6.28)$$



Мал. 6.62. Структурна схема автомата із зворотними сполученнями.

Для розв'язку цих рівнянь складемо таблицю істинності роботи автомата (див. табл. 6.18).

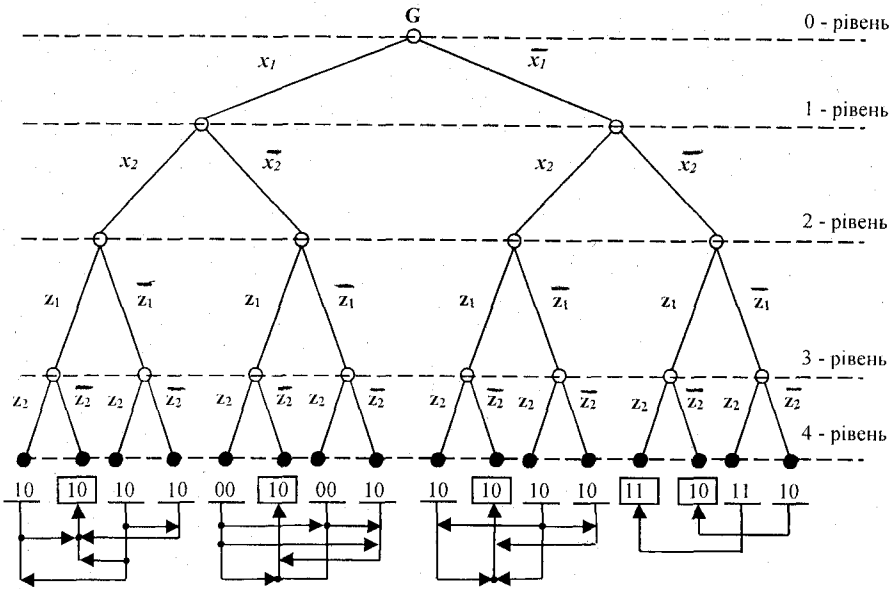
Проаналізуємо роботу схеми мал. 6.62 на прикладі вихідного сигналу z_1 . Як видно з табл. 6.18, у випадку $x_2=1$, для схеми, складеної із логічних елементів, DD1, DD3, не залежно від вхідного набору x_1 та z_2 , завжди зберігається стійкий стан ($z_1=1$). При вхідному наборі $x_2=0$ схема переходить у нестійкий режим роботи, оскільки вихідний сигнал z_1 залежить від вхідного сигналу z_2 . При вхідному наборі $x_1=0$, чи $x_1=1$, z_1 може дорівнювати як нулю, так і одиниці, тобто сигнал на виході z_1 залежить від стану схеми, де формується z_2 . Наприклад, при $z_2=1$ та $x_1=1$ на виході логічного елемента DD3 $z_1=0$ (оскільки $x_2=0$).

Таблиця 6.18. Таблиця істинності автомата

Вхідні сигнали				Вихідні сигнали	
x_1	x_2	z_1	z_2	z_1	z_2
0	0	0	0	1	0
0	0	0	1	1	1
0	0	1	0	1	0
0	0	1	1	1	1
0	1	0	0	1	0
0	1	0	1	1	0
0	1	1	0	1	0
0	1	1	1	1	0
1	0	0	0	1	0
1	0	0	1	0	0
1	0	1	0	1	0
1	0	1	1	0	0
1	1	0	0	1	0
1	1	0	1	1	0
1	1	1	0	1	0
1	1	1	1	1	0

Як видно з аналізу, логічна схема зі зворотними зв'язками у залежності від комбінації вхідних сигналів може бути скінченим автоматом або перейти у факультативний режим роботи, видавати нестандартні вихідні сигнали, або генерувати коливання.

Розглянемо методику аналізу схеми зі зворотними зв'язками на прикладі графа-стіжка. Складемо граф-стіжок для автомата мал. 6.63, де можливі комбінації вхідних змінних x_1 та x_2 зазначимо ребрами першого та другого рівня, а ребрами третього та четвертого рівня – комбінації залежних змінних z_1 та z_2 . Кінцеві вершини будуть характеризувати вихідні сигнали функцій z_1 та z_2 , тобто вихідні стани рівнянь (6.28).



Мал. 6.63. Граф-стіжок та ілюстрація переходів автомата мал. 6.62

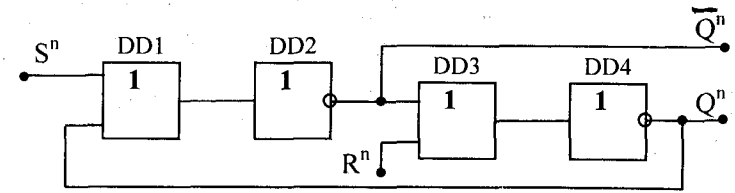
Відомо, що стан автомата є стійким, коли значення вхідних сигналів z_1 та z_2 співпадає зі значеннями вихідних сигналів (мінтерном кінцевої вершини), тобто $z_1 \bar{z}_2 = 10$, $z_1 z_2 = 11$, $z_1 \bar{z}_2 = 10$, $z_1 \bar{z}_2 = 10$, $z_1 \bar{z}_2 = 10$ (на мал. 6.63 такі мінтерми розміщені у квадратах). З'єднавши кінцеві вершини графа з допомогою відповідних ліній та стрілок, можна показати напрямки переходів у стійкий стан автомата. На мал. 6.63 підкреслені мінтерми характеризують нестійкий стан автомата, а лініями та стрілками показано напрямки переходів у стійкий стан. Наприклад, при вхідному наборі $x_1 x_2 z_1 z_2$ відповідає нестійкий стан автомата 10. Однак, при подачі вхідного набору $x_1 x_2 z_1 z_2$ автомат переходить у стійкий стан. У цьому ж вхідному наборі $x_1 x_2 z_1 z_2$ автомат може перейти у стійкий стан через проміжний набір $x_1 x_2 z_1 z_2$, при якому автомат зберігає нестійкий стан, але при послідовному наборі $x_1 x_2 z_1 z_2$ автомат переходить у стійкий стан.

У реальних схемах з переходом автомата з нестійкого стану у стійкий і навпаки, можуть з'явитись проміжні набори та затримки, внаслідок чого виникають ризики збоїв станів (див. § 6.3).

§ 6.8. Синтез тригерних автоматів [10, 11, 12, 17, 18, 19, 20]

Після того, як формальний опис автомата здійснений із врахуванням зворотних зв'язків, його можна реалізувати з використанням елементів мікроелектроніки. Кожний автомат, число

станів якого перевищує одиницю, повинен містити елемент пам'яті. Для прикладу розглянемо роботу цифрового автомата, наведеного на мал. 6.64.



Мал. 6.64. Структурна схема автомата зі зворотними сполученнями

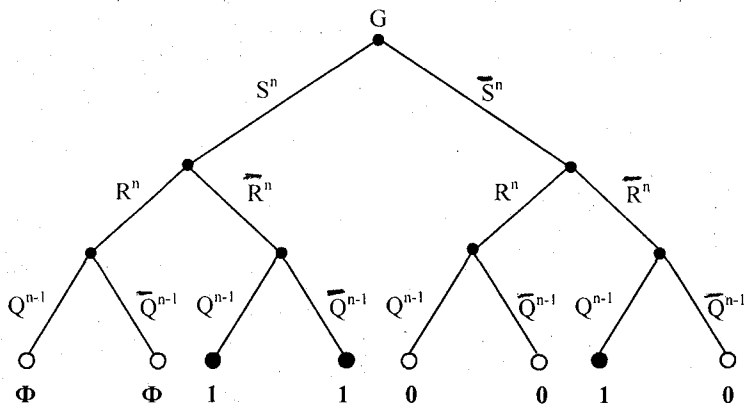
Розглянемо функціонування схеми при зміні незалежних змінних. Значимо, входи автомата у n -такті S^n та R^n , а стан вихідного сигналу у попередньому такті $n-1$, Q^{n-1} та Q^{n-1} , де останній вихідний стан інвертований по відношенню до Q^{n-1} , тобто якщо $Q^{n-1}=0$, то $Q^{n-1}=1$. Нехай схема знаходиться в стані, коли $Q^{n-1}=0$, а на входи надходять значення $R^n=S^n=0$, тоді стан автомата не зміниться $Q^n=0$, тобто підтверджується попередній стан. Схема змінить свій стан на $Q^n=1$, якщо при цих самих вхідних сигналах $S=R=0$ попередній стан $Q^{n-1}=1$. Нехай тепер на вхід схеми, яка знаходилась у стані $Q^{n-1}=0$, $Q^{n-1}=1$ надійшли вхідні сигнали $S^n=1$, $R^n=0$. Із аналізу видно, що схема на виході встановиться у стійкий стан $Q^n=1$, $Q^n=0$. В табл. 6.18 показані всі можливі стани автомата при різних комбінаціях вхідних сигналів S^n , R^n та сигналів, що подавались через ланцюг зворотного зв'язку Q^{n-1} .

Таблиця 6.18.

Таблиця переходів автомата

№ за/п	Значення вхідних станів			Вихідний сигнал	Опис стану автомата
	S^n	R^n	Q^{n-1}	Q^n	
1	0	0	0	0	Зберігання "нуля"
2	0	0	1	1	Зберігання "одиниці"
3	0	1	0	0	Підтвердження "нуля"
4	0	1	1	0	Встановлення у "нуль"
5	1	0	0	1	Встановлення в "одиницю"
6	1	0	1	1	Підтвердження "одиниці"
7	1	1	0	Ф	Невизначеність
8	1	1	1	Ф	Невизначеність

Із аналізу роботи схеми видно, що з подаванням на вхід різних сигналів $S^n=0, R^n=1$, або $S^n=1, R^n=0$, вихід стійко зберігає певне значення. І лише при наборі вхідних значень $S^n=R^n=1$, функціонування схеми як устаткування зі зворотним зв'язком порушується: сигнал на обох виходах дорівнює нулю. Такий стан невизначеності названий факультативним (Φ). Цю особливість схеми необхідно враховувати, наприклад, при мінімізації. Покажемо це на прикладі з використанням графа-стіжка (див. мал. 6.65). Для його побудови зазначимо ребра першого рівня через S^n , другого рівня – R^n , третього рівня через Q^{n-1} , а кінцеві вершини графа через Q^n , тобто вони будуть характеризувати вихідні стани автомата. Кінцеві вершини, де $Q^n=1$, затемнені.



Мал. 6.65. Граф-стіжок автомата мал. 6.64

Використавши методику мінімізації, описану у § 5.6, одержимо:

$$Q^n = S^n \bar{R}^n \vee \bar{S}^n R^n Q^{n-1} \quad (6.29)$$

Як видно з рівняння (6.29), для того, щоб уникнути невизначеності (факультативу) у роботі схеми, тобто стану, коли $\bar{S}^n = \bar{R}^n = 0$, необхідно, щоб $\bar{S}^n = \bar{R}^n = 1$.

Тоді кінцеве рівняння запишеться:

$$Q^n = S^n \vee \bar{R}^n Q^{n-1}, \quad (6.30)$$

де $\bar{S}^n = \bar{R}^n = 1$, тобто $S^n \cdot R^n = 0$

Із аналізу формули (6.30) видно, що вона являється аналітичним представленням автомата мал. 6.64, оскільки описує його таблицю переходів (див. табл. 6.18). Ця форма представлення автомата для двох станів a_0, a_1 (0, 1 або 1, 0) повністю співпадає з представленням автомата Мура (див. мал. 6.54).

Автомат, який може знаходитися в одному із двох стійких станів і переходити із одного стану в інший під впливом вхідного сигналу, називають тригером. Стан тригера визначається за вихідним сигналом, тобто тригер являється елементарним автоматом Мура, для якого характерні множини (X, A, Z, F, Φ) . Різні види тригерів мають різну кількість входів та внутрішніх станів.

За способом приймання інформації, тригери поділяються на асинхронні та синхронні. Асинхронні тригери змінюють свій стан під час подавання інформації. Синхронні тригери реагують на інформаційні сигнали з наявністю сигналу дозволення на спеціальному

керуючому вході С, який називають входом синхронізації. Синхронні тригери поділяють на тригери зі статичним та динамічним керуванням по входу С. Тригери зі статичним керуванням сприймають інформаційні сигнали з подаванням на вхід С рівня одиниці (прямий С-вхід) або нуля (інверсний С-вхід). Тригери з динамічним керуванням сприймають інформаційні сигнали зі зміною сигналу на С-вході від нуля до одиниці (прямий динамічний вхід) або від одиниці до нуля (інверсний динамічний С-вхід).

За принципом побудови тригери зі статичним керуванням можна розділити на одноступеневі та двохступеневі. Одноступеневі тригери характеризуються наявністю одного ступеня запам'ятовування інформації. У двохступневих тригерах наявні два ступені запам'ятовування інформації. На початку інформація записується у перший ступінь, з подальшим записом у другий ступінь і появою його на виході.

За функціональною ознакою тригери поділяють на наступні типи:

1. Тригер з роздільним установленням стану 1 або 0 (RS-тригер асинхронний або синхронний).
2. Тригер з прийманням інформації по одному входу D (D-тригер або тригер затримки).
3. Тригер з лічильним входом Т (Т-тригер).
4. Універсальний тригер з інформаційними входами J та K (JK-тригер).

Тригери характеризуються такими параметрами як: швидкодія, чутливість, споживана потужність, завадостійкість та функціональні можливості. Швидкодія визначається максимальною частотою перемикання станів тригера і досягає сотень мегагерц. Чутливість тригера визначається найменшою напругою на вході (гранична напруга), при якій проходить перемикання. Завадостійкість характеризує здатність тригера функціонувати в умовах завад. Функціональні можливості тригера характеризуються кількістю вхідних сигналів. Для зазначення функціональних можливостей тригера в інтегральному виконанні використовуються наступні маркування: TR – RS-тригер; TB – JK-тригер; TM – D-тригер.

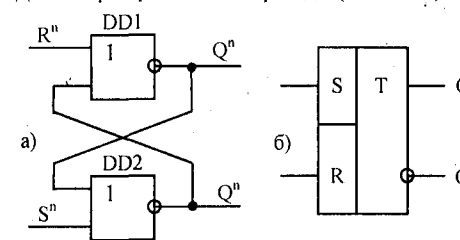
Для повного опису тригера достатньо задавання його структурної схеми на базових логічних елементах та закону функціонування. Для побудови тригерів використовують базові логічні елементи АБО-НЕ, І-НЕ. Оскільки, як було сказано, тригер являється елементарним автоматом Мура, закон його функціонування може задаватись таблицею переходів, в якій вхідні сигнали у моменти їх зміни та стан тригера зазначені індексом n-1, а після перемикання – індексом n.

Розглянемо основні типи тригерів.

Асинхронний RS-тригер з прямими входами

Найпростіший тригер, на якому зручно вивчити принцип дії та способи опису, – RS-тригер (від англ. set – встановлення, reset – скидання). Цей тригер має два інформаційні входи S та R, які використовуються для встановлення відповідно 1 та 0, а також два виходи: прямий Q та інверсний \bar{Q} . RS-тригер побудований на двох логічних елементах АБО-НЕ, які сполучені в контур (мал. 6.66, а). Графічне зазначення RS-тригера наведено на мал. 6.66, б.

Для RS-тригера таблиця переходів (табл. 6.18) аналітичний опис (фор. 6.30), граф-стіжок

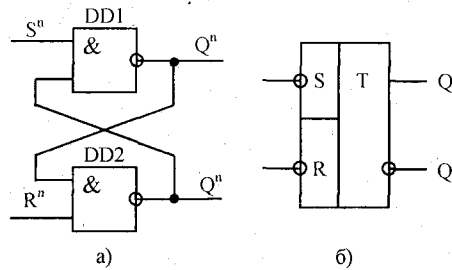


Мал. 6.66. Принципова схема RS-тригера – а, графічне зазначення – б

побудований для мінімізації функціональної схеми (мал. 6.65) повністю співпадають із автоматом Мура, показаному на мал. 6.64, тому, для вивчення функціональних можливостей цього типу тригера, необхідно ознайомитись із викладеним вище матеріалом.

Асинхронний RS-тригер з інверсними входами

Такий тригер будується на базових елементах І-НЕ. У цьому випадку рівень 0 являється активним вхідним сигналом, рівень 1 – пасивним. Інформаційні вхідні сигнали зазначають як інверсні (S, R). У цьому випадку тригер з інверсними вхідними сигналами буде описуватись цією ж таблицею переходів, що і тригер з прямими входами. Схема RS-тригера з інверсними входами наведена на мал. 6.67, а, а графічне зазначення такого тригера наведено на мал. 6.67, б.



Мал. 6.67. Принципова схема RS-тригера – а, графічне зазначення – б

Закони функціонування RS-тригера на елементах І-НЕ описуються таблицею переходів (табл. 6.19).

Таблиця 6.19. Таблиця переходів RS-тригера

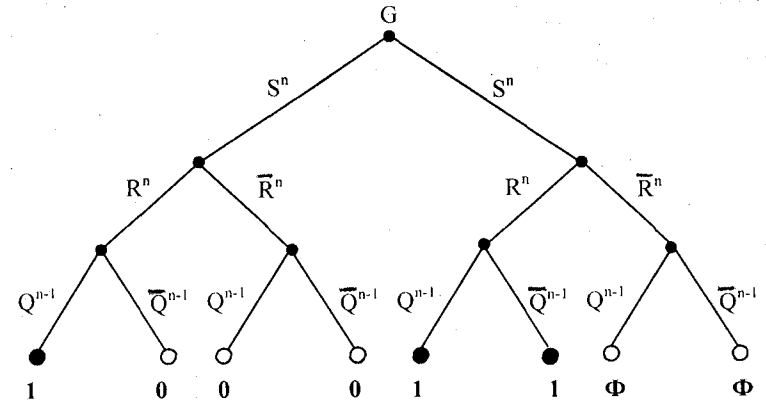
№ п/п	Вхідні сигнали		Вихід	
	\bar{S}^n	\bar{R}^n	Q^{n-1}	Q^n
1	0	0	0	Φ
2	0	0	1	Φ
3	0	1	0	1
4	0	1	1	1
5	1	0	0	0
6	1	0	1	0
7	1	1	0	0
8	1	1	1	1

Із таблиці видно, що комбінація $\bar{S} = \bar{R} = 0$ є факультативною, тобто невизначеною, оскільки на обох виходах встановлюються одиниці. Стан $Q^{n-1} = Q^n = 1$ при $\bar{S} = \bar{R} = 1$ нейтральний, оскільки від зміни незалежних вхідних значень від $\bar{S} = 0$ та $\bar{R} = 0$ до значень $\bar{S} = 1$ та $\bar{R} = 1$ схема може перейти у стан $Q^{n-1} = 0, Q^n = 1$, або $Q^{n-1} = 1, Q^n = 0$, то перехід буде невизначений (див. § 6.7). Запобігти цьому стану можна методом накладання обмежень на допустимі комбінації вхідних сигналів, а саме $S^n \vee R^n = 1$. Використаємо

$$Q^n = \bar{S}^n R^n \vee S^n \bar{R}^n Q^{n-1}$$

Враховавши, що $S^n \vee R^n = 1$, остаточно одержимо:

$$Q^n = \bar{S}^n \vee R^n Q^{n-1} \tag{6.31}$$

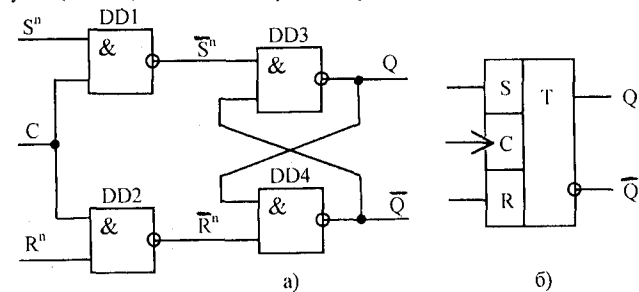


Мал. 6.68. Граф-стіжок RS-тригера з інверсними входами

Цю функцію називають функцією переходів бістабільної схеми (тригера) на елементах І-НЕ, разом з умовою $S^n \vee R^n = 1$ – характеристичним рівнянням RS-тригера з інверсними входами. Швидкодія асинхронного RS-тригера визначається затримкою встановлення його станів, яка дорівнює сумі затримок передавання сигналів через ланцюги логічних елементів.

Синхронний RS-тригер із статичним керуванням

Такий тригер відрізняється від асинхронного наявністю С-входу, на який надходять синхронізуючі (тактові) сигнали. Синхронний тригер складається із асинхронного RS-тригера



Мал. 6.69. Принципова схема асинхронного RS-тригера зі статичним керуванням – а, умовне графічне зазначення тригера – б

та комбінаційної цифрової схеми (див. мал. 6.69, а). Схема містить три входи S^n, R^n, C та два виходи S^n та R^n і складається із двох логічних схем І-НЕ.

Із сигналом на вході $C=0$, вхідні логічні елементи DD1, DD2 блоковані, оскільки їх виходи $\bar{S}^n = \bar{R}^n = 1$ і не залежать від вхідних сигналів S^n та R^n . Враховуючи те, що для даного типу тригера набір одиничних сигналів на вході являється нейтральним, тригер буде зберігати попередній стан, $Q^n = Q^{n-1}$.

Із вхідним сигналом $C=1$ вхідні логічні елементи DD1 та DD2 відкриваються для передачі інформації через входи S^n та R^n . У тому стані синхронний тригер, при наявності сигналу дозволяння, буде функціонувати як асинхронний тригер. Таблиця переходів для такого тригера показана в табл. 6.20. Граф-стіжок, що побудований за табл. 6.20 і описує роботу синхронного тригера на елементах І-НЕ, представлений на мал. 6.70.

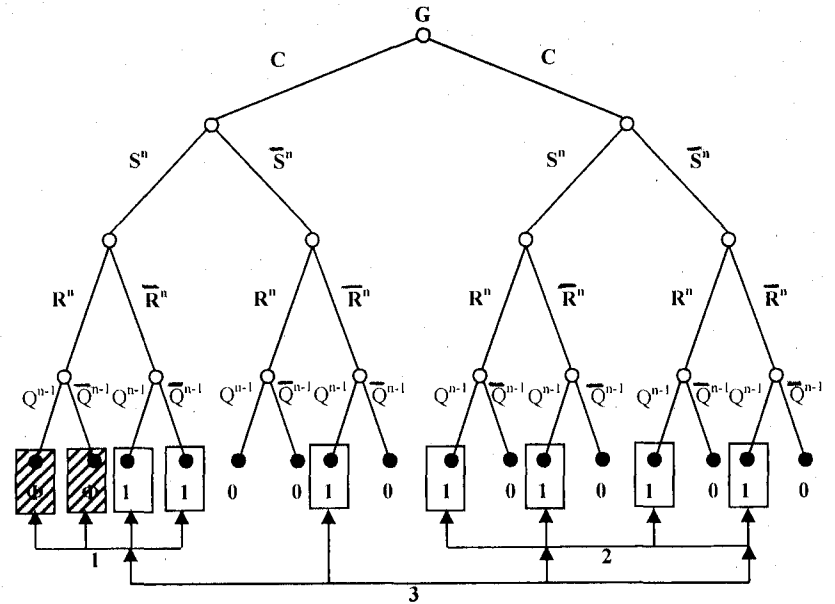
Використовуючи граф-стіжок, можна одержати мінімальну удосконалену диз'юнктивну нормальну функцію, яка описує роботу RS-тригера. Мінтерми, для яких $Q^n=1$ (кінцеві вершини графа, на мал. 6.70 взяті у прямокутники), згруповані для проведення мінімізації.

Відповідно, у першу, другу та третю групи увійшли наступні мінтерми:

- $CS^n\bar{R}^n\bar{Q}^{n-1}$, $CS^n\bar{R}^nQ^{n-1}$, $CS^nR^nQ^{n-1}$, $CS^nR^n\bar{Q}^{n-1}$
(останні два мінтерма факультативні).
- $\bar{C}\bar{S}^n\bar{R}^nQ^{n-1}$, $\bar{C}\bar{S}^nR^nQ^{n-1}$, $\bar{C}S^n\bar{R}^nQ^{n-1}$, $\bar{C}S^nR^nQ^{n-1}$
- $CS^n\bar{R}^nQ^{n-1}$, $C\bar{S}^n\bar{R}^nQ^{n-1}$, $\bar{C}S^n\bar{R}^nQ^{n-1}$, $\bar{C}\bar{S}^n\bar{R}^nQ^{n-1}$

Таблиця 6.20. Таблиця переходів синхронного RS-тригера

№ за/п	Вхідні сигнали				Вихідні сигнали
	C	S^n	R^n	Q^{n-1}	Q^n
1	0	0	0	0	0
2	0	0	0	1	1
3	0	0	1	0	0
4	0	0	1	1	1
5	0	1	0	0	0
6	0	1	0	1	1
7	0	1	1	0	0
8	0	1	1	1	1
9	1	0	0	0	0
10	1	0	0	1	1
11	1	0	1	0	0
12	1	0	1	1	0
13	1	1	0	0	1
14	1	1	0	1	1
15	1	1	1	0	Ф
16	1	1	1	1	Ф



Мал.6.70. Граф-стіжок функціонування асинхронного тригера із статичним керуванням

Внаслідок мінімізації з використанням графа, від першої групи одержимо складову CS^n , від другої групи одержимо складову $\bar{C}\bar{Q}^{n-1}$, і від третьої групи – \bar{R}^nQ^{n-1} .

Остаточно характеристичне рівняння синхронного RS-тригера має вигляд:

$$Q^n = CS^n \vee \bar{C}\bar{Q}^{n-1} \vee \bar{R}^nQ^{n-1} \quad (6.32)$$

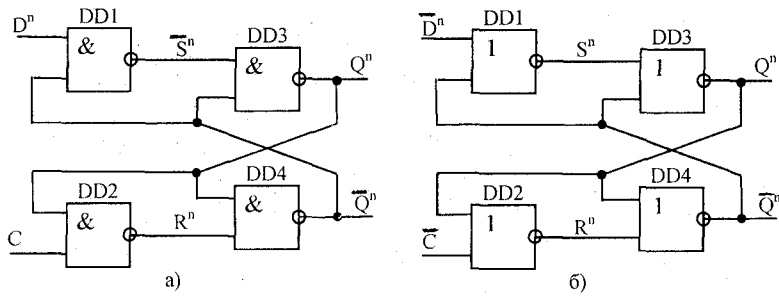
Із формули видно, що синхронний RS-тригер приймає стан на виході 1, коли на входи C та S^n надходять високі рівні, або зберігає одиничний стан Q^{n-1} при відсутності одиничних сигналів на входах C або R^n .

Умовне зазначення асинхронного тригера наведено на мал. 6.69, б.

Загальний час встановлення стану тригера дорівнює сумі затримок передачі сигналу через ланцюги з трьох логічних елементів – затримкою на рівний час у кожному. Тривалість сигналу синхронного імпульсу повинна перевищувати час перемикання.

D-тригер (тригер затримки)

Цей тригер реалізує функцію логічної затримки (від англ. delay - затримка) і має один інформаційний вхід (D-вхід) та вхід для синхронізації С. Принципова схема D-тригера, побудованого на логічних елементах І-НЕ, наведена на мал. 6.71,а, а на елементах АБО-НЕ – на мал. 6.71,б.



Мал. 6.71. Схема D-тригера на елементах І-НЕ – а, на елементах АБО-НЕ – б

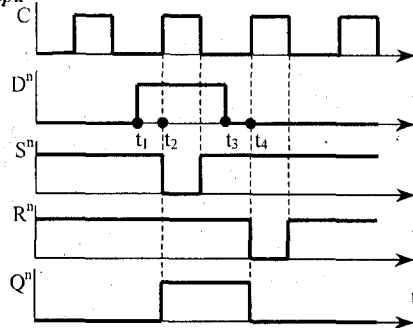
Як видно з малюнків, кількість станів автомата дорівнює кількості станів бістабільної схеми, виконаної на логічних елементах DD3, DD4, тому побудова тригера зведеться до пошуку функцій збудження асинхронного RS-тригера із інверсними входами.

На практиці широко застосовуються D-тригери із синхронізацією (однотактні та двотактні). Їх особливість зумовлена збереженням логічної одиниці після зняття сигналу на вході до надходження чергового синхронізуючого імпульсу. Цю особливість функціонування тригера видно із таблиці переходів (див. табл. 6.21) та його часової діаграми (мал. 6.72).

Із часової діаграми видно, що до часу надходження вхідного сигналу D-тригер знаходиться у стані логічного нуля ($Q^n=0, \bar{Q}^n=1$). В інтервалі часу t_1-t_2 , коли поданий сигнал $D^n=1$, стан тригера не змінюється, оскільки при цьому $C=0$ і сигнали на входах логічних елементів $\bar{S}^n = \bar{R}^n=1$. Дія сигналу $C=1$ у момент часу t_2 зумовлює на вході логічного елемента DD3 $\bar{S}^n=0$, а на виході логічного елемента DD2 $\bar{R}^n=1$. Цей стан призводить до перемикаання тригера у стан логічної одиниці ($Q^n=1, \bar{Q}^n=0$). Одиначний стан тригера не зміниться до

Таблиця 6.21. Таблиця переходів D-тригера

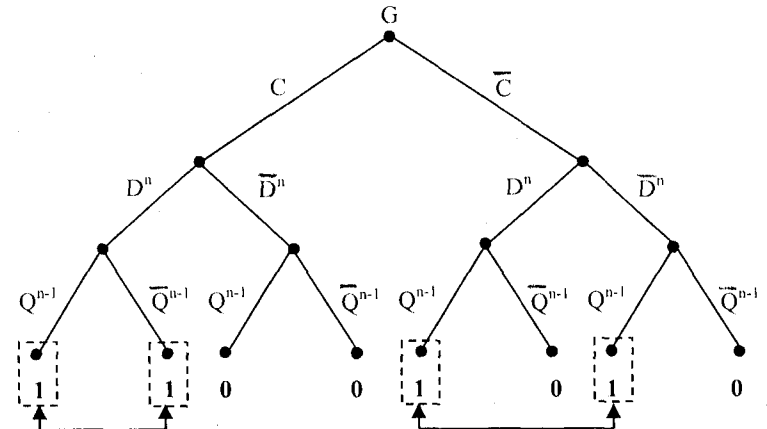
№ за/п	Вхідні сигнали			Вихідний сигнал
	C	D ⁿ	Q ⁿ⁻¹	Q ⁿ
1	0	0	0	0
2	0	0	1	1
3	0	1	0	0
4	0	1	1	1
5	1	0	0	0
6	1	0	1	0
7	1	1	0	1
8	1	1	1	1



Мал. 6.72. Часові діаграми D-тригера

моменту часу t_4 , оскільки при $C=0$ сигнали на входах DD3 та DD4 $\bar{S}^n = \bar{R}^n=1$. Поява у момент часу t_4 сигналу $C=1$ змінює стани вихідних сигналів логічних елементів DD1 та DD2 ($\bar{R}^n=0, \bar{S}^n=1$), а це спонукає зміни стану D-тригера ($Q^n=0, \bar{Q}^n=1$)

Умови функціонування D-тригера підтверджує його таблиця переходів 6.21, використання якої для побудови графа-стіжки (див. мал. 6.73) дає змогу одержати аналітичне представлення (функцію переходів) D-тригера.



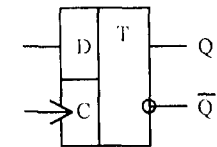
Мал. 6.73. Граф-стіжок функціонування D-тригера

Внаслідок проведення мінімізації з використанням графа-стіжки (мінтерми, які мінімізуються, обведені прямокутниками і сполучені лініями), одержимо функцію переходів вигляду:

$$Q^n = CD^n \vee \bar{C}Q^{n-1} \tag{6.33}$$

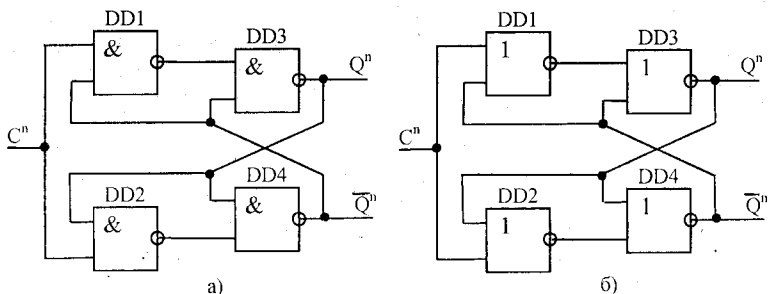
Принцип дії двотактного D-тригера подібний до однотактного. Різниця в тому, що записування інформації у них проводиться з однією послідовністю синхронізуючих сигналів, а видавання – з участю іншої послідовності синхронізуючих сигналів. Обидві послідовності тактових імпульсів мають фазовий зсув на 180°.

Аналізуючи формулу (6.33) та часову діаграму (мал. 6.72), можна зробити висновок, що під дією синхронізуючого сигналу С інформація, що надходить на вхід Dⁿ, приймається тригером, але на виході Qⁿ з'явиться із затримкою на один такт. Графічне зазначення D-тригера показано на мал. 6.74.



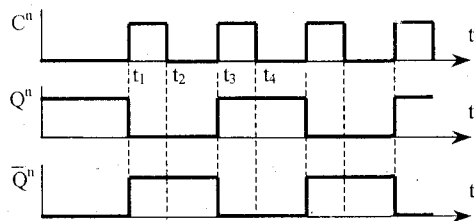
Мал. 6.74. Графічне зазначення D-тригера

T-тригер (лічильний тригер). Характерна властивість тригера та, що він перемикається у протилежний стан з подаванням кожного чергового вхідного сигналу і, як і D-тригер, є елементарним автоматом з одним входом. Тригери T-типу будуються на логічних схемах І-НЕ (див. мал. 6.75,а), або АБО-НЕ (див. мал. 6.75,б).

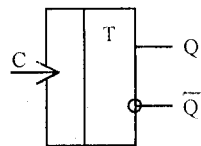


Мал. 6.75. Схема Т-тригера на елементах І-НЕ – а, на елементах АБО-НЕ – б

Принцип дії тригера пояснюють часові діаграми, наведені на мал. 6.76.



Мал. 6.76. Часові діаграми Т-тригера



Мал. 6.77. Графічне зазначення Т-тригера

До моменту часу t_1 тригер на виході мав одиничний стан ($Q^n=1, \bar{Q}^n=0$). У момент часу t_1 на вхід тригера подається сигнал високого рівня $C=1$, але, завдяки тому, що на другий вхід логічної схеми DD1 подається логічний нуль, стан її на виході не змінюється. Однак на виході логічної схеми DD2 стан змінюється на логічний нуль ($C^n=1, Q^{n-1}=1$), що призводить до встановлення тригера на інверсному виході в одиничний стан $\bar{Q}^n=1$, відповідно на прямому виході тригер встановлюється у стан логічного нуля $Q^n=0$. Цей стан зберігається до надходження переднього фронту вхідного імпульсу, тобто, коли $C=1$. Подальше функціонування тригера здійснюється у такому ж порядку. Функціонування такого режиму роботи тригера пояснює таблиця переходів тригера (див. табл. 6.22).

Використовуючи граф-стіжок для мінімізації схеми, як це робилось для попередніх тригерів (граф дворівневий), можна знайти значення функції переходів для Т-тригера, яка має вигляд:

$$Q^n = \bar{C}^n Q^{n-1} \vee C^n \bar{Q}^{n-1} \quad (6.34)$$

Аналізуючи формулу (6.34), легко помітити, що, якщо ототожнити вхідний сигнал Q^{n-1} з однією перемикальною

Таблиця 6.22. Таблиця переходів Т-тригера.

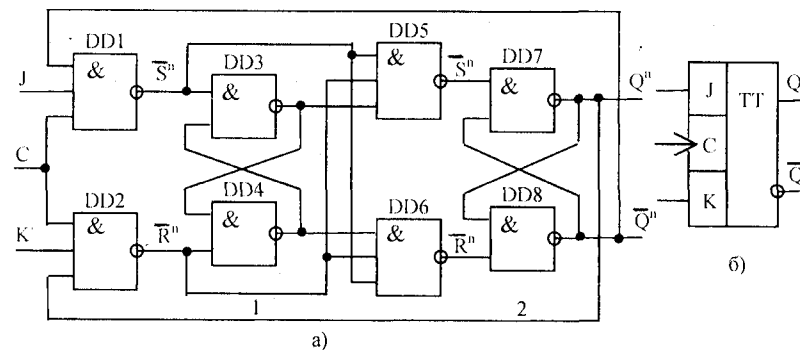
№ за/п	Вхідні сигнали		Вихідний сигнал
	C^n	Q^{n-1}	
1	0	0	0
2	0	1	1
3	1	0	1
4	1	1	0

змінною, а стан тригера у $n-1$ такті – з другою змінною, то функція Q^n буде функцією суми по модулю 2 кількості вхідних сигналів. Цим і пояснюється друга назва цього тригера – тригер із лічильним входом. Графічне зазначення тригера показано на мал. 6.77.

Універсальний JK-тригер

JK-тригер є елементарним автоматом з двома входами, але на відміну від RS-тригерів такі тригери називаються універсальними, оскільки дозволяють на їх основі будувати всі інші типи тригерів.

Принципова схема тригера наведена на мал. 6.78, а, вона являє собою двохступеневий синхронний тригер.



Мал. 6.78. Принципова схема двохступеневого асинхронного JK-тригера – а, графічне зазначення – б

Як видно із малюнка, JK-тригер складається із двох асинхронних RS-тригерів з інверсними входами і двох цифрових схем керування, кожна з яких містить дві схеми І-НЕ з трьома входами кожна (DD1, DD2, DD5, DD6). Закон функціонування JK-тригера заданий у табл. 6.23.

Закони функціонування тригера відрізняються від синхронного RS-тригера лише тим, що не містять заборонених комбінаційних сигналів на виходах J та K. Крім того, при $J=1$ та $K=1$ тригер змінює свій стан на протилежний, тобто функціонує як тригер з лічильним входом (Т-тригер). При $C=0$ входи J та K заблоковані, і як наслідок, являються заблокованими входи \bar{S}^n та \bar{R}^n першого тригера. При $C=1$ у відповідності з інформаційними сигналами на входах J та K встановлюється стан першого тригера. При цьому на входи \bar{S}^n та \bar{R}^n другого тригера надходять сигнали, при яких зберігається попередній стан. При $C=0$, коли входи тригера 1 закриті для вхідної інформації, входи тригера 2 відкриваються і стан першого тригера сприймається другим тригером. Графічне зазначення двохступеневого JK-тригера показано на мал. 6.78, б.

Використовуючи граф-стіжок чи інші методи мінімізації, можна визначити значення функції переходів для JK-тригера, яка має вигляд:

$$Q^n = \bar{C}Q^{n-1} \vee C\bar{J}\bar{K}Q^{n-1} \vee C\bar{J}\bar{Q}^{n-1} \quad (6.35)$$

для випадку $\bar{J}\bar{K}=1$, остаточно отримаємо:

$$Q^n = Q^{n-1} \vee C\bar{J}\bar{Q}^{n-1}$$

Для побудови складних автоматів часто використовують JK-тригери з логікою на входи (див. мал. 6.79, а). Графічне зображення такого тригера на мал. 6.79, б.

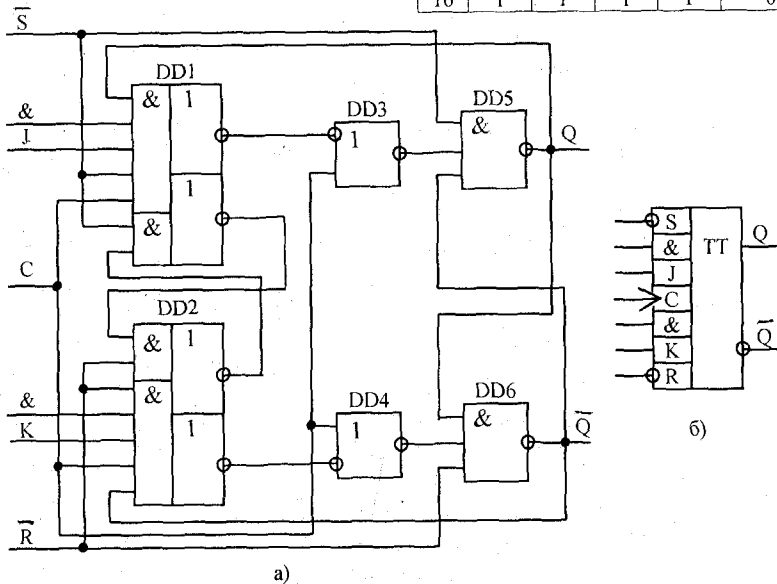
З наявністю синхроімпульсу $C=1$ другий ступінь тригера блокуваний, а інформаційні сигнали встановлюють стан першого ступеня. Із синхроімпульсом $C=0$ другий ступінь сприймає стан першого. Необхідний початковий стан тригера встановлюється за допомогою сигналів, що подаються на входи RS-тригерів першого та другого ступенів. У схему тригера вмонтовані логічні елементи, що дає змогу будувати складні автомати. Умовне позначення двохступеневого тригера показано на мал. 6.79, б.

Таблиця 6.23. Таблиця переходів JK-тригера

№ за/п	Вхідні сигнали				Вихідні сигнали
	C	J ⁿ	K ⁿ	Q ⁿ⁻¹	Q ⁿ
1	0	0	0	0	0
2	0	0	0	1	1
3	0	0	1	0	0
4	0	0	1	1	1
5	0	1	0	0	0
6	0	1	0	1	1
7	0	1	1	0	0
8	0	1	1	1	1
9	1	0	0	0	0
10	1	0	0	1	1
11	1	0	1	0	0
12	1	0	1	1	0
13	1	1	0	0	1
14	1	1	0	1	1
15	1	1	1	0	1
16	1	1	1	1	0

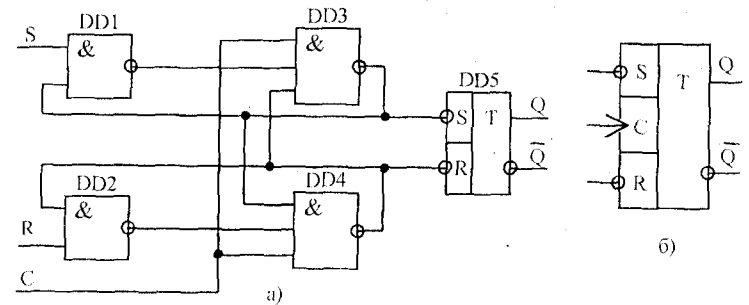
Синхронні тригери з динамічним керуванням

Такий режим проводиться з використанням входу C, коли надходить інформація для зміни стану лише тоді, як на вхід C здійснюється перехід з рівня 0



Мал. 6.79. Принципова схема JK-тригера – а, умовне позначення тригера – б

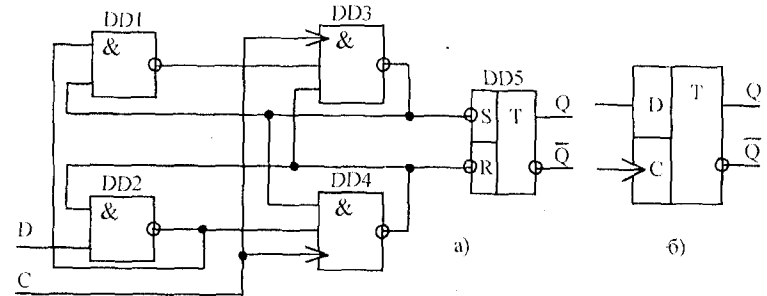
на рівень 1, або навпаки. Для одержання RS-тригера з динамічним входом достатньо побудувати схему, що наведена на мал. 6.80, а.



Мал. 6.80. Принципова схема синхронного тригера з динамічним керуванням – а, умовне позначення – б

Якщо при вхідному сигналі $C=0$ на інформаційні входи S та R надходять будь-які рівні сигналів, то зміна рівня на вхіді C з 0 на 1 на виході елемента DD3 встановлює логічний нуль, який надходить на вхід елемента DD3 і забезпечує на його виході рівень логічної одиниці, незалежно від наступних значень рівнів сигналів на входи S. Вхід S логічно вимикається і ніяких змін рівнів на входах S та R тригер не сприймає, поки не пройде перехід на вхіді C з рівня 0 на рівень 1. Умовне позначення такого тригера наведено на мал. 6.80, б.

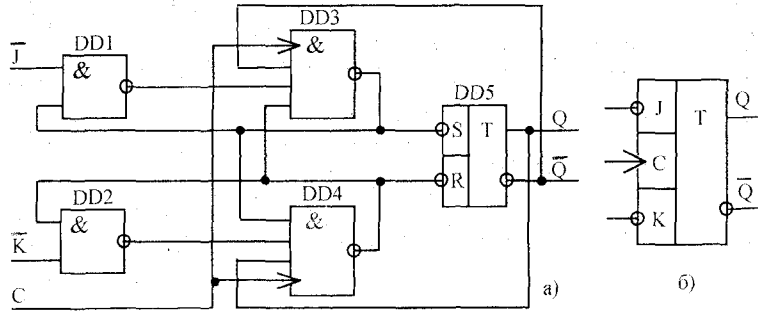
Схема D-тригера з динамічним керуванням наведена на мал. 6.81, а, умовне позначення подано на мал. 6.81, б. Приймання у тригер інформації із входу D проходить під час зміни на вхіді C рівня 0 на рівень 1. Подальше функціонування тригера подібне до синхронного RS-тригера.



Мал. 6.81. Принципова схема синхронного D-тригера – а, умовне позначення – б

Схема JK-тригера з динамічним керуванням наведена на мал. 6.82, а, а його умовне позначення на мал. 6.82, б. Перемикання тригера зі стану Q^{n-1} в стан $Q^n=0$ проходить при $K=1$ та $Q^{n-1}=1$, тобто $K \cdot Q^{n-1}=1$. В усіх інших випадках зберігається раніше встановлений стан $Q^n=Q^{n-1}$. Для одержання схеми JK-тригера зі схеми RS-тригера необхідно на входи \bar{S} та \bar{R} асинхронного RS-тригера забезпечити рівні $\bar{S} = \bar{J}Q^{n-1}$ та $R = KQ^{n-1}$. Замінюючи позначення

входів S та R відповідно на J та K та передбачивши зворотні зв'язки з виходів RS-тригера на входи елементів DD3 та DD4, одержимо схему JK-тригера з динамічним входом.



Мал. 6.82. Принципова схема синхронного JK-тригера – а, умовне позначення – б

Комбінаційні тригери RST та DV типу

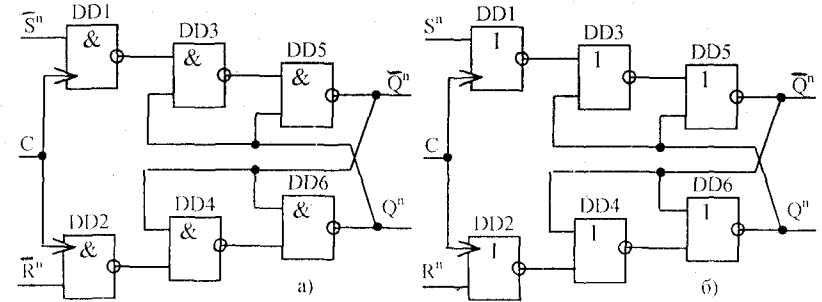
Прикладом елементарного автомата з трьома входами являється RST-тригер (тригер із входом встановлення та лічильним входом), функціонування якого описується табл. 6.24. Сигнал C=1 переводить RST-тригер у протилежний стан. Сигнал Rⁿ=1 встановлює тригер у нульовий стан Qⁿ=0, а сигнал Sⁿ=1 – у стан логічної одиниці. Подання логічної одиниці на два або три входи заборонене, оскільки стан Qⁿ тригера у цьому випадку не визначений. Використовуючи значення змінних у табл. 6.24 та один із методів мінімізації УДНФ, можна визначити функцію переходів, яка для даного тригера має вигляд:

$$Q^n = S^n \vee C^n \bar{Q}^{n-1} \vee \bar{C}^n R^n Q^{n-1} \quad (6.36)$$

Ці функції відповідають принципіві схеми RST-тригера на мал. 6.83, а та б.

Таблиця 6.24. Таблиця переходів RST-тригера

№ за/п	Вхідні сигнали				Вихідний сигнал Q ⁿ
	C ⁿ	R ⁿ	S ⁿ	Q ⁿ⁻¹	
1	0	0	0	0	0
2	0	0	0	1	1
3	0	0	1	0	1
4	0	0	1	1	1
5	0	1	0	0	0
6	0	1	0	1	0
7	0	1	1	0	Ф
8	0	1	1	1	Ф
9	1	0	0	0	1
10	1	0	0	1	0
11	1	0	1	0	Ф
12	1	0	1	1	Ф
13	1	1	0	0	Ф
14	1	1	0	1	Ф
15	1	1	1	0	Ф
16	1	1	1	1	Ф



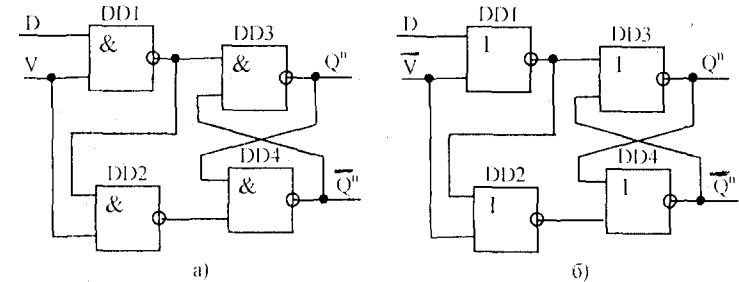
Мал. 6.83. Принципова схема RST-тригера на елементах І-НЕ – а, на елементах АБО-НЕ – б

DV-тригер також є універсальним елементарним автоматом з двома входами. Коли V=1, тригер працює як D-тригер, то тригер зберігає свій попередній стан. Таблиця переходів у такого тригера наведена у табл. 6.25.

На основі таблиці переходів та, застосувавши методи мінімізації, одержимо:

$$Q^n = D^n V^n \vee \bar{V}^n Q^{n-1} \quad (6.37)$$

Використовуючи формулу 6.37 можна побудувати DV-тригери, які наведені на мал. 6.84, а – на елементах І-НЕ, б – на елементах АБО-НЕ.



Мал. 6.84. Принципові схеми DV-тригерів

Розглянемо методи побудови тригерів на основі універсальних. У загальному випадку це можна зробити тим самим методом, як будувались різні типи тригерів на основі бістабільних схем, тобто знайти розв'язок системи рівнянь, які одержані із функцій переходів синтезованого та заданого тригерів, а після цього, відповідно з одержаним результатом, реалізувати на логічних елементах

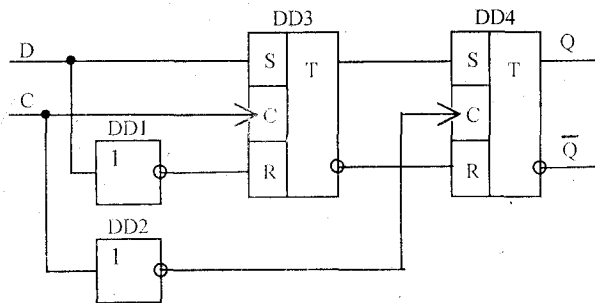
Таблиця 6.25. Таблиця переходів DV-тригера

№ за/п	Вхідні сигнали			Вихідні сигнали Q ⁿ
	D ⁿ	V ⁿ	Q ⁿ⁻¹	
1	0	0	0	0
2	0	0	1	1
3	0	1	0	0
4	0	1	1	0
5	1	0	0	0
6	1	0	1	1
7	1	1	0	1
8	1	1	1	1

схему керування бістабільної схеми елементарного автомата.

Для практичного користування наведемо приклади таких побудов.

D-тригер можна побудувати шляхом каскадного вмикання двох синхронних RS-тригерів. Проходження інформації з одного тригера у інший здійснюється після закінчення запису в перший тригер (див. мал. 6.85).

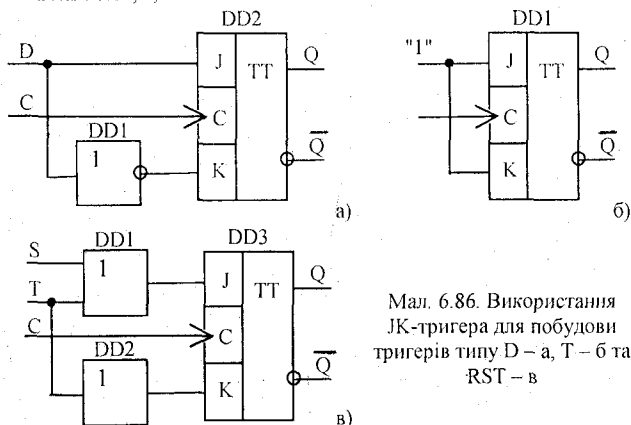


Мал. 6.85. Схема D-тригера, побудованого на основі RS-тригерів

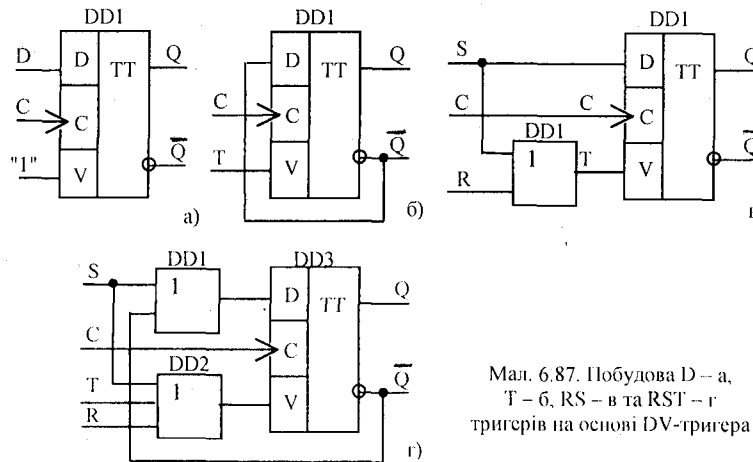
Як видно зі схеми, інформаційний сигнал $D=1$, що записаний у тригер DD3 сигналом синхроімпульсу $C=1$, у тригер DD4 не переписується, оскільки переписування блокується інвертором DD2. Лише після закінчення цього такту, коли $C=0$, інформація може бути переписана з виходу першого тригера.

JK-тригер буде працювати як D-тригер, коли на його вхід J подати сигнал D, а на вхід K – сигнал \bar{D} (див. мал. 6.86, а). При об'єднанні входів J та K, з подачею логічної одиниці, JK-тригер працює як T-тригер (мал. 6.86, б). RS-тригер одержується із JK-тригера накладанням обмежень на комбінації вхідних сигналів, що виключають одночасну появу двох сигналів високого рівня, тобто JK-тригер буде працювати як RS-тригер, коли виконується умова $JK=0$. RST-тригер, побудований на основі JK-тригера, наведений на мал. 6.86, в.

Методи використання DV-тригера для побудови інших типів тригерів (D, T, RS та RST) наведені на мал. 6.87, а, б та в.



Мал. 6.86. Використання JK-тригера для побудови тригерів типу D – а, T – б та RST – в

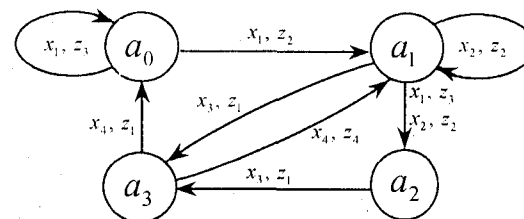


Мал. 6.87. Побудова D – а, T – б, RS – в та RST – г тригерів на основі DV-тригера

Вище розглянуті закони функціонування та принципи побудови елементарних автоматів-тригерів D, T, RS, RST, JK та DV типів здійснювались на основі бістабільних схем на елементах І-НЕ та АБО-НЕ. При використанні бістабільних схем, побудованих на інших логічних елементах, наприклад І-АБО-НЕ, АБО-І-НЕ, схемна реалізація тригерів буде відрізнятися від вищеописаних. Наведений вище перелік тригерних схем не охоплює всіх їх різновидів.

Завдання для самоконтролю

1. Використовуючи заданий граф автомата Міллі, записати таблиці: переходів, виходів та суміщену.



2. Використовуючи дані п.1, здійснити перехід від автомата Міллі до автомата Мура.
3. Побудувати структурну схему автомата зі зворотним зв'язком, що задається наступними рівняннями:

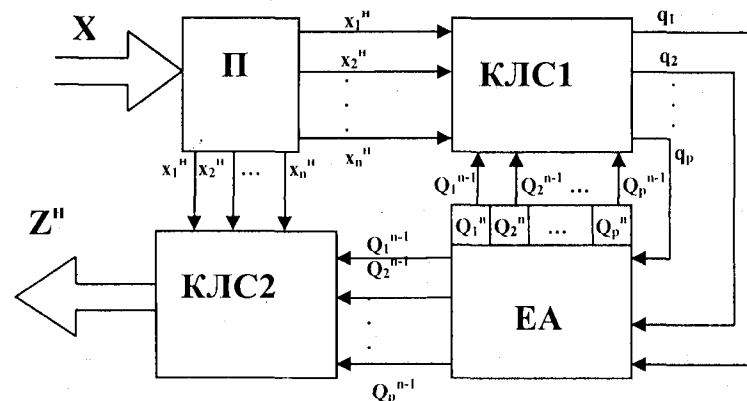
$$z_1 = x_1 \vee (\bar{x}_2 \bar{z}_2), \quad z_2 = z_1 \vee (\bar{x}_1 \vee z_1).$$

4. Скласти таблицю істинності для автомата п. 3.
5. Синтезувати схему тригера з лічильним входом, використавши базові елементи АБО-НЕ.

6. Використовуючи схему D-тригера, побудувати принципову схему типу "біжучі вогні".
7. Використовуючи рівняння функцій $Q^n = \overline{S}^n \vee R^n Q^{n-1}$, побудувати принципову схему на базових елементах І-НЕ.
8. Використовуючи універсальний JK-тригер, побудувати RS-, D- та Т-тригери.
9. Використовуючи функцію переходів вигляду $Q^n = S^n \vee C^n \overline{Q}^{n-1} \vee \overline{C}^n R^n Q^{n-1}$, побудувати принципову схему тригера.
10. Побудувати принципову схему D-тригера на основі RS-тригера.

§ 6.9. Структурний синтез цифрових автоматів [10, 11, 12, 16, 17, 18, 20]

Такий синтез зводиться до побудови схеми автомата, яка функціонує згідно з даними таблиці переходів та виходів. Один із варіантів структурної схеми автомата наведений на мал. 6.88.



Мал. 6.88. Структурна схема послідовісних устаткувань з елементами пам'яті

Схема працює наступним чином. Множина вхідних сигналів X від вимірювальних перетворювачів (давальників), чи командних пунктів приводиться з допомогою перетворювача Π до двійкового вхідного слова, в яких рівні логічного нуля та одиниці відповідають вибраній елементній базі. Вихідні сигнали $x_1^n, x_2^n, \dots, x_n^n$ — виходи перетворювача, будемо називати нормованими. Комбінаційна логічна схема КЛС1 , куди надходять ті сигнали разом із вхідними сигналами у $n-1$ такті $Q_1^{n-1}, Q_2^{n-1}, \dots, Q_p^{n-1}$ елементарного автомата ЕА Q_1, Q_2, \dots, Q_p виробляє керуючі впливи q_1, q_2, \dots, q_p для ЕА , вихідні сигнали яких $Q_1^n, Q_2^n, \dots, Q_p^n$ після перетворення у КЛС2 надходять на керувані об'єкти або у вузли інших цифрових устаткувань. Для побудови таких схем необхідно:

1. На першому етапі провести кодування вхідних, вихідних та внутрішніх станів автоматів, тобто необхідно поставити у відповідність кожному набору x_i, z_i сукупності значень вихідних сигналів Π та КЛС2 , а також a_i — стани заданого автомата сукупності станів Q_1, Q_2, \dots, Q_p елементарного автомата.

2. Визначити кількість та типи елементарних автоматів. Ця операція для порівняно простих устаткувань виконується неформальним шляхом. Для одержання P внутрішніх станів автомата необхідно мати у складі автомата число тригерів, яке визначається як близьке до більшого цілого від логарифму P при основі два, тобто $k \geq \log_2 P$. Тоді виходи тригерів дадуть змогу вибрати $2^k \geq P$ різних наборів слів.

3. Знайти перемикальні функції q_1, q_2, \dots, q_p та z_1, z_2, \dots, z_m , де $z_i \in Z$. Ці функції визначають структуру автомата у цілому.

Функція керуючих впливів елементарних автоматів $q_i^{(n)}$ ($i=1, 2, \dots, p$) визначає значення вхідних сигналів автомата в n -ому такті та стани Q_1, Q_2, \dots, Q_p елементарних автоматів у $n-1$ такті, тобто:

$$q_i^n = q_i(Q_1^{n-1}, Q_2^{n-1}, \dots, Q_p^{n-1}, x_1^{(n)}, x_2^{(n)}, \dots, x_n^{(n)}).$$

Таку формулу можна назвати перемикальною функцією керуючих впливів для автомата. Для елементарного автомата, що містить декілька входів, на етапі структурного синтезу слід мати функцію керуючих впливів кожного його входу. Визначення функції керуючих впливів елементарних автоматів може бути проведене шляхом підставлення у його характеристичне рівняння значень Q^{n-1} та Q^n , які беруться із кодової таблиці переходів автомата, що заданий, та послідовного розв'язку одержаного рівняння відносно $q_i^{(n)}$.

Функція $Z_i^{(n)}$ ($i=1, 2, \dots, m$) називається функцією кодування виходів і визначає значення сигналу у n -ому такті на j -му виході автомата у залежності від станів елементарних автоматів Q_i^{n-1} та вхідних сигналів.

Будемо вважати, що варіанти кодування вхідних, вихідних сигналів, а також стани автоматів задані. Кількість фізичних входів та виходів автомата визначається відповідно: $k_1 \geq \log_2 n$, $k_2 \geq \log_2 m$, де n та m – відповідно кількість змінних у наборі вхідного та вихідного слова. Нехай вхідний набір задається чотирма змінними x_1, x_2, x_3, x_4 , шістьма станами автоматів, та шістьма виходами. Нехай варіанти кодування вхідних та вихідних сигналів автомата, а також його станів, задані відповідно у табл. 6.26 – 6.28.

У табл. 6.26. $x_1 = \bar{x}_1'' \bar{x}_2''$, $x_2 = \bar{x}_1'' x_2''$, $x_3 = x_1'' x_2''$, і $x_4 = x_1'' \bar{x}_2''$, у табл. 6.27. $z_1 = z_1'' \bar{z}_2'' \bar{z}_3''$, $z_2 = \bar{z}_1'' z_2'' z_3''$, $z_3 = \bar{z}_1'' z_2'' \bar{z}_3''$, $z_4 = \bar{z}_1'' z_2'' z_3''$, $z_5 = z_1'' z_2'' \bar{z}_3''$, $z_6 = z_1'' \bar{z}_2'' z_3''$.

Таблиця 6.26. Кодовані значення вхідних наборів

	x_1''	x_2''
x_1	0	0
x_2	0	1
x_3	1	1
x_4	1	0

Таблиця 6.27. Кодовані значення вихідних наборів

	z_1''	z_2''	z_3''
z_1	1	0	0
z_2	0	1	1
z_3	0	1	0
z_4	0	1	1
z_5	1	1	0
z_6	1	0	0

У табл. 6.28. значення станів у кодовому вигляді визначались із залежностей: $a_1 = Q_1 Q_2 Q_3$, $a_2 = Q_1 \bar{Q}_2 Q_3$, $a_3 = Q_1 \bar{Q}_2 \bar{Q}_3$, $a_4 = \bar{Q}_1 \bar{Q}_2 \bar{Q}_3$, $a_5 = \bar{Q}_1 \bar{Q}_2 Q_3$, $a_6 = \bar{Q}_1 Q_2 Q_3$.

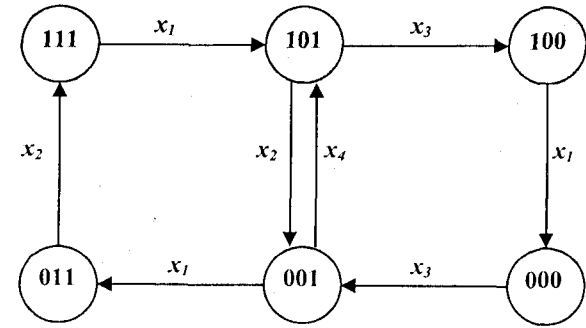
Таблиця 6.28. Таблиця станів елементарних автоматів

	Q_1	Q_2	Q_3
a_1	1	1	1
a_2	1	0	1
a_3	1	0	0
a_4	0	0	0
a_5	0	0	1
a_6	0	1	1

На цьому перший етап структурного синтезу цифрового автомата закінчується.

На другому етапі, у залежності від умови задачі, вибираємо три елементарних автомата, куди входять три RS-тригери. Функція переходів такого тригера описується формулою (6.30). Подалі необхідно визначити функції керуючих впливів елементарних автоматів $q_i^{(n)}$, які забезпечують виконання таблиці переходів автомата. З цієї метою зручно

користуватись кодовою таблицею переходів (див. табл. 6.29). Для її складання побудуємо граф автомата, що заданий табл. 6.26 – 6.28 і показаний на мал. 6.89.



Мал.6.89. Граф автомата, який заданий табл.6.26 – 6.28

Таблиця 6.29. Кодована таблиця переходів для автомата заданого графом мал.6.89

x	$x_1'' x_2''$	$Q_1 Q_2 Q_3$ $n-1$	$Q_1 Q_2 Q_3$ n	$R_1 S_1$	$R_2 S_2$	$R_3 S_3$	Z_1''	Z_2''	Z_3''
x_1	0 0	1 1 1	1 0 1	0 Ф	1 0	0 Ф	1	0	0
		1 0 0	0 0 0	1 0	Ф 0	Ф 0	0	1	1
		0 0 1	0 1 1	Ф 0	0 1	0 Ф	0	1	0
x_2	0 1	1 0 1	0 0 1	1 0	Ф 0	0 Ф	0	1	1
		0 1 1	1 1 1	0 1	0 Ф	0 Ф	1	1	0
x_3	1 1	1 0 1	1 0 0	0 Ф	Ф 0	1 0	1	0	0
		0 0 0	0 0 1	Ф 0	Ф 0	0 1	1	0	0
x_4	1 0	0 0 1	1 0 1	0 1	Ф 0	0 Ф	1	0	1

Кодовану таблицю переходів для трьох RS-тригерів складало наступним чином. Перші два стовпчики характеризують вхідні сигнали $x_1 - x_4$ та їх коди. Кодування сигналів проведено довільно і передбачено, що із чотирьох сигналів лише один може приймати одиничне значення, тобто: $x_1 = \bar{x}_1'' \bar{x}_2''$, $x_2 = \bar{x}_1'' x_2''$, $x_3 = x_1'' x_2''$, $x_4 = x_1'' \bar{x}_2''$. У третьому стовпчику показано стани тригерів у $n-1$ такті (тобто попередні стани), у четвертому стовпчику стани тригерів у n – такті. З'ясуємо детально на процедурі створення цих значень.

Приймомо за початковий стан автомата код 111 (див. мал. 6.89). Із приходом вхідного сигналу $x_1 = \bar{x}_1'' \bar{x}_2''$ автомат змінює свій стан на код 101. Отже, у такті $n-1$ автомат мав стани на виходах тригерів $Q_1=1, Q_2=1, Q_3=1$ (111), а в такті n змінив свій стан на $Q_1=1, Q_2=0, Q_3=1$ (101). Вхідний сигнал x_1 змінює ще стан автомата з 100 на – 000, з 001 на – 011, вхідний сигнал x_2 – з 101 на – 001, з 011 па – 111 і т.д.

У п'ятому, шостому і сьомому стовпчиках показані значення вхідних сигналів на входах тригерів R_i та S_i , при яких можливі переходи автомата у відповідні стани з $n-1$ такту у

n-такт. Наприклад, перший тригер може залишитись у цьому самому стані ($Q_1^{n+1}=Q_1^n=1$), коли на вхід R_1 подати сигнал низького рівня, а на вхід S_1 слід подати високий або низький рівень (у таблиці 6.89 відзначено літерою Φ). Другий тригер може змінити свій стан із високого рівня на низький ($Q_2^{n+1}=1, Q_2^n=0$), коли $R_2=1$, а $S_2=0$, і т.д. Для формування значень R_i та S_i доцільно користуватись таблицями переходів: для RS-тригера табл. 6.18 або 6.19, для синхронного RS-тригера табл. 6.20, для D-тригера табл. 6.21, для T-тригера табл. 6.22, для JK-тригера табл. 6.23 і для RST-тригера табл. 6.24 або функціями переходів для відповідних тригерів.

З аналізу структурної схеми послідовнісних устаткувань з елементами пам'яті (мал.6.88) видно, що значення вхідних сигналів R_i та S_i є керуючими впливами автомата q_i , які формують комбінаційна схема (КЛС1).

Допустивши, що q_i (а отже R_i та S_i), неповністю визначені функції аргументів x_1, x_2, x_3, x_4 , та $Q_1^{n-1}, Q_2^{n-1}, Q_3^{n-1}$ та Q_4^{n-1} , знайдемо МДНФ цих функцій (для спрощення записів, замість $Q_1^{n-1}, Q_2^{n-1}, Q_3^{n-1}$ та Q_4^{n-1} запишемо Q_1, Q_2, Q_3, Q_4).

$$R_1 = \bar{x}_1^n \bar{x}_2^n Q_1 \bar{Q}_2 \bar{Q}_3 \vee \bar{x}_1^n x_2^n Q_1 \bar{Q}_2 Q_3.$$

Оскільки $\bar{x}_1^n = \bar{x}_2^n$, то $\bar{x}_1^n \bar{x}_2^n = \bar{x}_1^n$, а $Q_1=Q_3=1$, остаточно

$$R_1 = \bar{x}_1^n \bar{Q}_2 \vee \bar{x}_1^n x_2^n Q_2.$$

$$R_2 = x_1^n \bar{x}_2^n Q_1 Q_2 Q_3 = \bar{x}_1^n Q_1.$$

$$R_3 = x_1^n x_2^n Q_1 Q_2 Q_3 = 1, \text{ це можливо, коли } R_3 = x_1^n x_2^n Q_1, \text{ оскільки } \bar{Q}_2=0, \text{ а } Q_1=Q_3=1.$$

$$S_1 = \bar{x}_1^n x_2^n \bar{Q}_1 Q_2 Q_3 \vee x_1^n \bar{x}_2^n \bar{Q}_1 \bar{Q}_2 Q_3$$

$$S_1 = \bar{x}_1^n x_2^n \bar{Q}_1 \vee x_1^n \bar{x}_2^n \bar{Q}_1 Q_2$$

$$S_2 = x_1^n \bar{x}_2^n \bar{Q}_1 \bar{Q}_2 Q_3 = \bar{x}_1^n \bar{x}_2^n \bar{Q}_1 Q_3$$

$$S_3 = x_1^n x_2^n \bar{Q}_1 \bar{Q}_2 \bar{Q}_3 = x_1^n \bar{Q}_1.$$

Знайдені вирази R_i, S_i дають змогу побудувати принципову схему КЛС1 (див. мал. 6.90).

Виходи автомата реалізуються комбінаційною схемою КЛС2. Її логічні залежності визначаються подібно до раніше застосованої процедури, а саме: допустивши, що Z_i^n не повністю визначені функції аргументів x_1, x_2, x_3, x_4 та $Q_1^{n-1}, Q_2^{n-1}, Q_3^{n-1}, Q_4^{n-1}$, знайдемо МДНФ цих функцій. Для мінімізації можна застосувати будь-який вищеписаний метод.

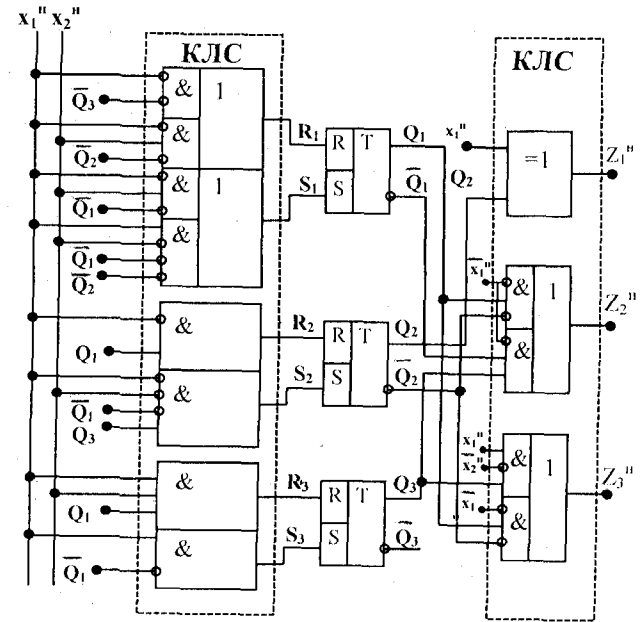
$$Z_1^n = \bar{x}_1^n Q_2 \vee x_1^n Q_2 = x_1^n \oplus Q_2,$$

$$Z_2^n = x_1^n Q_1 \bar{Q}_2 \vee x_1^n Q_1 Q_3,$$

$$Z_3^n = x_1^n \bar{x}_2^n Q_3 \vee \bar{x}_1^n Q_1 \bar{Q}_2.$$

Знайдені вирази дають змогу побудувати цілісну структурну схему автомата.

Принципова схема автомата будується на основі трьох тригерів логічних схем І, АБО, виключаюче АБО та заперечення, на входи надходять сигнали x_1^n та x_2^n (\bar{x}_1^n та \bar{x}_2^n) формуються внутрішніми інверторами автомата). Вхідна група логічних схем формують керуючі впливи трьох тригерів, а вихідна – вихідні сигнали. Оскільки автомат повинен знаходитись в одному із шести станів, а загальна кількість станів для трьох тригерів дорівнює вісім, то присутні два нештатних стани. Для запобігання впливу затримок в елементах автомата, особливо при вмиканні, у нештатних станах, необхідно використати методику, висвітлену у § 6.3.

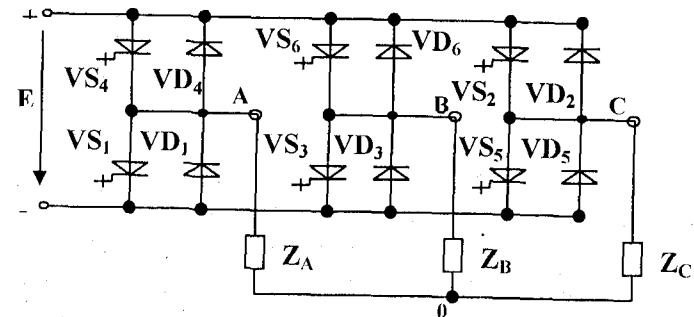


Мал. 6.90. Принципова схема синтезованого автомата

Проведемо синтез цифрового автомата на конкретному прикладі.

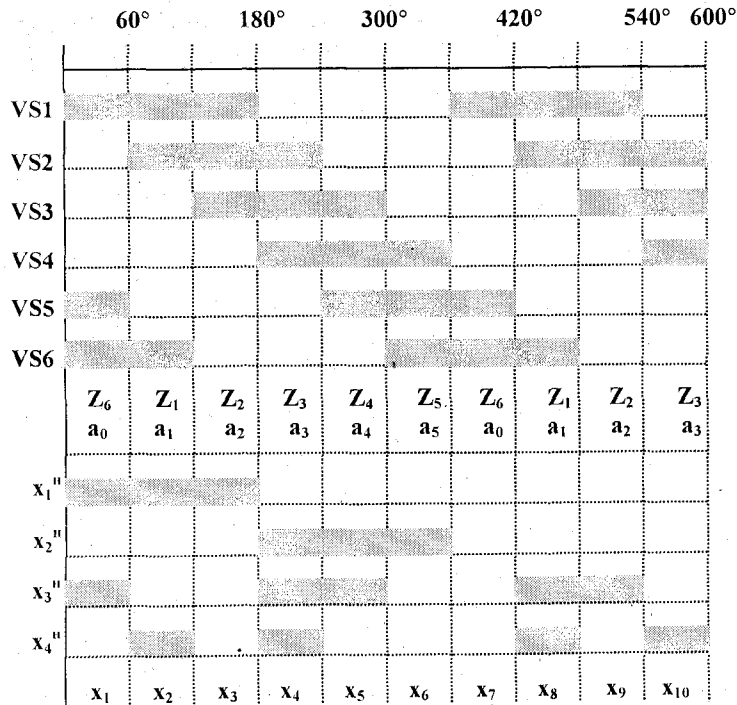
Приклад 6.6.

Побудувати автомат: що формують імпульси керування тиристорами трифазного інвертора напруги, який виконаний за мостовою схемою і складається із шести тиристорів VS1-VS6 та шести діодів VD1-VD6 (див. мал. 6.91), які призначені для пропускання струму активно-індуктивного навантаження на інтервалі часу, коли струм має напрям зворотний для тиристорів.



Мал. 6.91. Принципова схема трифазного інвертора напруги

Часова діаграма, що показує принцип формування керуючих імпульсів тиристорів, наведена на мал. 6.92.



Мал. 6.92. Часові діаграми роботи автономного інвертора напруги

Даному способу формування кривої вихідної напруги інвертора відповідає алгоритм перемикання тиристорів, показаний на мал. 6.92, де кожний тиристор проводить струм на протязі 180°. Послідовність вмикання тиристорів у роботу відповідає порядку слідування їх номерів при відносному фазовому зсуві на 60°. Тиристори, що відносяться до однієї фази (наприклад, тиристори VS1 та VS4 фази А), не можуть відкритись одночасно. У запропонованому алгоритмі перемикання виключає також одночасне закриття станів тиристорів однієї фази. У будь-який проміжок часу одночасно проводять струм три тиристори, два із яких відносяться до якої-небудь однієї (катодної або анодної) групи, а один – до іншої (відповідно анодної або катодної) групи, тобто 123, 234, 345, 456 і т.д.

Запускання та зупинення інвертора здійснюється спеціальним сигналом, який на часовій діаграмі не показаний.

Часові діаграми вхідних та вихідних сигналів являються одним із способів задання автомата. Вони повинні описувати всі можливі комбінації сигналів. Коди вхідних та

вихідних сигналів, що наведені у табл. 6.30 та 6.31, показані на мал. 6.92, де наявність сигналу представляється логічною одиницею, а його відсутність – логічним нулем.

Таблиця 6.30. Кодування значень вхідних наборів

	x_1''	x_2''	x_3''	x_4''
x_1	1	0	1	0
x_2	1	0	0	1
x_3	1	0	0	0
x_4	0	1	1	1
x_5	0	1	1	0
x_6	0	1	0	1
x_7	0	1	0	0
x_8	0	0	1	1
x_9	0	0	1	0
x_{10}	0	0	0	1

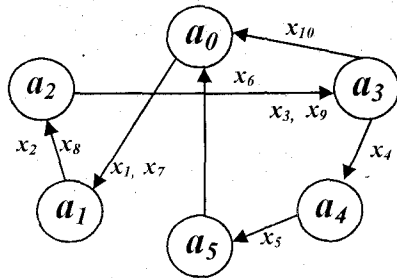
Таблиця 6.31. Кодування значень вихідних наборів

	z_1''	z_2''	z_3''	z_4''	z_5''	z_6''
z_1	1	1	0	0	0	1
z_2	1	1	1	0	0	0
z_3	0	1	1	1	0	0
z_4	0	0	1	1	1	0
z_5	0	0	0	1	1	1
z_6	1	0	0	0	1	1

Згідно з принципом роботи інвертора можна виділити шість станів автомата (див. мал. 6.92): перший a_0 – три стани, при яких вмикаються тиристори VS1, VS5 та VS6, другий a_1 – три стани при яких вмикаються тиристори VS1, VS2 та VS6 і т.д., усі стани автомата показані у табл. 6.32. Граф автомата системи керування, що виконаний у вигляді автомата Міллі, наведений на мал. 6.93.

Таблиця 6.32. Таблиця станів автомата

	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6
a_0	1	0	0	0	1	1
a_1	1	1	0	0	0	1
a_2	1	1	1	0	0	0
a_3	0	1	1	1	0	0
a_4	0	0	1	1	1	0
a_5	0	0	0	1	1	1



Мал. 6.93. Граф автомата системи керування

Використовуючи вищеописану методику, визначаємо кількість елементів пам'яті автомата, яка дорівнює шести. Елементи пам'яті реалізуємо на основі RS-тригерів. Кодовану таблицю переходів для шести RS-тригерів складаємо на основі кодованих значень вхідних, вихідних сигналів та графа автомата керування (див. табл. 6.33).

Таблиця 6.33. Кодована таблиця переходів автомата керування

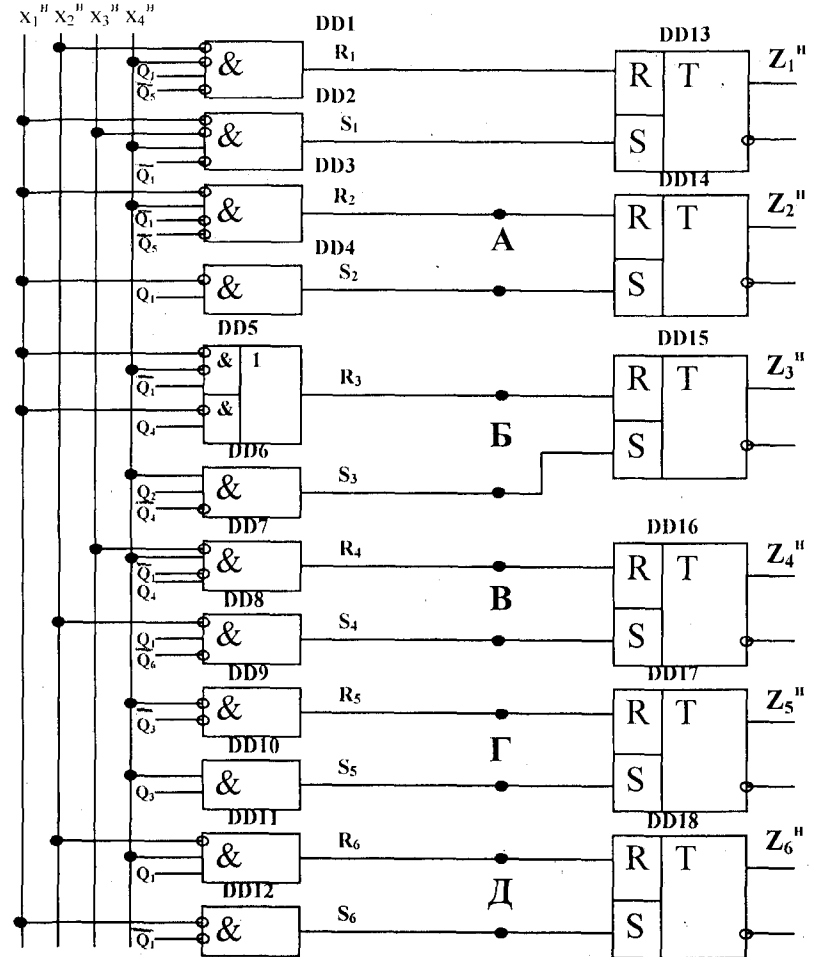
	$x_1^n, x_2^n, x_3^n, x_4^n$	$n-1$						n						$n+1$					
		$Q_1, Q_2, Q_3, Q_4, Q_5, Q_6$	$Q_1, Q_2, Q_3, Q_4, Q_5, Q_6$	R_1S_1	R_2S_2	R_3S_3	R_4S_4	R_5S_5	R_6S_6	$z_1^n, z_2^n, z_3^n, z_4^n, z_5^n, z_6^n$	$Q_1, Q_2, Q_3, Q_4, Q_5, Q_6$	R_1S_1	R_2S_2	R_3S_3	R_4S_4	R_5S_5	R_6S_6	$z_1^n, z_2^n, z_3^n, z_4^n, z_5^n, z_6^n$	
x_1	1 0 1 0	1 0 0 0 1 1	1 1 0 0 0 1	0 ф	0 1	ф 0	ф 0	1 0	0 ф	1 1 0 0 0 1	0 ф	0 1	ф 0	ф 0	1 0	0 ф	1 1 0 0 0 1		
x_2	1 0 0 1	1 1 0 0 0 1	1 1 1 0 0 0	0 ф	0 ф	0 1	ф 0	ф 0	1 0	1 1 1 0 0 0	0 ф	0 ф	0 1	ф 0	1 0	0 ф	1 1 1 0 0 0		
x_3	1 0 0 0	1 1 1 0 0 0	0 1 1 1 0 0	0 ф	0 ф	0 ф	0 1	ф 0	ф 0	0 1 1 1 0 0	0 ф	0 ф	0 ф	0 1	ф 0	0 1 1 1 0 0			
x_4	0 1 1 1	0 1 1 1 0 0	0 0 1 1 1 0	ф 0	1 0	0 ф	0 ф	0 1	ф 0	0 0 1 1 1 0	ф 0	1 0	0 ф	0 ф	0 1	ф 0	0 0 1 1 1 0		
x_5	0 1 1 0	0 0 1 1 1 0	0 0 0 1 1 1	ф 0	ф 0	1 0	0 ф	0 ф	0 1	0 0 0 1 1 1	ф 0	ф 0	1 0	0 ф	0 ф	0 1 0 0 0 1 1 1			
x_6	0 1 0 1	0 0 0 1 1 1	1 0 0 0 1 1	0 1	ф 0	ф 0	1 0	0 ф	0 ф	1 0 0 0 1 1	0 1	ф 0	ф 0	1 0	0 ф	1 0 0 0 0 1 1 1			
x_7	0 1 0 0	1 0 0 0 1 1	1 1 0 0 0 1	0 ф	0 1	ф 0	ф 0	1 0	0 ф	1 1 0 0 0 1	0 ф	0 1	ф 0	ф 0	1 0	0 ф	1 1 0 0 0 1 1		
x_8	0 0 1 1	1 1 0 0 0 1	1 1 1 0 0 0	0 ф	0 ф	0 1	ф 0	ф 0	1 0	1 1 1 0 0 0	0 ф	0 ф	0 1	ф 0	1 0	0 ф	1 1 1 0 0 0 0		
x_9	0 0 1 0	1 1 1 0 0 0	0 1 1 1 0 0	1 0	0 ф	0 ф	0 1	ф 0	ф 0	0 1 1 1 0 0	1 0	0 ф	0 ф	0 1	ф 0	0 1 1 1 0 0 0			
x_{10}	0 0 0 1	0 1 1 1 0 0	1 0 0 0 1 1	0 1	1 0	1 0	1 0	0 1	0 1	1 0 0 0 1 1	0 1	1 0	1 0	0 1	0 1	1 0 0 0 0 1 1			

Для побудови комбінаційної схеми КЛС1 використовуємо вищеописану методику знаходження значень R_i та S_i для RS-тригера i , допустивши, що вони неповністю визначені функції аргументів $x_1 \dots x_{10}$ та $Q_1^{n-1} \dots Q_6^{n-1}$, знайдемо МДНФ цих функцій. Рівняння комбінаційної логічної схеми КЛС1, на основі яких буде створена принципова схема, мають вигляд:

$$\begin{aligned}
 R_1 &= \bar{x}_2^n \bar{x}_3^n Q_1 \bar{Q}_5; \\
 S_1 &= \bar{x}_1^n \bar{x}_3^n x_4^n \bar{Q}_1; \\
 R_2 &= x_1^n x_4^n \bar{Q}_1 \bar{Q}_5; \\
 S_2 &= \bar{x}_4^n Q_1; \\
 R_3 &= \bar{x}_1^n \bar{x}_4^n \bar{Q}_1 \vee \bar{x}_2^n Q_4; \\
 S_3 &= x_1^n Q_2 \bar{Q}_4; \\
 R_4 &= x_3^n x_4^n \bar{Q}_1 Q_4; \\
 S_4 &= \bar{x}_2^n Q_1 \bar{Q}_6; \\
 R_5 &= x_4^n \bar{Q}_3; \\
 S_5 &= x_4^n Q_3; \\
 R_6 &= \bar{x}_2^n x_4^n Q_1; \\
 S_6 &= \bar{x}_1^n \bar{Q}_1;
 \end{aligned}$$

Принципова схема автомата, яка буде створена на основі шести RS-тригерів та схем І, АБО, НЕ, наведена на мал. 6.94. Оскільки стани тригерів у n -ому такті співпадають із вихідними сигналами автомата, то КЛС2 відсутня. Для керування тиристорів $VS1 \dots VS6$ автономного трифазного інвертора, вихідні сигнали безпосередньо надходять з прямих виходів тригерів $DD13 \dots DD18$.

Зазначимо, що при побудові автомата необхідно враховувати зсув фаз між одержаними напругами у силовому колі (див. мал. 6.92). Крива одержаної напруги складається із імпульсів з амплітудою E , що чергуються полярністю тривалістю в 120° та розділених паузою у 60° . Тому з використанням даного методу керування тиристорами, необхідно у



Мал. 6.94. Принципова схема автомата для керування автономним інвертором напруги

точках А, Б, В, Г та Д вмикати елементи короткочасної затримки імпульсів, що запускають тригери (див. мал. 6.94).

§ 6.10. Синтез послідовісних функціональних вузлів великих інтегральних схем [10, 11, 12, 18, 20, 25]

Послідовісні функціональні вузли (ПФВ) містять комбінаційну частину схеми та елементи пам'яті. На відміну від комбінаційних схем з'являється новий елемент – пам'ять, що вимагає введення додаткової змінної – часу, яка повинна враховуватись з розв'язком багатьох задач логічного синтезу. Стан виходів в ПФВ залежить не лише від значень вхідних змінних у даний момент часу, але і від значень внутрішніх змінних у цей же момент часу. Питання математичного опису роботи ПФВ розглянуті у § 6.1. Із синтезом ПФВ, таких як: регістрів, лічильників та ін. вирішуються задачі на рівні абстрактного синтезу: складання автоматного опису; мінімізація кількості станів та структурного синтезу: кодування станів, мінімізація функцій керуючих впливів та виходів, створення принципової схеми (див. § 6.9).

Зупинимось на одному із основних показників структурного синтезу, який не розглядався раніше, а саме, на економічному кодуванні станів автомата. При економічному кодуванні вибирають такі значення змінних, що характеризують стан, щоб схемне вирішення ПФВ було простіше від розв'язків, одержаних при довільному кодуванні. Критерієм якості економічного кодування станів є простота схемної реалізації, тобто мінімальна кількість логічних елементів.

З економічним кодуванням усі логічні сусідні стани автомата повинні кодуватись таким чином, щоб їх кодові комбінації відрізнялись одна від одної лише однією цифрою. Для визначення логічних сусідніх станів можна використати два простих правила економічного кодування: два стани, із яких можливі переходи в один і той же третій стан, називають логічними сусідніми; або два стани, у які здійснюються переходи із одного якого-небудь стану, також називаються логічними сусідніми. Якщо при використанні цих правил неможливо задовольнити всіх умов сусідства, то пріоритетним повинно бути перше правило.

Із кодуванням станів асинхронних ПФВ слід виходити не із простої реалізації, а із умови відсутності у схемі, що проектується, змагання сигналів. Через затримку сигналів в асинхронних ПФВ спостерігається їх часове змагання, яке може бути критичним, оскільки виникає можливість переведення його у стани, які не передбачені алгоритмом функціонування. Тому при проектуванні ПФВ критичні стани (перегони сигналів) повинні бути ліквідовані на етапі кодування станів. Одним із варіантів протиперегонного кодування є сусіднє кодування, суть якого полягає в тому, що при переході ПФВ з одного стану в інший кодовані комбінації повинні відрізнятись лише однією цифрою. Це означає, що при різних змінах станів перемикається повинен лише один елемент пам'яті (тригер). В іншому випадку можуть виникати критичні змагання сигналів, які можуть порушити нормальну роботу ПФВ.

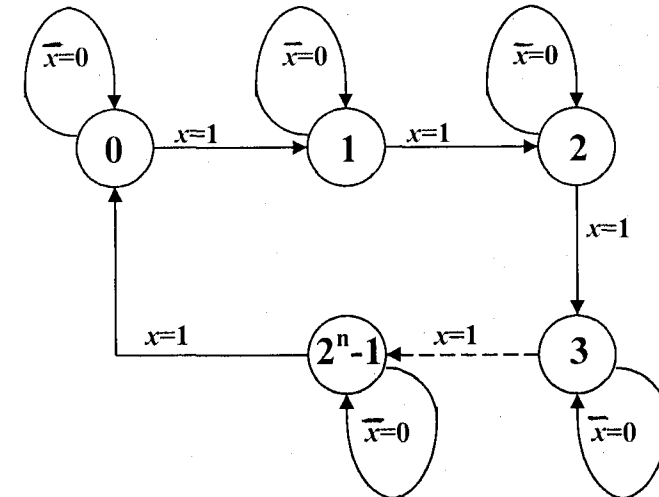
§ 6.10.1. Аналіз лічильників [10, 11, 12, 16, 17, 18, 19, 20]

Подібно, як у комбінаційних схемах (див. § 6.4), що випускаються у вигляді модулів середнього ступеня інтеграції, у класі автоматів з пам'яттю наявні не лише такі модулі, але й модулі з великим ступенем інтеграції.

Послідовісні цифрові устаткування, які забезпечують зберігання інформаційних слів та виконання над ними мікрооперацій рахунку, називаються лічильником. Мікрооперація рахування зводиться до того, що значення числа x змінюється на ± 1 .

Основним параметром лічильника є модуль лічильника, який визначає кількість одиничних сигналів, які можуть бути пороховані лічильником.

Лічильник, що містить n двійкових розрядів, може знаходитись у станах $0, 1, 2, \dots, 2^n - 1$. Із надходженням на вхід підсумовуючого лічильника 2^n -ої одиниці він переходить із стану $2^n - 1$ в стан логічного нуля. Таким чином n -розрядний підсумовуючий лічильник має модуль рахунку $k_p \leq 2^n$. Функціонування n -розрядного лічильника можна подати графом мал. 6.95.



Мал. 6.95. Кільцевий граф роботи підсумовуючого лічильника

Автомат, який описується кільцевим графом мал. 6.95 називається підсумовуючим, а кількість станів, яка дорівнює кількості вершин графа, – модулем рахунку. Значення x , що дорівнює високому рівню сигналу, й \bar{x} – низькому рівню сигналу, характеризують стан вихідного сигналу. Мікрооперація виконується при наявності сигналу x , тобто лічильник переходить із стану x в стан $x+1$, коли $x=1$ і зберігає поточне значення, коли $x=0$.

Лічильник характеризується також швидкодією, яка визначається допустимою частотою вхідного сигналу та часом встановлення стану лічильника.

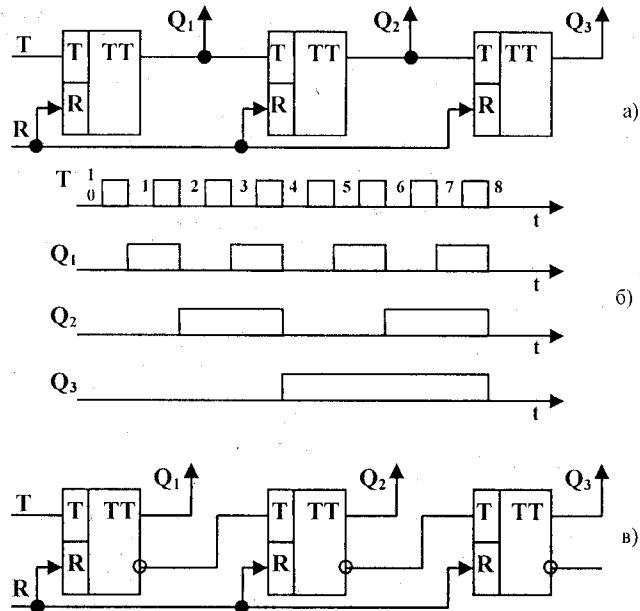
Лічильники реалізують, як правило, на Т-тригерах, однак для їх побудови можуть використовувати не лише тригери з лічильним входом, але і D- та JK-тригери.

Лічильники можна кваліфікувати за декількома ознаками. У залежності від напрямку рахунку (руху по графу) розрізняють підсумовуючі (прямий рахунок), віднімаючі

(зворотний рахунок) та реверсивні (прямий та зворотний рахунок). За способом реалізації схеми перенесення розрізняють лічильники з послідовним, паралельним та паралельно-послідовним перенесенням. За модулем рахунку розрізняють лічильники двійкові, десяткові, двійково-десяткові з довільним постійним модулем та змінним модулем. У залежності від наявності синхронізації, розрізняють синхронні та асинхронні.

На мал. 6.96,а наведена схема трирозрядного лічильника який працює як підсумовуючий. Він здійснює рахунок імпульсів від 0 до 7. Число рахунку може бути збільшене у випадку підключення до виходу лічильника додаткових розрядів. Перший тригер лічильника створює молодший розряд сигнал Q_1 , який надходить на вхід другого розряду, вихідна напруга якого подається на вхід третього і т.д.

Розглянемо функціонування лічильника на основі діаграм мал. 6.96,б.



Мал. 6.96. Принципова схема лічильника підсумовуючого – а, його часові діаграми – б та принципова схема віднімаючого лічильника – в

У схемі поданий сигнал на вхід $R=1$ приводить всі тригери у початковий стан, тобто такий, коли $Q_1=Q_2=Q_3=0$. Зривом першого вхідного сигналу (задній фронт імпульсу) перемикається тригер молодшого розряду лічильника (діаграма Q_1). Зривом напруги Q_1 перемикається тригер другого розряду лічильника (діаграма Q_2). Зрив сигналу Q_2 викликає перемикавання тригера третього розряду (діаграма Q_3). Робота лічильника відображена у табл.6.34.

Таблиця 6.34. Таблиця станів трирозрядного лічильника

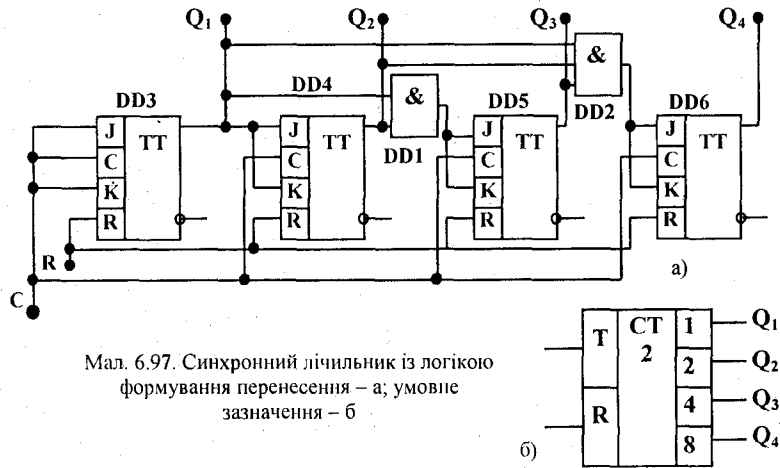
№ імпульсу	2^2 Q_2	2^1 Q_1	2^0 Q_0
1	0	0	0
2	0	0	1
3	0	1	0
4	0	1	1
5	1	0	0
6	1	0	1
7	1	1	0
8	1	1	1

Частота повторення вихідного сигналу на виході Q_1 через одне значення, тобто 2^0 , на виході Q_2 – через два значення, тобто 2^1 і т.д., тобто частота повторення вихідного сигналу в i -му розряді в 2^i рази менша від частоти повторення імпульсів T .

Аналогічно до підсумовуючого лічильника будуватиметься лічильник на віднімання, схема якого наведена на мал. 6.96,в. На вхід тригера i -го розряду подається сигнал з інверсного виходу попереднього розряду, тобто $\overline{Q_{i-1}}$. Лічильний тригер перемикається при зрізі імпульсу на вході, це означає, що перемикавання тригера i -го розряду буде проходити при зрізі імпульсу $\overline{Q_{i-1}}$, тобто при фронті Q_{i-1} від 0 до 1). Робота лічильника на віднімання, яку потрібно читати знизу доверху, наведена в табл. 6.34. На початку роботи тригери встановлені у стан $Q_1=Q_2=Q_3=1$. Стан розрядів лічильника являє собою двійкове записування лінійно спадаючих чисел. Випиописана робота лічильників характерна для асинхронних лічильників, коли імпульси рахунку падають на тактовий вхід лише першого тригера, а кожний із наступних тригерів керується вихідним сигналом попереднього. Це призводить до того, що сигнал на вхід останнього тригера приходить лише тоді, коли всі попередні тригери перемикнулися. Зміна кожного із вихідних сигналів від Q_i до Q_{i+1} проходить із затримкою, яка дорівнює часові спрацювання тригера. У багаторозрядних послідовних лічильниках висока частота слідування імпульсів рахунку, може призвести до того, що n -й тригер не встигне перемикнувшись до приходу наступного імпульсу рахунку. Тому період слідування імпульсів рахунку при використанні вихідних кодів у процесі обчислень, повинен бути більший від часу поширення сигналу у ланцюгові.

Описані лічильники побудовані на послідовному сполученні Т-тригерів. Кожний наступний розряд лічильника перемикається наступним сигналом, який можна назвати сигналом перенесення. Сигнал для рахунку подається на вхід тригера наймолодшого розряду. Лічильники, побудовані таким чином, називаються лічильники з послідовним перенесенням.

Синхронні паралельні лічильники. Такі лічильники, на відміну від послідовних, мають входи, на які подаються вхідні сигнали С на всі розряди. Для того, щоб у кожному такті не перемикались всі тригери, для керування процесом перемикавання використовуються логічні схеми І, на які надходять сигнали з виходів попередніх розрядів (див. мал. 6.97). Для



Мал. 6.97. Синхронний лічильник із логікою формування перенесення – а; умовне позначення – б

цієї схеми справедливі наступні співвідношення:

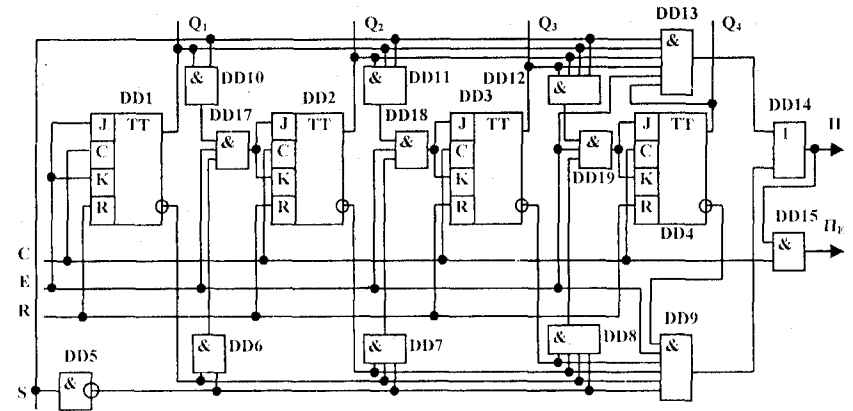
$$Q_2 = Q_1 C; Q_3 = Q_1 Q_2 C; Q_4 = Q_1 Q_2 Q_3 C.$$

Для загального випадку при n розрядів виконується умова

$$Q_n = Q_1 Q_2 \dots Q_{n-1} C. \quad (6.38)$$

Тут затримання визначається лише однією логічною схемою І та не залежить від кількості розрядів у лічильнику. Слід відзначити, що такий підхід побудови лічильників призводить до ускладнення схеми, оскільки виникає потреба у використанні багатовходових елементів І. Крім того, необхідно, від розряду до розряду збільшувати кількість входів, що порушує регулярність його структури. Тому при побудові багаторозрядних лічильників використовують схеми з паралельно-послідовним перенесенням.

Такі лічильники складаються із групи тригерів, всередині кожної із яких організоване паралельне перенесення, а між групами – послідовне. На вході кожного такого лічильника стоїть елемент І з певною кількістю входів (для чотирирозрядного лічильника з чотирма). У ньому формується сигнал перенесення у наступну групу при заповненні попередньої групи тригерів одиницями. Затримання у багаторозрядному лічильнику буде пропорційне кількості груп тригерів у лічильнику.



Мал. 6.98. Двійковий лічильник із зміню напрямку рахунку

Лічильник із зміню напрямку рахунку (реверсивний лічильник) наведений на мал. 6.98. У лічильнику J – та K – входи вмикаються через логічні елементи І як до прямих виходів Q попередніх тригерів, так і до інверсних \bar{Q} . Оскільки перемикання стосується лише входів J та K, а не C-входів, стан лічильника не змінюється при зміні напрямку рахунку. Це велика перевага перед асинхронними лічильниками. Тому в якості реверсивних лічильників використовують головним чином синхронні устаткування.

З проєктуванням таких лічильників використовують тригери, в яких повний стан на виходах формується при переході тактового сигналу із логічного одиниці до логічного нуля.

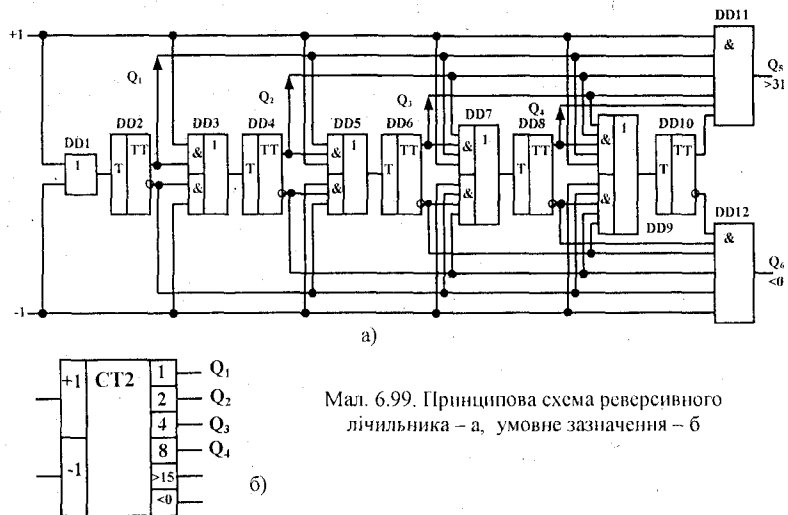
До тих пір, поки на керуваному перемикальним вході S зберігається логічна одиниця, вищі елементи DD6, DD7, DD8 та DD9 закриті. Схема працює як синхронний підсумовуючий двійковий лічильник, подібно, як працює лічильник, наведений на мал. 6.97. При $S=0$ верхні елементи DD10, DD11, DD12 та DD13 закриті, і JK-пари вмикаються до виходів \bar{Q} . У цьому випадку схема працює як віднімаючий лічильник. Оскільки зміна напрямку рахування викликає зміну переключення J – та K – виходів, то схема спрацює лише тоді, коли тактовий сигнал дорівнює логічному нулю.

Сигнал перенесення у наступну старшу групу може формуватися у двох випадках, коли у лічильнику зберігається код 1111 та $S=1$ (в режимі додавання), або коли у лічильнику записаний код 0000 та $S=0$ (режим віднімання). Для сигналу перенесення П (див. фор. 6.38) можна записати $P = (Q_1 Q_2 Q_3 Q_4 S \vee \bar{Q}_1 \bar{Q}_2 \bar{Q}_3 \bar{Q}_4 \bar{S}) E$. Цей сигнал надходить на вхід дозволу E наступної групи розрядів лічильника. Перенесення завжди інтерпретується правильно, оскільки напрямок рахунку змінюється одночасно для всіх груп.

Якщо не виникає потреби у високій швидкодії, окремі групи лічильника об'єднуються послідовно, і при цьому сигналом перенесення є тактовий сигнал для наступної старшої групи. При цьому існує загроза, що через різний час затримання на короткий час вишкас хибне значення $P=1$. Цей імпульс завжди надходить на старшу групу. Він може блокуватися при введенні логічної схеми DD15, тобто $P_E = \bar{P} \cdot C$. Оскільки вибрані JK-тригери спрацюють при від'ємному фронті тактового імпульсу, то стійкий стан лічильника надійно забезпечується, коли тактовий сигнал $C=1$.

Лічильник з входами прямого та зворотного рахунку

Часто виникає потреба у лічильниках, які мають два входи, тобто такі, в яких об'єднані схеми підсумовуючого та віднімаючого лічильників. Імпульс, що надходить на вхід +1, повинен збільшувати результат рахунку, а імпульс, що надходить на вхід -1, повинен його зменшувати.



Мал. 6.99. Принципова схема реверсивного лічильника - а, умовне позначення - б

Схема, що виконує такі функції наведена на мал. 6.99. Розглянемо спочатку роботу схеми, коли імпульс надходить на вхід +1. Очевидно, що завдяки наявності попередніх логічних елементів І, тактовий імпульс надходить лише на ті тригери, для яких всі попередні розряди знаходяться у стані логічної одиниці. Це відповідає функціонуванню лічильника, яке наведене в табл. 6.34 для підсумовуючого лічильника. У цій схемі імпульси рахунку не надходять на відповідні тригери завдяки тому, що логічні елементи І блокують їх тактові входи (на вхід -1 подається логічний нуль).

Тепер розглянемо випадок, коли імпульси надходять на вхід -1. Код на виходах тригерів Q_i визначає ці логічні схеми І, які пропускають імпульси рахунку. Таким чином, імпульси надходять на тактові входи лише тих тригерів, які знаходяться у стані логічного нуля. Це і є умова зворотного рахунку.

На тригери, які повинні перемикатися, тактові імпульси надходять практично одночасно. Тригери у старших розрядах перемикаються одночасно з тригерами у молодших розрядах. Тому схема працює як синхронний лічильник.

Логічні елементи І DD11, DD12 на виході визначають перенесення у прямому та зворотному напрямках. Можна під'єднати ідентичний лічильник, який є синхронним, але порівняно з першим працює із затриманням, тобто асинхронно. Цей спосіб організації, як уже говорилось, називають паралельно-послідовним.

Двійково-десятковий лічильник у коді 8421

Із табл. 6.34 видно, що з допомогою трирозрядного двійкового лічильника можна рахувати до семи, а з допомогою чотирирозрядного - до п'ятнадцяти. Тому, для лічильника натуральних десяткових чисел у двійковому коді, для кожного десяткового розряду

необхідний чотирирозрядний двійковий лічильник, що виробляє двійковий еквівалент лічильної декади, тобто модуль рахунку вибирається із умови:

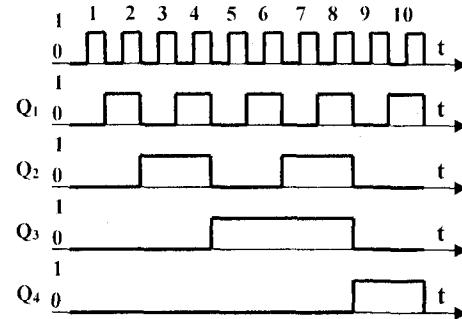
$$2^n \leq K_p < 2^{n+1}$$

Лічильна декада двійково-десятькового лічильника відрізняється від звичайних чотирирозрядних двійкових лічильників тим, що на кожний десятковий (а не 16-вий) імпульс рахунку вона скидається у нуль та появляється сигнал перенесення для запускання лічильної декади наступного, більш старшого десяткового розряду.

Оскільки десяткова цифра представляється у натуральній двійково-десятьковій формі чотирирозрядним двійковим числом, розряди якого мають значення $2^3, 2^2, 2^1, 2^0$. Це двійково-десятькове представлення зазначається як код 8421. Стан лічильної декади у коді 8421 наведений у табл. 6.35, а часові діаграми на мал. 6.100. Ця таблиця станів повторює табл. 6.34 до цифри 9 включно, тоді як число 10 знову представляється кодом 0000. Відповідно такі стани показані на часових діаграмах мал. 6.100.

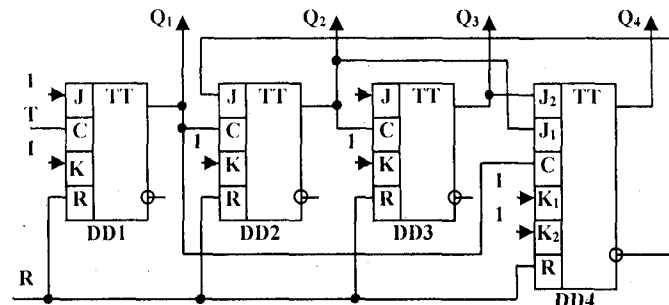
Таблиця 6.35. Таблиця станів для коду 8421

T	Q_4 2^3	Q_3 2^2	Q_2 2^1	Q_1 2^0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	0	0	0	0



Мал. 6.100. Часові діаграми вихідних станів лічильника у коді 8421

Якщо для JK-тригера, що має два входи І, викопати умову $J_1=J_2=1$, він працює як лічильний тригер, оскільки $K=\text{const}=1$. Якщо $I=0$, то ця вхідна комбінація із-за $J=K$ з надходженням наступного тактового імпульсу передається на вхід, або стан $Q=0$ зберігається. Такий режим роботи реалізований у лічильній декаді типу 8421 (див. мал. 6.101).



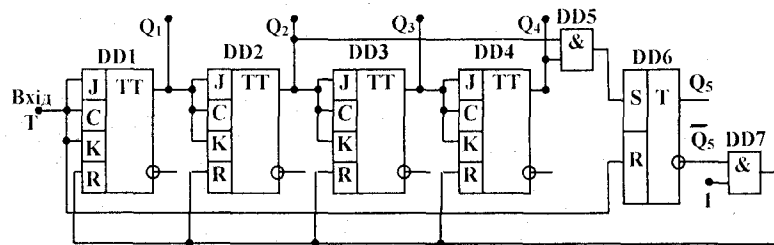
Мал. 6.101. Принципова схема асинхронного двійково-десятькового лічильника

Порівняно з іншими лічильниками він має деякі особливості. По-перше, тригер DD2 не може переключитись з надходженням десятого імпульсу рахунку, хоча Q_1 змінює стан з логічної одиниці на логічний нуль. Для пояснення цього випадку використаємо простий критерій, що виходить із табл. 6.35: Q_2 зберігає стан логічного нуля тоді, коли під час дії тактового сигналу $Q_1=1$. Для того, щоб цього добитись, вмикають J-вхід DD2 просто до $\overline{Q_1}$. Умова, що Q_2 при надходженні десятого імпульсу збереже стан логічного нуля, виконується автоматично.

Друга особливість, порівняно з двійковим лічильником відрізняється тим, що десятий імпульс викликає перемикання Q_4 із логічної одиниці у логічний нуль. Необхідно відзначити і наступні обставини: якби тактовий вхід DD4 був з'єднаний з Q_2 , як у двійковому лічильнику, змінна Q_4 не могла б змінюватись більше після восьмого імпульсу рахунку, оскільки тригер DD2 через зворотний зв'язок був би блокуваний. Тому тактовий вхід DD4 повинен бути увімкнений до виходу тригера, який не блокується зворотним зв'язком, тобто у даному випадку до Q_1 .

Тепер, використавши J-входи, слід заборонити передчасне перемикання тригера DD4. Із табл. 6.35 видно, що Q_4 перемикається у стан логічної одиниці лише тоді, коли Q_2 та Q_3 перед черговим тактовим імпульсом дорівнюють логічній одиниці. Для того, щоб виконати цю умову, обидва J-входи DD4 вмикаються до Q_2 або Q_3 . Тоді при надходженні восьмого імпульсу рахунку $Q_4=1$. Оскільки одночасно має місце перемикання $Q_2=Q_3=0$, то Q_4 з надходженням наступного тактового сигналу знову переходить в стан $Q_4=0$. Це проходить з поданням десятого імпульсу рахунку, оскільки тоді Q_1 переходить із логічної одиниці в логічний нуль.

У загальному випадку для побудови лічильників з довільним модулем рахунку K_p у схему відповідного двійкового лічильника вводиться зворотний зв'язок для виключення зайвих станів. Двійковий підсумовуючий або віднімаючий лічильник перемикається до встановлення деякого значення K_p . Цей стан визначається спеціальною схемою, на виході якої формується сигнал встановлення лічильника у нульовий стан. Схеми лічильника за модулем K_p найбільш прості при використанні двійкових лічильників з послідовним перенесенням. Розглянемо побудовану таким чином схему двійкового лічильника на мал.6.102.



Мал. 6.102. Принципова схема двійково-десятьового лічильника

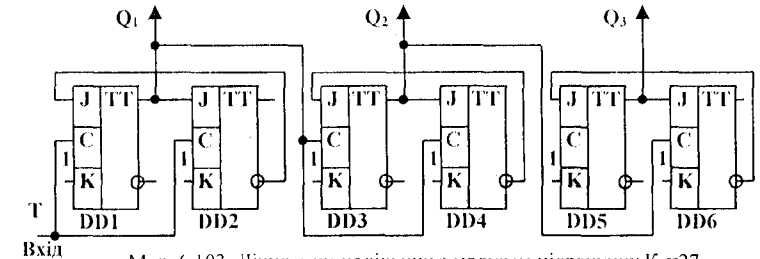
Робота лічильника полягає у наступному. Починаючи з початкового нульового стану, лічильник приймає послідовність сигналів рахунку. Тригер DD6 знаходиться у стані логічного нуля. Логічний елемент I (DD7) фіксує момент приходу десятого сигналу

(комбінація рівнів на виходах тригерів $Q_4Q_3Q_2Q_1$ 1010) і переводить тригер DD6 у стан логічної одиниці. До надходження одинадцятого імпульсу всі розряди лічильника переводяться у нульовий стан сигналом встановлення з виходу $\overline{Q_5}$. Після надходження десятого імпульсу лічильник повертається у початковий стан. Одинадцятий імпульс позитивним перенадом повертає тригер DD6 у початковий стан логічного нуля. Використання RS-тригера DD6 зумовлене наявністю на вході логічного елемента DD7 небезпечних змагань через порушення у роботі лічильника. Тригер DD6, переключившись, зберігає на виході одиничний рівень до надходження наступного сигналу рахунку.

Подільники частоти. У цих схемах, побудованих на основі двійкових лічильників, частота періодичної послідовності на відповідних виходах менша від вхідної в k раз, де $k=2, 4, 8, 16$. Це видно з часових діаграм мал.6.96,б та мал.6.100. Тобто лічильник-подільник з $N=2^n$ може бути реалізований за схемою двійкового лічильника з послідовним перенесенням. При n розрядах у лічильнику частота вихідної послідовності сигналів у 2^n рази менша порівняно з вхідною послідовністю.

Лічильник-подільник з $K_p=3$ може бути побудований на JK-тригерах. Модуль рахунку $K_p=3$ може бути представлений у вигляді $K_p=2+1$. Для побудови лічильника достатньо двох JK-тригерів. Схема лічильника-подільника з $K_p=3$ наведена на мал. 6.103 (вихід Q_1).

Каскадні лічильники-подільники одержують внаслідок послідовного сполучення лічильників-подільників з коефіцієнтом ділення $K_{p1}, K_{p2}, \dots, K_{pn}$ для зменшення частоти слідування сигналів у $K_p=K_{p1} \cdot K_{p2} \cdot \dots \cdot K_{pn}$ раз. Нехай необхідно побудувати лічильник-подільник $K_p=27$ (тут $K_p=27=3 \cdot 3 \cdot 3$). Для побудови лічильника-подільника з $K_p=27$ необхідно з'єднати послідовно три каскади лічильника-подільника з $K_p=3$ (мал. 6.103).



Мал. 6.103. Лічильник-подільник з модулем підрахунку $K_p=27$

При такому сполученні на виході Q_1 модуль рахунку $K_{p1}=3$, на виході $Q_2-K_{p2}=9$ і на виході $Q_3-K_{p3}=27$.

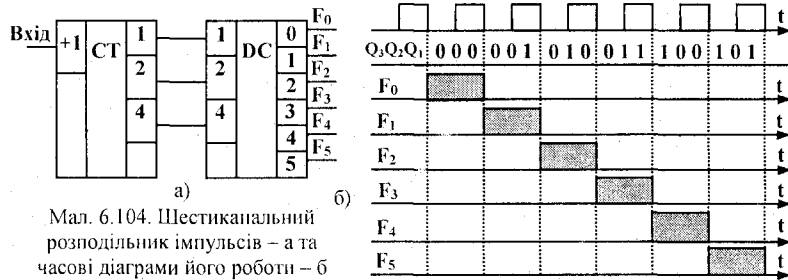
Розподільник імпульсів. Лічильники широко застосовуються у обчислювальних та керуючих устаткуваннях. Відзначимо, що лічильник являється цифровим генератором лінійно змінних напруг, оскільки на його виході може бути сформований лінійно змінний код.

На основі лічильників будують розподільники імпульсів, які по чергово формують імпульси на N виходах. N -каналний розподільник імпульсів складається із лічильника на N положень та комбінаційного пристрою. В якості останнього при ширині вихідних імпульсів $t_i=2\pi/N$ використовують дешифратор. Таблиця істинності на шість каналів наведена в табл.6.36.

Таблиця 6.36. Таблиця істинності розподільника

№ тактового імпульсу	Q ₃	Q ₂	Q ₁	F ₀	F ₁	F ₂	F ₃	F ₄	F ₅
1	0	0	0	1	0	0	0	0	0
2	0	0	1	0	1	0	0	0	0
3	0	1	0	0	0	1	0	0	0
4	0	1	1	0	0	0	1	0	0
5	1	0	0	0	0	0	0	1	0
6	1	0	1	0	0	0	0	0	1

Принципова схема шестиканального розподільника наведена на мал. 6.104,а, а часові діаграми на мал. 6.104,б.



Мал. 6.104. Шестиканальний розподільник імпульсів – а та часові діаграми його роботи – б

§ 6.10.2. Синтез синхронних лічильників [10, 11, 12, 16, 17, 18,20]

Для синхронних послідовісних схем необхідно взяти до уваги додаткову умову, що перехід здійснюється не у цей проміжок часу, коли виконується умова переходу, а лише при надсиланні ближнього керуючого фронту тактового імпульсу. Оскільки це обмеження дійсне для всіх переходів у системі, воно, як правило, не вносить ніяких додаткових змін у діаграму станів. Обмежимося розглядом синхронних послідовісних схем, оскільки їх синтез простіший.

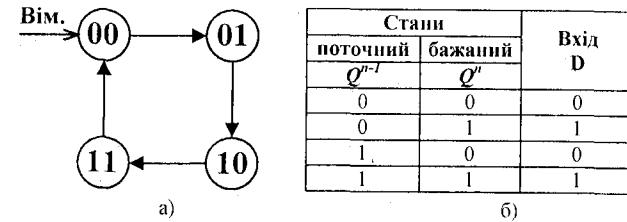
Лічильні імпульси надходять на синхронні входи тригерів лічильників в усі розряди одночасно (паралельно), що призводить до одночасного перемикання усіх тригерів. Тому в таких лічильниках можуть бути часові згагання (перегонні) сигналів. Для їх запобігання використовують двоступеневі JK- та D-тригери. Логічні схеми лічильників можна одержати евристичним шляхом або за методикою формального синтезу, викладеною у § 6.9. Розглянемо методику формального синтезу на прикладах синтезу синхронних лічильників.

Приклад 6.7.

Розробити логічну схему паралельного лічильника прямого рахунку з модулем рахунку K_p=4 на базових елементах АБО, НЕ та D-тригерах.

Розв'язок.

Складемо граф зміни станів лічильника (мал. 6.105, а).



Стани		Керуючі впливи
поточний	бажаний	
Q ₂ ⁿ⁻¹ Q ₁ ⁿ⁻¹	Q ₂ ⁿ Q ₁ ⁿ	q ₂ q ₁
0 0	0 1	0 1
0 1	1 0	1 0
1 0	1 1	1 1
1 1	0 0	0 0

Мал. 6.105. Граф зміни станів лічильника – а, таблиця істинності D-тригера – б, та таблиця переходів лічильника – в

Згідно з умовою задачі, на другому етапі виберемо елементи пам'яті та D-тригери, таблиця істинності яких, наведена на мал. 6.105,б. З врахуванням умови кількісного вибору їх необхідно два.

Визначаємо функції керуючих впливів D-тригерів, q₁, q₂, які забезпечують виконання таблиці переходів лічильника (див. мал. 6.105, в).

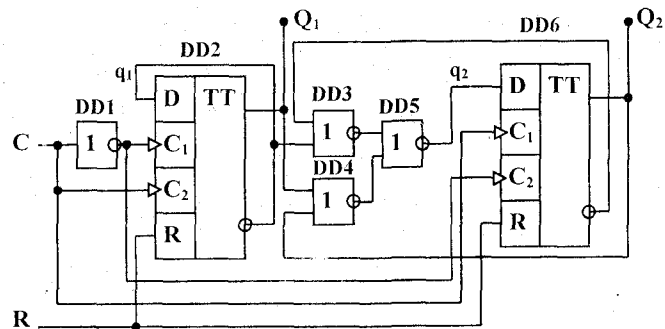
Мінімізуємо функції керуючих впливів q₁, q₂. Для цього запишемо для них УДНФ.

$$q_1 = \bar{Q}_1^{n-1} \bar{Q}_2^{n-1} \vee \bar{Q}_1^{n-1} Q_2^{n-1} \vee \bar{Q}_1^{n-1}$$

$$q_2 = Q_1^{n-1} \bar{Q}_2^{n-1} \vee \bar{Q}_1^{n-1} Q_2^{n-1} = Q_1^{n-1} \vee Q_2^{n-1} \vee \bar{Q}_1^{n-1} \vee \bar{Q}_2^{n-1}$$

$$\text{Оскільки } Q_1^{n-1} \vee Q_2^{n-1} \vee \bar{Q}_1^{n-1} \vee \bar{Q}_2^{n-1} = (Q_1^{n-1} \vee Q_2^{n-1}) (\bar{Q}_1^{n-1} \vee \bar{Q}_2^{n-1}) = Q_1^{n-1} \bar{Q}_1^{n-1} \vee Q_1^{n-1} \bar{Q}_2^{n-1} \vee \bar{Q}_1^{n-1} Q_2^{n-1} \vee \bar{Q}_1^{n-1} \bar{Q}_2^{n-1} = Q_1^{n-1} \bar{Q}_2^{n-1} \vee \bar{Q}_1^{n-1} Q_2^{n-1}$$

Будуємо логічну схему лічильника мал. 6.106.



Мал. 6.106. Принципова схема паралельного лічильника прямого рахунку з $K_p=4$

Робота лічильника здійснюється наступними етапами: встановлення його в нульовий стан (вхід R) та надсилання на синхровходи тригерів чотирьох імпульсів. Розроблена схема не позбавлена перегонів сигналів та ризиків збоїв певної тривалості, тому слід врахувати методи боротьби, які рекомендовані у § 6.3.

Із аналізу вищеприведеного матеріалу видно, що проектування паралельних лічильників прямого рахунку з модулем рахунку 2^n здійснюється таким самим чином, як і проектування лічильників за модулем $K_p=4=2^2$. Наприклад, проектування двох перших розрядів синхронного лічильника прямого рахунку за модулем рахунку 2^3 здійснюється аналогічно, як для двох перших розрядів за модулем рахунку 4. Доповнення третього розряду здійснюється так, щоб не змінювались схеми двох перших розрядів. Результати проектування на JK-тригерах синхронного лічильника прямого рахунку за модулем 2^3 одержуємо у вигляді співвідношень:

$$J_1=K_1=1, J_2=K_2=Q_1, J_3=K_3=Q_1Q_2=J_2Q_2.$$

Проаналізувавши ці вирази, робимо висновок, що рівняння розрядів 4, 5, ..., n синхронного лічильника за модулем рахунку 2^n мають вигляд:

$$J_4=Q_1Q_2Q_3=J_3Q_3,$$

$$J_5=K_5=Q_1Q_2Q_3Q_4=J_4Q_4, \dots$$

$$J_n=Q_1Q_2Q_3 \dots Q_{n-1}=J_{n-1}Q_{n-1}.$$

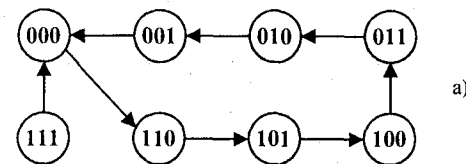
Ці співвідношення були виведені для синхронних паралельних лічильників (див. фор. 6.38).

Приклад 6.8.

Розробити логічну схему паралельного лічильника зворотного рахунку за модулем 7 на JK-тригерах.

Розв'язок.

Складемо граф зміни станів лічильника (мал. 6.107, а).



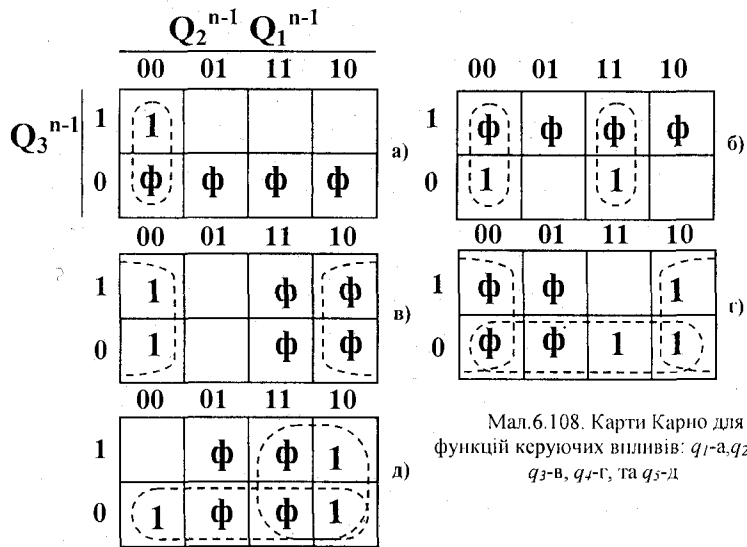
Стан		Входи	
Q^{n-1}	Q^n	J	K
0	0	0	Ф
0	1	1	Ф
1	0	Ф	1
1	1	Ф	0

Стани			Керуючі впливи								
Q_3^{n-1}	Q_2^{n-1}	Q_1^{n-1}	Q_3^n	Q_2^n	Q_1^n	q_1	q_2	q_3	q_4	q_5	q_6
0	0	0	1	1	0	Ф	Ф	1	Ф	0	Ф
1	1	0	1	0	1	Ф	0	Ф	1	1	Ф
1	0	1	1	0	0	Ф	0	0	Ф	Ф	1
1	0	0	0	1	1	Ф	1	1	Ф	1	Ф
0	1	1	0	1	0	0	Ф	Ф	0	Ф	1
0	1	0	0	0	1	0	Ф	Ф	1	1	Ф
0	0	1	0	0	0	0	Ф	0	Ф	Ф	1
1	1	1	0	0	0	Ф	1	Ф	1	Ф	1

Мал. 6.107. Граф зміни станів лічильника – а, таблиця істинності JK-тригера – б та таблиця переходів лічильника – в

На основі таблиці істинності та графа зміни станів (мал. 6.107,б та а), будемо таблицю переходів лічильника, в якій визначасмо значення керуючих впливів (мал. 6.107,в).

Мінімізуємо функції керуючих впливів q_1, q_2, q_3, q_4, q_5 , та q_6 , для цього складемо карти Карно (мал. 6.108).



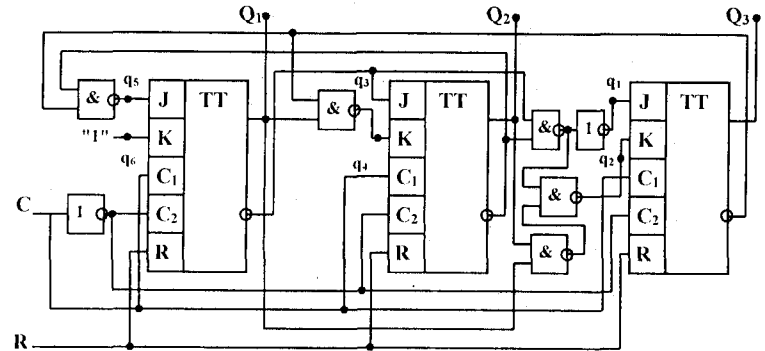
Мал.6.108. Карти Карно для функцій керуючих впливів: q_1 -а, q_2 -б, q_3 -в, q_4 -г, та q_5 -д

Із карти Карно одержимо мінімізовані значення функцій керуючих впливів:

$$\begin{aligned}
 q_1 &= \bar{Q}_2^{n-1} \bar{Q}_3^{n-1} \vee \bar{Q}_1^{n-1} \bar{Q}_2^{n-1} \bar{Q}_3^{n-1} = \bar{Q}_1^{n-1} \bar{Q}_2^{n-1}; \\
 q_2 &= \bar{Q}_1^{n-1} \bar{Q}_2^{n-1} \bar{Q}_3^{n-1} \vee \bar{Q}_1^{n-1} \bar{Q}_2^{n-1} Q_3^{n-1} \vee Q_1^{n-1} \bar{Q}_2^{n-1} \bar{Q}_3^{n-1} \vee Q_1^{n-1} \bar{Q}_2^{n-1} Q_3^{n-1} = \\
 &= \bar{Q}_1^{n-1} \bar{Q}_2^{n-1} \vee Q_1^{n-1} \bar{Q}_2^{n-1}; \\
 q_3 &= \bar{Q}_1^{n-1} \bar{Q}_2^{n-1} \bar{Q}_3^{n-1} \vee \bar{Q}_1^{n-1} \bar{Q}_2^{n-1} Q_3^{n-1} \vee \bar{Q}_1^{n-1} Q_2^{n-1} \bar{Q}_3^{n-1} \vee \bar{Q}_1^{n-1} Q_2^{n-1} Q_3^{n-1} = \\
 &= \bar{Q}_1^{n-1} \bar{Q}_2^{n-1} \vee \bar{Q}_1^{n-1} Q_2^{n-1} = \bar{Q}_1^{n-1}; \\
 q_4 &= \bar{Q}_1^{n-1} \bar{Q}_2^{n-1} \bar{Q}_3^{n-1} \vee \bar{Q}_1^{n-1} \bar{Q}_2^{n-1} Q_3^{n-1} \vee \bar{Q}_1^{n-1} Q_2^{n-1} \bar{Q}_3^{n-1} \vee \bar{Q}_1^{n-1} Q_2^{n-1} Q_3^{n-1} = \\
 &= \bar{Q}_1^{n-1} \bar{Q}_2^{n-1} \vee \bar{Q}_1^{n-1} Q_2^{n-1} = \bar{Q}_1^{n-1}; \\
 q_4 &= \bar{Q}_1^{n-1} \bar{Q}_2^{n-1} Q_3^{n-1} \vee \bar{Q}_1^{n-1} \bar{Q}_2^{n-1} Q_3^{n-1} \vee Q_1^{n-1} \bar{Q}_2^{n-1} Q_3^{n-1} \vee Q_1^{n-1} \bar{Q}_2^{n-1} Q_3^{n-1} = \\
 &= \bar{Q}_2^{n-1} Q_3^{n-1} \vee Q_2^{n-1} Q_3^{n-1} = Q_3^{n-1}; \\
 q_4 &= q_4 \vee q_4 = \bar{Q}_1^{n-1} \vee Q_3^{n-1}; \\
 q_5 &= \bar{Q}_1^{n-1} \bar{Q}_2^{n-1} \bar{Q}_3^{n-1} \vee Q_1^{n-1} \bar{Q}_2^{n-1} \bar{Q}_3^{n-1} \vee Q_1^{n-1} \bar{Q}_2^{n-1} Q_3^{n-1} \vee \bar{Q}_1^{n-1} \bar{Q}_2^{n-1} Q_3^{n-1} = \\
 &= \bar{Q}_2^{n-1} Q_3^{n-1} \vee Q_2^{n-1} Q_3^{n-1} = Q_3^{n-1}; \\
 q_5 &= Q_1^{n-1} \bar{Q}_2^{n-1} \bar{Q}_3^{n-1} \vee \bar{Q}_1^{n-1} \bar{Q}_2^{n-1} \bar{Q}_3^{n-1} \vee \bar{Q}_1^{n-1} \bar{Q}_2^{n-1} Q_3^{n-1} \vee \bar{Q}_1^{n-1} \bar{Q}_2^{n-1} Q_3^{n-1} = \\
 &= Q_2^{n-1} \bar{Q}_3^{n-1} \vee Q_2^{n-1} Q_3^{n-1} = Q_2^{n-1}; \\
 q_5 &= q_5 \vee q_5 = Q_2^{n-1} \vee Q_3^{n-1}; \\
 q_6 &= 1.
 \end{aligned}$$

Використавши значення мінімізованих функцій керуючих впливів, будемо принципovu схему лічильника (мал. 6.109).

Із побудовою схеми, як видно із таблиці переходів, слід враховувати те, що значення керуючих впливів q_1, q_2 надходять на вхід третього JK-тригера (J_3 та K_3) – q_3, q_4 на вхід другого JK-тригера та – q_5, q_6 на вхід першого JK-тригера.



Мал. 6.109. Принципова схема лічильника зворотного рахунку за модулем $K_p=7$ на JK-тригерах

На схемі здійснені наступні перетворення значень керуючих впливів:

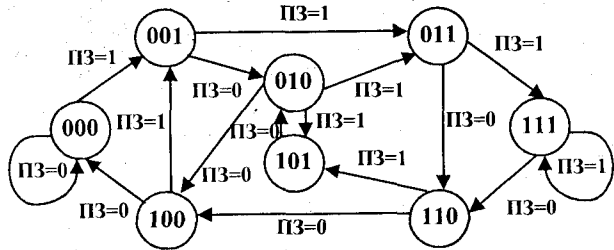
$$\begin{aligned}
 q_5 &= Q_2^{n-1} \vee Q_3^{n-1} = \overline{\bar{Q}_2^{n-1} \cdot \bar{Q}_3^{n-1}}; \\
 q_4 &= \bar{Q}_1^{n-1} \vee Q_3^{n-1} = \overline{Q_1^{n-1} \cdot \bar{Q}_3^{n-1}}; \\
 q_3 &= \bar{Q}_1^{n-1}; \\
 q_2 &= \bar{Q}_1^{n-1} \bar{Q}_2^{n-1} \vee Q_1^{n-1} Q_2^{n-1} = \overline{(\bar{Q}_1^{n-1} \bar{Q}_2^{n-1}) \cdot (Q_1^{n-1} Q_2^{n-1})}; \\
 q_1 &= \bar{Q}_1^{n-1} \bar{Q}_2^{n-1} = \overline{Q_1^{n-1} Q_2^{n-1}}.
 \end{aligned}$$

§ 6.10.3. Аналіз регістрів [10, 11, 12, 16, 18, 19, 20]

Регістр складається із сукупності елементарних автоматів та допоміжних схем, що призначені для приймання, зберігання, перетворення та передавання інформації. За способом приймання та видавання інформації розділяють наступні групи регістрів:

- з послідовним входом та виходом; при цьому інформація як на вхід так із виходу надходить послідовно, біт за бітом. Такий регістр називають зсувним або послідовним;
 - з послідовним входом і паралельним виходом; регістр завантажується послідовно, біт за бітом, але злічування проводиться одночасно з усіх його розрядів;
 - з паралельним входом і послідовним виходом; при цьому приймання інформації здійснюється одночасно зразу в усі розряди регістра, а вивід – послідовно, біт за бітом, при керуванні тактовими імпульсами;
 - з паралельним входом і паралельним виходом; при цьому інформація завантажується одночасно, зразу в усі тригери, а коли виникає потреба у виводі інформації, то вона злічується з усіх розрядів регістра також одночасно. Такий тип регістрів називається паралельним регістром (регістром пам'яті);
 - комбінаційні з різними способами приймання та видавання інформації.
- Функціонування регістрів першої групи, що виконують операцію зсуву слів (зсувних регістрів), можна описати, користуючись апаратом теорії цифрових автоматів.

На мал. 6.110 наведений граф трирозрядного зсувного праворуч регістра. Тут кожний вузол графа відзначений станами регістра, а ребра (ПЗ) – сигнали правого зсуву. Зі зсуванням слова у регістрі розряди слова, що вийшли за межі розрядної сітки регістра, губляться, а звільнені розряди заповнюються нулями. Вибравши повні системи елементарних автоматів та логічних елементів відповідно до наведеного графа, неважко побудувати принципову схему регістра.

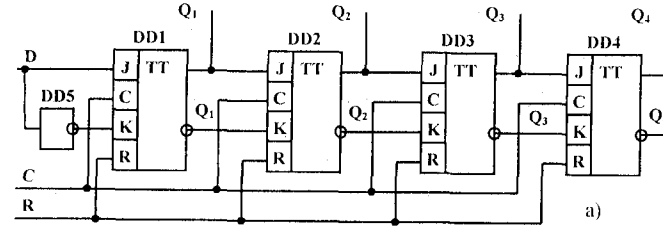


Мал. 6.110. Граф трирозрядного зсувного праворуч регістра

Для тригерів з внутрішньою затримкою вхідна інформація надходить по певному фронту тактового імпульсу в буферну запам'ятовуючу комірку, а тоді передається на вихід.

Принципова схема чотирирозрядного регістра, змонтованого на JK-тригерах, наведена на мал. 6.111,а, а таблиця функціонування на мал. 6.111,б. Якщо надіслати на тактовий вхід С логічну одиницю, а на вхід J=D1 і K= D1 і якщо змінити стан логічної одиниці на логічний нуль, то на виходах першого тригера з'являться відповідно стани Q_1 та Q_1 . Як наслідок після першого імпульсу $Q_1=D1$. Тепер подамо на вхід другу інформацію D2. Після наступного тактового імпульсу тригер DD2 сприймає попередній вихідний код DD1, а DD1 – нову вхідну інформацію, тобто $Q_2=D1$ і $Q_1=D2$. Після четвертого тактового імпульсу $Q_4=D1$, $Q_3=D2$, $Q_2=D3$ і $Q_1=D4$. Зрозуміло, що кожний тактовий сигнал інформації призводить до зсуву регістра на один розряд та вводу нової інформації.

Оскільки регістр зсуву, що представлений на мал. 6.111,а, складається із чотирьох тригерів, він може зберігати інформацію лише чотири біти. Існує дві можливості виводу інформації із регістра зсуву. Після четвертого тактового сигналу на виходах $Q_4 \div Q_1$ зберігається код D1 \div D4. Таким чином можна здійснити паралельний вивід послідовно введеної інформації. Але можливий і послідовний вивід інформації. Для тактових імпульсів з четвертого по сьомий інформація послідовно надходить на вихід Q_4 . Одночасно можна вводити у регістр зсуву код D5 \div D7. Послідовність роботи окремих тригерів відображена у табл. мал. 6.111,б.



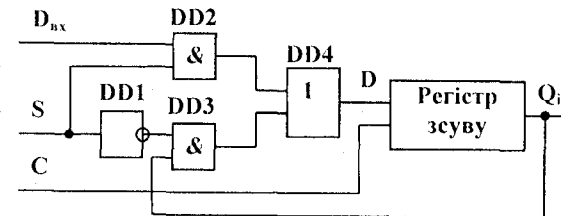
C	Q_1	Q_2	Q_3	Q_4
1	D1	-	-	-
2	D2	D1	-	-
3	D3	D2	D1	-
4	D4	D3	D2	D1
5	D5	D4	D3	D2
6	D6	D5	D4	D3
7	D7	D6	D5	D4

б)

Мал. 6.111. Принципова схема зсувного регістра – а, таблиця функціонування регістра – б

Кільцевий регістр. Деколи бажано здійснювати послідовний вивід інформації із регістра зсуву без втрати інформації. Для цього необхідно ввести дані з допомогою зворотного зв'язку. Схема, яка має таку можливість, наведена на мал. 6.112.

До тих пір, поки на керуючому вході S підтримується рівень логічної одиниці, D=D_{вх}.

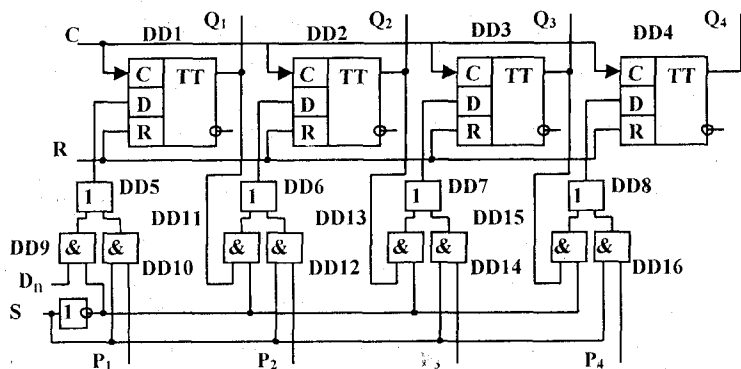


Мал. 6.112. Побудова кільцевого регістра послідовного типу

Таким чином, зворотний зв'язок та регістр зсуву працює так, як було вище описано. За перші n тактів запам'ятовується n-розрядний код. Щоб з наближенням наступних тактових імпульсів вміст пам'яті не втрачався, на керуючому вході встановлюється рівень S=0. При цьому D=Q_i і виведений код порозрядно надходить на вхід. Після n тактових імпульсів регістр зсуву знову знаходиться у початковому стані. Тобто логічний стан на вході керування визначає, чи вводиться нова інформація, чи у регістрі зсуву циркулює стара.

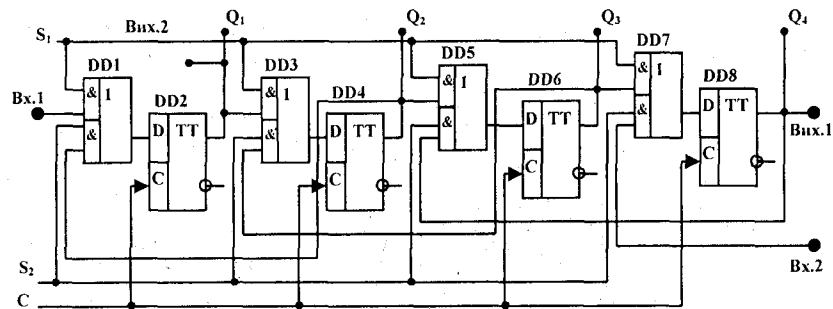
Регістр зсуву з паралельним вводом. У регістрі зсуву на мал. 6.111 інформація може виводитись або послідовно, або паралельно, але надходить лише послідовно. Часто всі розряди числа необхідно ввести у регістр одночасно. Таке завдання ставиться, наприклад, при послідовному додаванні та послідовному множенні.

Для того, щоб здійснити паралельний ввід, доцільно використовувати D-тригери, входи яких з'єднуються так, як показано на мал.6.113, через логічні засувки. Перемикання проводиться за допомогою керуючого сигналу S. Коли $S=0$, то при надходженні наступного імпульсу проходить зсув направо. При $S=1$ у наступному такті здійснюється паралельний ввід.



Мал. 6.113. Регістр зсуву з паралельним уводом інформації

Регістр зсуву, наведений на мал. 6.113, реалізує функцію зсуву направо та паралельного вводу. Очевидно, що кожний із паралельних ввідів можна з'єднати з виходом сусіднього тригера справа. Таким чином здійснюється зсув даних наліво. При допомозі сигналу керування S можна змінювати напрям зсуву. Такий регістр називають реверсивним (мал.6.114). Із надходженням дозволяючого сигналу на керуючий вхід S_1 вмикається схема зсуву направо. Реверсивний регістр при цьому перетворюється у регістр зсуву направо. З надходженням дозволяючого сигналу на керуючий вхід S_2 вмикається схема зсуву наліво. Реверсивний регістр перетворюється у регістр зсуву наліво.



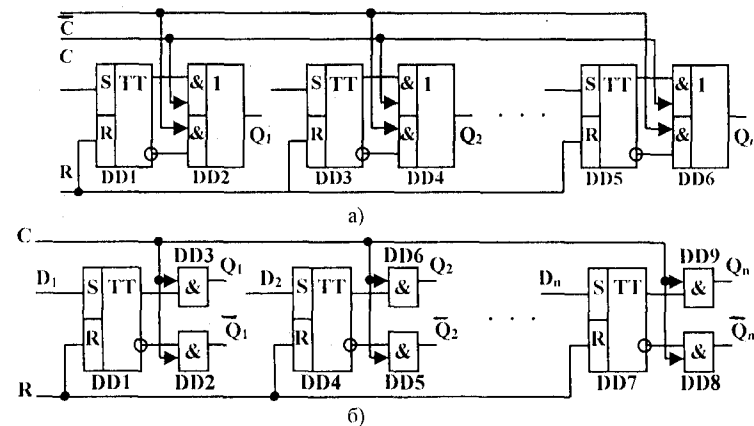
Мал.6.114. Принципова схема реверсивного регістра

У регістра зсуву наліво та направо розряди двійкового коду виходять за межі розрядної сітки, аналогічно, як у зсувному регістрі мал. 6.111,а. Якщо з'єднати вихід крайнього правого розряду регістра, то одержимо схему кільцевого регістра (циклічного – із

зсувом праворуч або ліворуч). Реверсивні регістри можна використовувати для побудови стекових регістрів, які містять один загальний вхід та вихід. Такі регістри працюють за принципом "першим прийшов – останнім вийшов". Стекові регістри називають також регістрами магазинного типу.

Бувають випадки коли у реверсивних регістрах паралельні входи не потрібні. Але якщо вони потрібні, тоді необхідно логічні ключі, які вмикаються до D-входів тригерів, замінити мультиплексами на три входи. При цьому його входи з'єднуються з виходами лівого та правого сусідніх тригерів і зовнішнім паралельним входом.

Як видно із наведених типів регістрів, їх можна поділити ще на дві групи: однофазні (сигнали передаються по одному каналу) та парафазні (передача сигналів по двох каналах). Однофазні регістри будуються на D-тригерах, а парафазні – на RS-тригерах. Регістри характеризуються числом розрядів та швидкістю, що визначається величиною

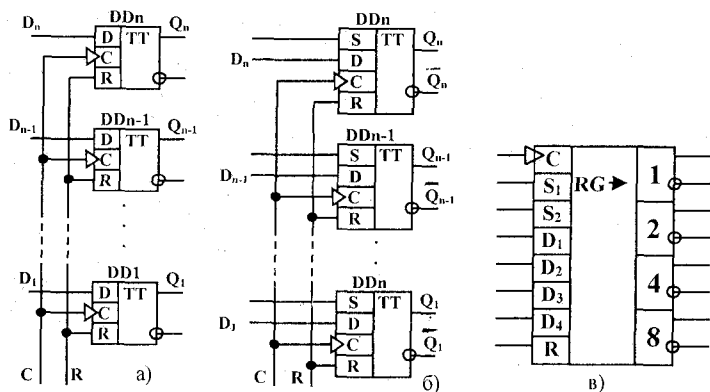


Мал. 6.115. Схема регістра з видачею інформації у прямому та зворотному кодах – а, схема регістра з парафазним виводом інформації – б

тактової частоти приймання, передавання та зсування інформації.

Видавання інформації з регістра може проводитись у прямому, зворотному та парафазному кодах. Схема видачі інформації у прямому та зворотному кодах показана на мал. 6.115,а. Тут сигнал C здійснює видавання прямого коду, C-сигнал видавання зворотного коду. Очевидно, що одночасне надсилання двох сигналів повинно бути заборонене, тобто повинна використовуватись умова $CC=0$. Схема регістра з парафазним виводом інформації наведена на мал. 6.115,б.

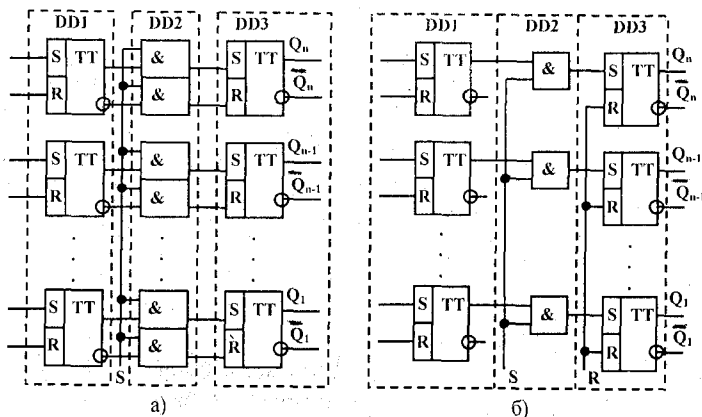
Регістри пам'яті. Регістр із паралельним прийманням та видаванням інформації називають регістром пам'яті. Елементами пам'яті у них використовують синхронні D-тригери при однофазних вхідних сигналах (мал. 6.116, а) або RS-тригери при парафазних вхідних сигналах (мал. 6.116, б). Зміна станів інформації у регістрі проходить після зміни сигналів на входах D та при надходженні сигналу на вхід синхронізації C. На мал. 6.116 в наведене умовне графічне зазначення схеми регістра пам'яті та зсуву.



Мал. 6.116. Регістри пам'яті з однофазними вхідними сигналами – а, парафазними – б, умовне графічне позначення – в

Стрілка, що стоїть поряд із символом регістра RG, вказує напрямок зсуву.

У складних цифрових устаткуваннях, що складаються з великої кількості регістрів, виникає потреба надсилання слів з одного регістра в інший. Це можна здійснити з допомогою спеціальної мікрооперації передавання слів. Два регістри, що з'єднані між собою з допомогою цифрових устаткувань, сумісно створюють схему передавання. Надсилання слова із регістра DD1 у регістр DD3 можна записати у вигляді мікрооперації $DD1:=DD3$.



Мал. 6.117. Принципова схема забезпечення надходження інформації з регістра в регістр

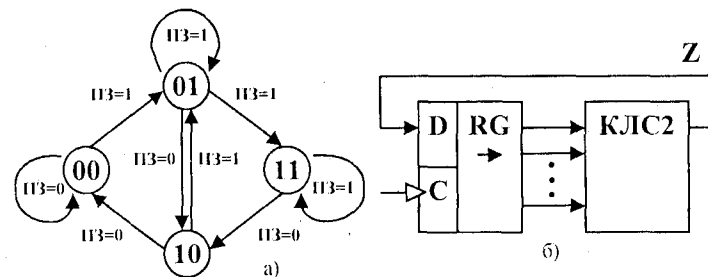
Надходження інформації може здійснюватись у парафазному та однофазному кодах. З парафазним надходженням мікрооперація передавання $DD1:=DD3$ виконується за сигналом

керування S. Із цим сигналом тригери регістра DD3 встановлюються у стани, які відповідають станам тригерів регістра DD1. При цьому стан регістра DD1 не змінюється (див. мал. 6.117.а). Передавання слів між регістрами можна виконувати з допомогою однофазного коду. У цьому випадку надходження слова здійснюється у два такти. На першому такті регістр DD3 встановлюється у нульовий стан, тобто виконується мікрооперація "встановлення нуля" ($R:=0$). З цим сигналом всі тригери регістра DD3 переводяться у стан логічного нуля. У другому такті виконується операція передавання $DD3:=DD1$ (див. мал. 6.117.б).

В останній схемі істотно економиться обладнання для реалізації схеми передавання, однак при цьому збільшується час обміну інформації.

§ 6.10.4. Синтез лічильників на основі зсувних регістрів [10, 11, 12, 16, 17, 19, 20]

Проектування дво-, трирозрядних лічильників на основі зсувних регістрів здійснюється шляхом реалізації графів станів, що наведені на мал. 6.118, а та мал 6.110. При цьому функціональна схема лічильника містить n-розрядний зсувний регістр та комбінаційну логічну схему для формування керуючих впливів, що подаються на тригер молодшого розряду регістра мал. 6.118, б.



Мал. 6.118. Проектування лічильників на основі зсувних регістрів

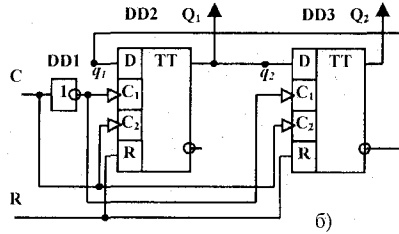
Приклад 6.9.

Розробити на основі зсувного регістра принципову схему паралельного лічильника прямого рахунку за модулем $K_p=4$ на D-тригерах.

Розв'язок.

Для одержання чотирьох різних станів необхідно два тригери. Алгоритм функціонування синтезованого лічильника повинен відповідати універсальному графу дворозрядного регістра (див. мал. 6.118, а). По напрямку обходу вибираємо на графі контур, що здійснює зміну чотирьох станів: 00-01-11-10-00. Складемо таблицю істинності та функцій керуючих впливів D-тригерів (див. мал. 6.119, а). Проведемо мінімізацію функцій керуючих впливів q_1 та q_2 , для цього запишемо УДІФ цих функцій.

Стани				Керуючі впливи	
Поточний		Бажаний		q_2	q_1
Q_2^{n-1}	Q_1^{n-1}	Q_2^n	Q_1^n		
0	0	0	1	0	1
0	1	1	1	1	1
1	1	1	0	1	0
1	0	0	0	0	0



Мал. 6.119. Таблиця істинності та функцій керуючих впливів – а, паралельний лічильник за модулем підрахунку 4 на D-тригерах, побудований на основі зсувного регістра – б

$$q_2 = Q_1^{n-1} \bar{Q}_2^{n-1} \vee Q_1^{n-1} Q_2^{n-1} = Q_1^{n-1};$$

$$q_1 = \bar{Q}_1^{n-1} \bar{Q}_2^{n-1} \vee Q_1^{n-1} \bar{Q}_2^{n-1} = \bar{Q}_2^{n-1}.$$

Внаслідок мінімізації одержимо: $q_1 = \bar{Q}_2^{n-1}$, $q_2 = Q_1^{n-1}$. Принципова схема синтезованого лічильника на D-тригерах наведена на мал. 6.119, б.

Якщо необхідно розробити на основі зсувного регістра принципову схему паралельного лічильника за модулем підрахунку сім, то слід використати універсальний граф трирозрядного регістра зсуву (див. мал. 6.110). Для цього необхідно вибрати за напрямком обходу контур, що змінює стани у такому порядку: 000-001-010-101-011-110-100-000. Далі складається таблиця істинності та функції керуючих впливів для трьох тригерів заданого типу, проводиться мінімізація функцій керуючих впливів та будується принципова схема лічильника.

При програмуванні генераторів двійкової послідовності, що містять до 16 біт, використовують відповідні універсальні графи дво-, три- та чотирьохрозрядних зсувних регістрів. Довжина двійкової послідовності l залежить від розрядності лічильника. У загальному випадку для n -розрядного регістра зсуву $l \leq 2^n$. Функціональна схема такого генератора повинна містити n -розрядний лічильник на зсувному регістрі та логічну схему, що перетворює сигнали з виходів тригерів у необхідну двійкову послідовність.

Приклад 6.10.

Розробити на зсувному регістрі логічну схему генератора двійкової послідовності 1-1-0-1-0-1.

Розв'язок.

Оскільки необхідна послідовність містить 6 біт, то для схеми генератора необхідний трирозрядний зсувний регістр. Елементом пам'яті регістра вибираємо D-тригер. Визначаємо послідовність із шести станів для трирозрядного зсувного регістра, одержану із універсального графа (див. мал. 6.110). Ця послідовність має вигляд: 000-001-011-111-110-100-000. Далі складаємо таблицю істинності станів, функцію керуючих впливів трьох D-тригерів та функцію виходу Z , що визначає необхідну двійкову послідовність (табл. 6.37).

Таблиця 6.37. Таблиця істинності станів для трьох тригерів

Стани						Керуючі впливи			Вихідна функція Z
Поточний			Бажаний			q_3	q_2	q_1	
Q_3^{n-1}	Q_2^{n-1}	Q_1^{n-1}	Q_3^n	Q_2^n	Q_1^n				
0	0	0	0	0	1	0	0	1	1
0	0	1	0	1	1	0	1	1	1
0	1	1	1	1	1	1	1	1	0
1	1	1	1	1	0	1	1	0	1
1	1	0	1	0	0	1	0	0	0
1	0	0	0	0	0	0	0	0	1

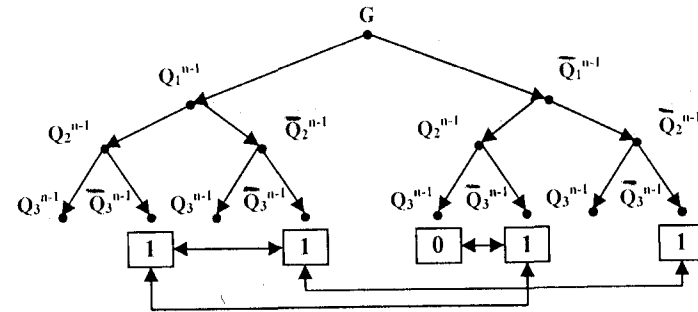
Мінімізуємо функції керуючих впливів q_1, q_2, q_3 , для цього запишемо для них наступне:

$$q_1 = \bar{Q}_1^{n-1} \bar{Q}_2^{n-1} \bar{Q}_3^{n-1} \vee Q_1^{n-1} \bar{Q}_2^{n-1} \bar{Q}_3^{n-1} \vee Q_1^{n-1} Q_2^{n-1} \bar{Q}_3^{n-1} \vee \bar{Q}_1^{n-1} Q_2^{n-1} \bar{Q}_3^{n-1} = \bar{Q}_2^{n-1} \bar{Q}_3^{n-1} \vee Q_2^{n-1} \bar{Q}_3^{n-1} = \bar{Q}_3^{n-1};$$

$$q_2 = Q_1^{n-1} \bar{Q}_2^{n-1} \bar{Q}_3^{n-1} \vee Q_1^{n-1} Q_2^{n-1} \bar{Q}_3^{n-1} \vee Q_1^{n-1} Q_2^{n-1} Q_3^{n-1} \vee \bar{Q}_1^{n-1} \bar{Q}_2^{n-1} Q_3^{n-1} = Q_1^{n-1} \bar{Q}_3^{n-1} \vee Q_1^{n-1} Q_3^{n-1} = Q_1^{n-1};$$

$$q_3 = Q_1^{n-1} Q_2^{n-1} \bar{Q}_3^{n-1} \vee Q_1^{n-1} Q_2^{n-1} Q_3^{n-1} \vee \bar{Q}_1^{n-1} Q_2^{n-1} \bar{Q}_3^{n-1} \vee \bar{Q}_1^{n-1} Q_2^{n-1} Q_3^{n-1} = Q_1^{n-1} Q_2^{n-1} \vee \bar{Q}_1^{n-1} Q_2^{n-1} = Q_2^{n-1}.$$

Для мінімізації вихідної функції та побудови принципової схеми КЛІС2 побудуємо граф-стіжок (мал.6.120).

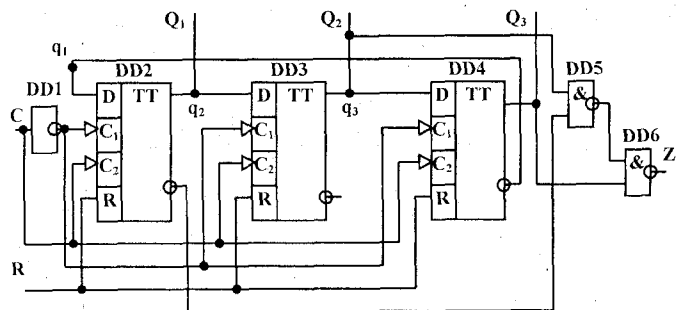


Мал.6.120. Граф-стіжок функцій виходу генератора

Після проходження шляху від кінцевих вершин до кореня графа (мінтерми заключені у прямокутники) одержимо вираз:

$$Z = \bar{Q}_1^{n-1} \bar{Q}_2^{n-1} \bar{Q}_3^{n-1} \vee \bar{Q}_1^{n-1} \bar{Q}_2^{n-1} \bar{Q}_3^{n-1} \vee Q_1^{n-1} \bar{Q}_2^{n-1} \bar{Q}_3^{n-1} \vee Q_1^{n-1} Q_2^{n-1} \bar{Q}_3^{n-1} \vee Q_1^{n-1} Q_2^{n-1} \bar{Q}_3^{n-1} \vee \bar{Q}_1^{n-1} Q_2^{n-1} \bar{Q}_3^{n-1} = \bar{Q}_3^{n-1} \vee \bar{Q}_1^{n-1} Q_2^{n-1} = Q_3^{n-1} \bar{Q}_1^{n-1} Q_2^{n-1}.$$

Відповідно до одержаних рівнянь побудуємо принципову схему генератора двійкової послідовності (мал. 6.121).



Мал. 6.121. Принципова схема генератора

§ 6.11. Аналіз та синтез запам'ятовувальних устаткувань [10, 11, 12, 17, 18, 19, 20, 25]

Запам'ятовувальні устаткування (ЗУ) призначені для записування, зберігання та вибирання інформації, необхідної для розв'язку задач на цифрових обчислювальних та керуючих машинах. Така інформація містить програми розв'язку задач, вхідних, проміжних та скінчених даних. Тобто ці устаткування відносяться до іншого класу логічних вузлів, в яких кожний набір вхідних змінних являє собою адресу, що дає змогу прочитати раніше записаний вміст довільної комірки. Подібні властивості може мати мультиплексор: коли на адресні входи подати константи 0 або 1, то кожному керуючому слову буде відповідати на виході задана константа. Сучасні напівпровідникові ЗУ повинні оперувати великою кількістю комірок пам'яті, тому вони будуються на інших принципах. Однак, всі типи ЗУ характеризуються набором адрес та вмістів комірок. Кількість адрес повинна дорівнювати кількості комірок пам'яті.

У деяких типах ЗУ передбачено ряд додаткових операцій (наприклад, операція "пошуку" – пошук інформації, яка містить певну ознаку). Інформація, що зберігається у ЗУ, задається машинними словами, що складаються з декілька складів. Склад містить групу найменших одиниць інформації – двійкових розрядів (біт).

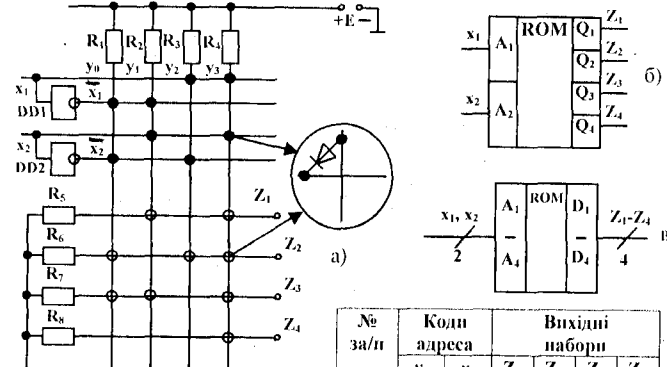
Розрізняють постійні запам'ятовувальні устаткування (ПЗУ, ROM- пам'ять лише для прочитання вмісту) та оперативні запам'ятовувальні устаткування (ОЗУ, RAM – пам'ять з довільним вибором вмісту).

Постійні запам'ятовувальні устаткування (ПЗУ) розрізняються за способом запису первинної інформації. У ПЗУ масового типу, що програмуються виготовлячем під час виробництва, користувач одержує записану інформацію подібно до книги, яка не підлягає зміні. Такі ПЗУ використовуються для збереження стандартних таблиць, символів для відображення на екрані, стандартних програм і т.д. У програмованих постійних запам'ятовувальних устаткуваннях (ППЗУ), що програмуються користувачем, інформація подається у вигляді "чистої сторінки", де у кожній комірці записані лише нулі.

Користувачеві надається можливість запрограмувати ПЗУ, обмежившись записом логічних одиниць у певні комірки.

Існує клас ПЗУ, які дозволяють неодноразову зміну вмісту інформації (репрограмовані ПЗУ – РПЗУ). Зміна інформації пов'язана з витягненням модуля РПЗУ із пристрою, розміщенням його у спеціальний прилад для витирання раніше записаної інформації та записом нової інформації. Витирання здійснюється або ультрафіолетовим променем, або впливом електричного сигналу. Перепрограмування може проводитись від декількох десятків до тисяч разів, а запис інформації – зберігатись довго з вимкненням живлення (у деяких РПЗУ до десяти років).

Схемотехнічна реалізація ПЗУ наведена на мал. 6.122,а, а умовне позначення – на мал.6.122,б,в, табл. істинності на мал. 6.122,г.



Мал.6.122. Принципова схема постійного запам'ятовувального устаткування – а, умовне позначення – б, в, таблиця істинності – г.

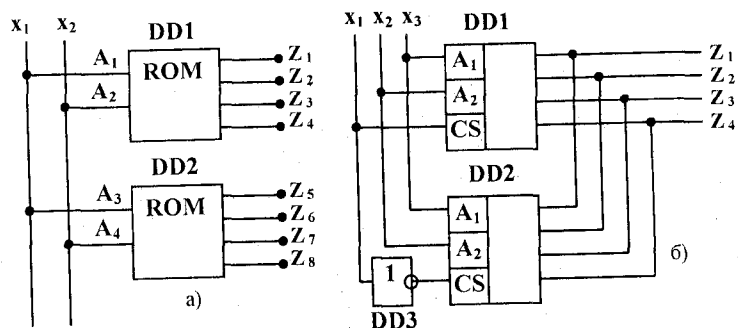
№ за/п	Коди адреса		Вихідні набори			
	x_1	x_2	z_1	z_2	z_3	z_4
1	0	0	0	1	1	0
2	0	1	1	0	1	0
3	1	0	0	1	0	0
4	1	1	1	1	1	1

г)

Схема містить адресні входи x_1, x_2 , виходи вмісту комірок пам'яті z_1-z_4 , виводи для вмикання джерела живлення E та загальний вивід. Верхня частина являє собою дешифратор. Якщо розрядність адреси дорівнює m , то у дешифраторі вона становить 2^m горизонтальних вхідних ліній, на яких діють вихідні змінні та їх інверсії. Вхідні горизонтальні лінії зв'язані з вертикальними через діоди, розміщення яких у місцях перетину показані крапками. Діоди вмикаються так, як показано на винесеному кружечку у правій частині малюнка. Число вертикальних ліній у дешифраторі $n=2^m$. На вертикальній лінії y_0 з'явиться позитивний потенціал у тому випадку, коли обидва діоди адресних шин закриті позитивним сигналом логічної одиниці на їх катодах. Таким чином $y_0=1$, коли $\bar{x}_1=1$ та $\bar{x}_2=1$, тобто $y_0 = \bar{x}_1 \bar{x}_2$. Аналізуючи розміщення зв'язків, зазначимо, що сигнали решти вертикальних ліній описуються рівняннями логічного множення (функція І): $y_1 = \bar{x}_1 x_2, y_2 = x_1 \bar{x}_2, y_3 = x_1 x_2$. Кожному набору вхідних змінних, тобто адресі ПЗУ, відповідає рівень логічної одиниці на одній вертикальній лінії і логічних нулів – на всіх інших. У нижній частині схеми є перетини вертикальних ліній у з горизонтальними вихідними лініями z. У місцях перетину, що відзначені кружечками, розміщені діоди, з аналогічним вмиканням, як у дешифраторі. Але у нижній частині схеми ці діоди реалізують функцію АБО: коли на аноді діода з'явиться позитивний потенціал він передається на горизонтальну вихідну лінію. У варіанті, що наведений на мал. 6.122,а, на виході z_1 з'явиться одиниця, коли y_1 та y_3 мають позитивний

потенціал, тобто при звертанні до ПЗУ за адресою $x_1 x_2$ або $x_1 x_2$. Лінії виходів називають лініями бітів, у наведеному прикладі кожна комірка містить чотири біти: z_1, z_2, z_3, z_4 . Функціонування ПЗУ при різних адресах наведено у табл. мал. 6.122, г.

Наведена схема ПЗУ містить організацію 4×4 , тобто по кожній із чотирьох адрес можна прочитати чотирибітне слово. При необхідності збільшити довжину слова можна вмикати декілька модулів із загальною адресацією, тоді кожний модуль додає чотири біти до комірки пам'яті (мал. 6.123, а). При необхідності збільшити кількість комірок використовують вхід вибору схеми CS, для трирозрядної адреси організація ПЗУ наведена на мал. 6.123, б. Для всіх комбінацій адреси використовується верхній модуль, при цьому нижній не адресується, оскільки CS=0 ($x_1=1$). Для адреси $x_1=0$, навпаки адресується нижній модуль. Виходи зв'язані за схемою функцій АБО: з'єднавши виходи елементів z_i різних модулів, що виконані відповідно до мал. 6.123, б, одержимо об'єднання виходів, тобто реалізацію функції АБО без додаткових елементів.

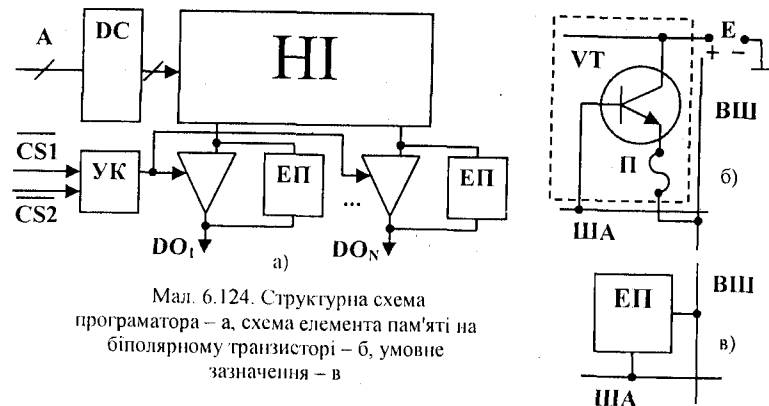


Мал. 6.123. Схеми використання декількох модулів ПЗУ для збільшення розрядності даних – а, для збільшення числа комірок, що адресуються, – б.

Програмовані постійно запам'ятовувальні устаткування (ППЗУ) порівняно з ПЗУ мають більш складну структуру, по-перше, у зв'язку з необхідністю введення плавких перемичок у кожний запам'ятовувальний елемент, по-друге, через додаткові елементи, через які виконується програмування. Додаткові витрати пов'язані із самим процесом програмування, який здійснюється у певних режимах, з допомогою спеціальних програматорів.

Із метою скорочення необхідної кількості виводів корпусів для програмування використовуються ті ж виводи, по яких злічується інформація із ППЗУ. До цих виводів у середині мікросхеми вмикаються елементи програмування, через які забезпечується доступ до потрібних плавких перемичок. На мал. 6.124, а наведена спрощена схема одного із варіантів вмикання елементів програмування (ЕП) у склад ППЗУ. Зовнішній програматор вмикається до виходів DO мікросхеми ППЗУ і забезпечує надходження імпульсів заданої тривалості з амплітудою, яка істотно перевищує рівні у режимі злічування. У результаті забезпечується відкриття елементів програмування (ЕП) та руйнування відповідних плавких перемичок (див. мал. 6.124, б). Для побудови накопичувачів ПЗУ застосовують запам'ятовувальні елементи з більш простою структурою. Як приклад, наведена схема та умовне позначення однотранзисторного запам'ятовувального елемента для біполярного ППЗУ. У емітерному ланцюзі елемента передбачена плавка перемичка (П), яка у певних випадках може руйнуватись при програмуванні ЗУ. Тому при звертанні до елемента по адресній шині (АШ) у випадку неруйнування перемички у вихідній шині (ВШ) буде

проходити емітерний струм транзистора, у випадку руйнування перемички струм проходити не буде. З побудовою накопичувачів інформації (НІ) окремі ЕП об'єднуються у відповідні шини.

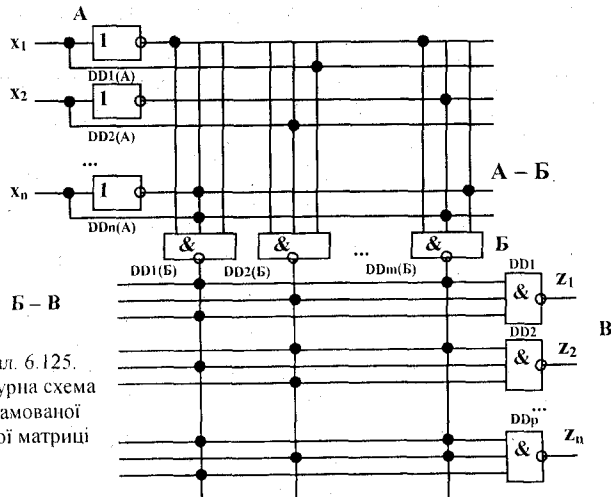


Мал. 6.124. Структурна схема програматора – а, схема елемента пам'яті на біполярному транзисторі – б, умовне позначення – в

Вхідна шина А використовується при програмуванні для вибору заданих ЕП. У наведеній схемі показано два керуючі сигнали CS1 та CS2. Вибір мікросхеми задається одночасно з поданням дозволяючих значень на дешифратор DC та устаткування керування (УК). Використання декількох сигналів спрощує об'єднання мікросхеми з побудовою пам'яті заданої ємності та розрядності.

Репрограмовані ПЗУ застосовуються у першу чергу там, де властивість перепрограмування є визначальною. У всіх РПЗУ занесення інформації виконується користувачем поданням імпульсів з амплітудою порядку 20-30 В і тривалістю від одиниці до десятків мілісекунд. В одному із різновидів (зазначаються такі мікросхеми літерами РР) витирання інформації також проводиться електричним шляхом. Цей різновид часто допускає можливість не лише загального витирання, що руйнує інформацію у всій мікросхемі, але і вибірного (байтового) витирання з наступним виконанням байтового занесу. У другому різновиді (він позначається літерами РФ) витирання інформації проводиться ультрафіолетовим випромінюванням мікросхеми на протязі декількох десятків хвилин. У цьому випадку інформація руйнується повністю у всій мікросхемі. У більшості типів мікросхем репрограмованих ПЗУ організовується зберігання багаторозрядних чисел.

Для конкретних задач використовують один із різновидів ПЗУ, який одержав назву програмованих логічних матриць (ПЛІМ). Основою ПЛІМ являється набір декількох рівнів логічних елементів заданого базису. На кожному рівні не використовуються однотипні елементи з однаковою кількістю входів, тому створюється структура елементів з багатьма ознаками. Між рівнями елементів вводяться системи (матриці) горизонтальних та вертикальних ліній, на перетині яких при програмуванні у певних місцях виконується електричне з'єднання. Це можна здійснювати або на етапі виготовлення (як у ПЗУ), або введенням плавких перемичок (як у ППЗУ). На мал. 6.125 наведена структурна схема, що пояснює основні принципи побудови ПЛІМ. Вхідні елементи, що відносяться до рівня А, використовуються для одержання двох різних значень вхідних сигналів та забезпечують необхідну навантажувальну здатність. Логічні елементи І-НЕ на рівнях Б та В забезпечують необхідне перетворення кодів у відповідність з конкретною реалізацією з'єднань у матрицях А-Б та Б-В. Можна показати, що для кожного вихідного сигналу Z забезпечується

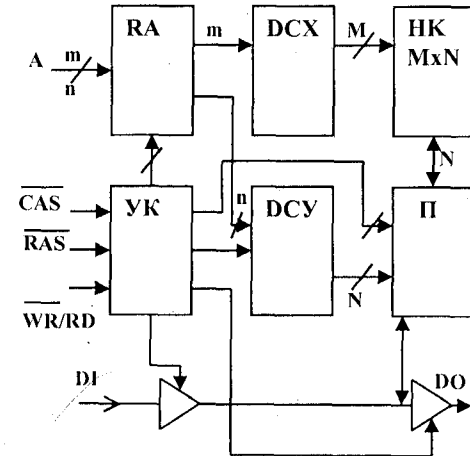


Мал. 6.125.
Структурна схема
програмованої
логічної матриці

перетворення вхідних сигналів X у відповідність з УДНФ. Якщо на кожному із рівнів використовується достатня кількість логічних елементів з відповідною кількістю входів, то на виході можуть бути реалізовані будь-які комбінації кодів. Програмовані ЛМ широко використовуються для побудови різних устаткувань керування. На їх основі сумісно з тригерами, регістрами та лічильниками можуть бути побудовані різного виду цифрові автомати.

Із побудовою оперативної пам'яті мікропроцесорних систем (МП-систем) застосовуються мікросхеми ЗУ великої ємності (порядка десятків Кбіт і більше). При цьому використовують динамічний спосіб зберігання інформації, що дає змогу застосовувати більш прості запам'ятовувальні елементи. Оскільки при цьому виникають обмеження на кількість виводів, то використовують передавання адресної інформації по частинах (як правило, на початку адреси рядків, а потім – адреси стовпчиків). З цієї причини мікросхеми часто призначають для зберігання одного розряду всіх чисел, який виділяється у процесі звернення до всього рядка накопичувача. На мал. 6.126 наведена типова структура мікросхеми динамічного оперативного ЗУ (ОЗУ), яка призначена для зберігання MN однорозрядних чисел. Адреси чисел задаються $(m+n)$ -розрядним кодом, при чому одна частина адресує рядки, інша – стовпчики накопичувача.

Адреси стовпчиків та рядків подаються по тих самих виводах мікросхеми у два прийоми. Режими роботи задаються комбінацією сигналів \overline{CAS} , \overline{RAS} , $\overline{WR/RD}$. Перші із них визначають звернення до мікросхеми з метою записування, злічування та регенерації інформації. Надсилання по шині A m -розрядного коду рядка фіксується у регістрі адреси RA , чому сприяє дозволяюче значення сигналу \overline{RAS} (логічний нуль). При відсутності дозволяючого сигналу \overline{CAS} (логічний нуль) за достатньо короткий час проводиться регенерація рядка. Ця операція передбачає надсилання інформації із усіх ЕП рядка, що адресується у N двонаправлених підсилювачів (П) з наступним записуванням інформації у ті ж ЕП. Таким чином, формується на адресній шині послідовність адрес рядків i , надсилаючи у ЗУ ці адреси, з допомогою сигналу $\overline{RAS}=0$, можна за M тактів забезпечити повну регенерацію. Цей час не повинен перевищувати 2 мс.



Мал. 6.126. Функціональна схема оперативного-запам'ятовувального устаткування

Для звернення до певного ЕП з метою записування або злічування інформації необхідно після адресації рядки сформувати на шині A n -розрядну адресу стовпчиків. Цей код, за сигналом $\overline{CAS}=0$, з допомогою дешифратора стовпчиків DCY забезпечує вибір одного із N двонаправлених підсилювачів (П).

При цьому режим роботи (записування або злічування) буде визначатись значенням сигналу $\overline{WR/RD}$, який присутній до часу формування значення $\overline{CAS}=0$. Якщо $\overline{WR/RD}=1$, то буде мати місце злічування інформації із адресованого ЕП з передаванням через вихідний буферний підсилювач на вихід DO . Коли $\overline{WR/RD}=0$, буде проведене записування інформації, яка присутня на вході DI . Час циклу злічування та записування задається сигналом \overline{RAS} .

Спрощена модель мал. 6.125 дає змогу засвоїти важливі властивості ПЗУ, а саме являється універсальним елементом для формування практично будь-яких логічних залежностей. Оскільки ПЗУ є двокаскадна схема, в якій перший каскад – дешифратор – реалізує всі можливі кон'юнкції, а другий дозволяє формувати будь-які набори диз'юнкції, задача зводиться до програмування диз'юнктивного каскаду. Варіант ПЗУ, наведений на мал. 6.122,а реалізує наступні функції:

$$z_1 = \bar{x}_1 x_2 \vee x_1 \bar{x}_2 = x_2; \quad z_2 = \bar{x}_1 \bar{x}_2 \vee x_1 x_2 = \bar{x}_2 \vee x_1 x_2 = x_1 \vee \bar{x}_2;$$

$$z_3 = \bar{x}_1 \bar{x}_2 \vee \bar{x}_1 x_2 \vee x_1 \bar{x}_2 = \bar{x}_1 \vee x_1 x_2 = \bar{x}_1 \vee x_2; \quad z_4 = x_1 x_2.$$

Приклад 6.11.

Необхідно записати у ППЗУ значення двох функцій чотирьох змінних:
 $F_1 = \bar{a} b \vee \bar{a} b \bar{c} \vee a b \bar{c}, F_2 = a \bar{b} \vee \bar{a} b \vee a b \bar{c}.$

Розв'язок.

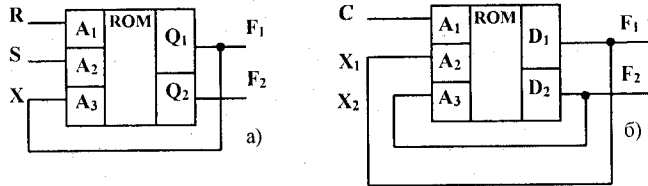
Для побудови ППЗУ необхідно шістнадцять комірок пам'яті з чотирирозрядними адресами. У кожній комірці пам'яті повинно зберігатись не більше двох біт.

Якщо застосувати модуль з об'ємом 16×1 , то необхідно два таких модулі.

Застосуємо аналітичний шлях перетворення логічних рівнянь, при якому кожену функцію записують у канонічній формі (УДНФ):

являється джерелом коливань з періодом, який залежить від загальної затримки у петлі зворотного зв'язку.

Найбільш простий автомат з пам'ятю на основі ПЗУ – тригер RS-типу. Схема автомата (модуля) мал.6.129,а містить адресні входи А, розрядність яких дорівнює трьом. Входи призначені для надсилання сигналів R, S та зворотного зв'язку, кількість комірок, в які адресують інформацію – вісім. У кожній комірці зберігаються дані D, розрядністю у 1 біт, які одержують на виході Q (вихід F₁). Додатковий другий біт пам'яті – вихід F₂ – може бути використаний для одержання інверсного сигналу Q̄. Програмування ПЗУ (табл. 6.39) проводиться згідно з таблицею істинності RS-тригера.



Мал. 6.129. Застосування ПЗУ для побудови: RS-тригера – а; Т-тригера – б

Таблиця 6.39. Таблиця програмування RS-тригера, побудованого на основі ПЗУ

№ за/п	x	R	S	F ₁
1	0	0	0	0
2	0	0	1	1
3	0	1	0	0
4	0	1	1	Φ ₁
5	1	0	0	1
6	1	0	1	1
7	1	1	0	0
8	1	1	1	Φ ₂

Таблиця 6.40. Таблиця програмування Т-тригера, побудованого на основі ПЗУ

№ за/п	C	x ₁	x ₂	F ₁	F ₂
1	0	0	0	0	0
2	1	0	0	1	0
3	1	1	0	1	0
4	0	1	0	1	1
5	0	1	1	1	1
6	1	1	1	0	1
7	1	0	1	0	1
8	0	0	1	0	0

Перший рядок таблиці відповідає зверненню за адресою 000 (x=0, R=0, S=0), вмістиме даного біту комірці пам'яті F₁=0. Цей стан не протирічить, тому, що x=F₁. З подаванням сигналу S=1 адреса змінюється на 001, однак, якщо за цією адресою записано F₁=1, то стан

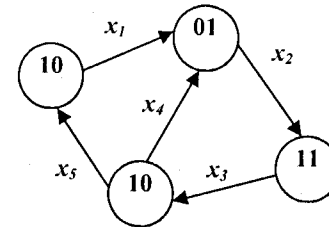
нестійкий, оскільки негайно призводить до зміни x по ланцюгу зворотного зв'язку. За адресою 101 (рядок 6) також повинна зберігатись одиниця, тоді цей стан є стійким. Подальший розгляд таблиці не вимагає пояснень.

Тригер Т-типу, побудований на основі ПЗУ, змінює свій стан на протилежний з надсиланням кожного чергового сигналу C=1, вимагає чотири стани, а, як наслідок, двох зворотних зв'язків (мал. 6.129,б). Таблиця програмування ПЗУ (табл. 6.40) побудована так, щоб всі послідовні адреси були закодовані сусідніми кодами, оскільки тут також можливі небезпечні стани та хибні перепади. Рядки 2, 4, 6, 8 таблиці протирічні, оскільки у них не виконується умова x₁=F₁ та x₂=F₂. Тому автомат у цих станах нестійкий. Рядки 1, 3, 5, 7 характеризують лічильний режим тригера.

Викладена методика побудови тригерів на основі ПЗУ дає змогу будувати автомати послідовісних типів. Розглянемо її застосування на прикладі побудови автомата, що формувє імпульси керування тиристорами трифазного інвертора напруги (приклад 6.6). Визначимо розрядність адреси, ємність комірці пам'яті, структуру зворотних зв'язків. Вхідний сигнал закодований чотирирозрядним словом x₁^{''}, x₂^{''}, x₃^{''} та x₄^{''}, тому чотири розряди адреси резервуються для керуючих впливів. Число станів автомата дорівнює п'яти, тоді число зворотних зв'язків повинно бути також не менше чотирьох, а розрядність адреси – не менше восьми, тобто A=A_x+A_{z,z}=4+4=8 (тут A_x – адреси для вхідних сигналів; A_{z,z} – адреси для зворотних зв'язків). Кожна із 256 комірок пам'яті, в яку надходить інформація, повинна зберігати слово даних, розрядність якого визначається як сума: A_D=A_{z,z}+A_z=4+6=10 (тут A_z – число бітів, дорівнює кількості вихідних каналів, для нашого випадку A_z=6). Кодовану таблицю переходів та виходів для автомата системи керування інвертором можна скласти відповідно до табл. 6.30, 6.31 та мал.6.92.

Завдання для самоконтролю

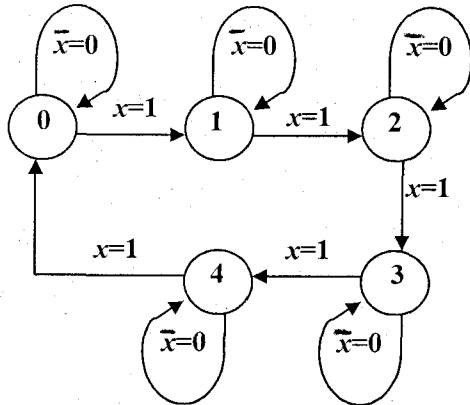
1. Використовуючи елементи пам'яті D-тригери, побудувати цифровий послідовісний автомат, що задасться графом.
2. Побудувати чотирирозрядний лічильник за модулем рахунку нескратному ступені два



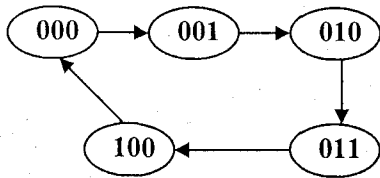
(K₀=5).

3. Використовуючи заданий кільцевий граф синтезувати підсумовуючий лічильник.

7. Аналіз та синтез перетворювачів сигналів



4. Побудувати чотирирозрядний підсумовуючий лічильник на JK-тригерах.
5. Побудувати чотирирозрядний реверсивний лічильник на D-тригерах.
6. Використовуючи заданий граф, що описує зміну станів лічильника, побудувати його принципову схему.



7. Побудувати чотирирозрядний кільцевий регістр на JK-тригерах.
8. Побудувати принципову схему регістра пам'яті об'ємом інформації у 14 біт.
9. Розробити на зсувному регістрі логічну схему генератора двійкової послідовності 1-0-1-0-1-1.
10. Записати у ППЗУ значення двох функцій трьох змінних: $F_1 = \bar{x}_1 x_2 \vee x_1 \bar{x}_2 x_3$; $F_2 = \bar{x}_1 \bar{x}_2 \bar{x}_3 \vee x_1 \bar{x}_2 x_3 \vee x_2 x_3$.
11. Використовуючи граф П.1, синтезувати послідовнісний автомат на основі елементів пам'яті ПЗУ.

Перетворювачі сигналів належать до спеціальних пристроїв, що призначені для зв'язку та обміну інформацією між об'єктами з різною формою наближення сигналів, та цифровими автоматами. Такі перетворювачі, крім основних операцій аналого-цифрового та цифро-аналогового перетворення, виконують і деякі операції з первинної обробки перетворюваних величин: масштабування, згладжування, запам'ятовування, апроксимацію, стиснення й інші, та взаємокеруючі операції щодо джерел та приймачів інформації. Перетворювачі працюють в реальному масштабі часу, якщо того вимагає об'єкт, тобто залежно від характеру розв'язуваних задач, – або в реальному, або в трансформованому.

§ 7.1. Аналіз та синтез цифро-аналогових перетворювачів

Цифро-аналогові перетворювачі (ЦАП) здійснюють автоматичне перетворення (декодування вхідних значень, що представлені числовими кодами) в еквівалентні їм значення якої-небудь фізичної величини.

До основних параметрів ЦАПів належать діапазон зміни вхідної та вихідної величини (динамічний діапазон), він визначається відношенням максимального значення вхідної або вихідної величини перетворення до мінімального:

$$\Delta D = x_{\max} / x_{\min} = N_{\max} / N_{\min}$$

де x_{\min} , x_{\max} – аналогові вхідні еквіваленти, N_{\min} , N_{\max} – вхідні числові значення (коди). При лінійному перетворенні вхідне та вихідне значення мають однаковий динамічний діапазон, який визначається числом розрядів цифрового коду. У випадку, коли мінімальне значення дорівнює нулю, діапазон зміни дорівнює

$$\Delta D = x_{\max} / \delta_x = N_{\max} / \delta_N$$

де δ_x та δ_N – допустимі абсолютні похибки перетворення.

Часові параметри перетворювача визначають швидкість перетворення і належать також до основних параметрів. Розрізняють три основних параметри: крок (період) квантування Δt , час перетворення (час встановлення) t_{np} , тобто затримка вхід-вихід, тривалість циклу перетворення $t_{ц}$.

Крок (період) перетворення Δt – інтервал часу між двома послідовними перетвореннями. Значення, зворотне періоду квантування $1/\Delta t = f_{кв}$ називають частотою квантування.

Час перетворення t_{np} вихідної напруги або струму – інтервал часу від моменту зміни коду на вході ЦАПа, що задається, до моменту встановлення вихідного аналогового сигналу.

Тривалість циклу перетворення $t_{ц}$ – час між моментом подачі вхідного коду та видачею вихідного аналогового сигналу ($t_{ц} \geq t_{np}$). Визначається в основному циклограмами та часовими діаграмами, що описують роботу цифрових автоматів, де присутні перетворювачі.

Похибка перетворення (статична похибка) характеризується похибкою (шумом) квантування та інструментальною похибкою. У загальному випадку похибка квантування можна представити як $\delta_{кв} = x(t) - N_i \Delta x = x(t) - x_{диск}(t)$, де $x(t)$ – поточне значення сигналу, а $x_{диск}(t)$ – дискретне представлення сигналу; Δx – крок квантування за рівнем.

Інструментальна похибка визначається нестабільністю джерела опорної напруги, похибкою ключів, резистивних матриць та вихідних операційних підсилювачів. Основними факторами, що викликають похибки, є: технологічний розкид параметрів, вплив змін навколишнього середовища, зміна параметрів у часі, виникнення внутрішніх та зовнішніх шумів і завад.

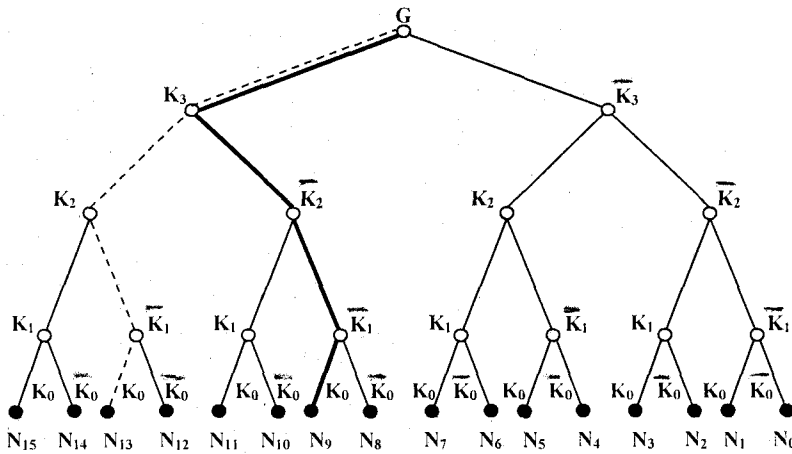
У цифро-аналогових перетворювачах забезпечується відповідність між вхідним числовим значенням N_i і його аналоговим еквівалентом $x(t_i)$. Кількісний зв'язок для будь-якого проміжку часу t_i визначається співвідношенням $x_i = N_i \Delta x \pm \delta x_i$, де Δx – аналоговий еквівалент одиниці молодшого розряду коду, δx_i – похибка перетворення.

Двійковий код N , що складається із n -двійкових розрядів і надходить на вхід ЦАП, дорівнює:

$$N = K_{n-1}2^{n-1} + K_{n-2}2^{n-2} + \dots + K_12^1 + K_02^0 = \sum_{i=0}^{n-1} K_i2^i, \quad (7.1)$$

де $K_i = K_{n-1}, K_{n-2}, \dots, K_1, K_0$ – стани комутуючих ключів, що формують вхідний набір.

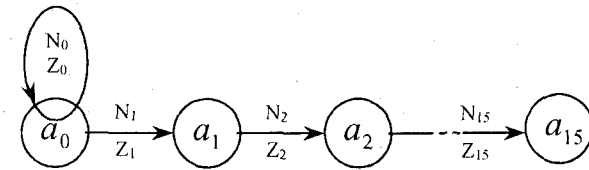
Цей код для чотирирозрядного ЦАП може бути представлений графом-стіжком G (мал. 7.1), де $K_0, \bar{K}_0, K_1, \bar{K}_1, K_2, \bar{K}_2, K_3, \bar{K}_3$ – вершини графа, що уособлюють стани комутуючих ключів, відповідно до нульового – третього розрядів: K – замкнений, \bar{K} – розімкнений; N_0-N_{15} – мінтерми (вхідні набори), аналоги еквівалентам $x(t)$.



Мал. 7.1. Граф-стіжок для чотирирозрядного ЦАП

Значення кожного вхідного набору залежить від положень ключів і є визначальним при перетворенні двійкового числа у пропорційну йому напругу (крім $\bar{K}_0 = \bar{K}_1 = \bar{K}_2 = \bar{K}_3 = 0$). У тому випадку кожне положення ключів повинне змінювати електричні параметри ЦАП, наприклад, струм пропорційно до ваги розряду. У свою чергу ключ замикається тоді, коли у відповідний розряд надходить логічна одиниця, тобто $N_1 = \bar{K}_3 \bar{K}_2 \bar{K}_1 K_0$, $N_2 = \bar{K}_3 \bar{K}_2 K_1 \bar{K}_0$, ..., $N_{15} = K_3 K_2 K_1 K_0$.

Враховуючи останнє, роботу ЦАП, можна описати, використавши апарат теорії цифрових автоматів. На мал. 7.2 наведений граф чотирирозрядного ЦАП. При вхідному наборі N_0 ЦАП приймає стан a_0 , такий, коли на виході напруга дорівнює 0 або близька до чого. Цей стан буде зберігатись лише при вхідному наборі N_0 (на мал. це показано для стану a_0 петлю N_0). При інших наборах ЦАП приймає стани a_1, a_2, \dots, a_{15} , і відповідно на виході будуть сигнали Z_1, Z_2, \dots, Z_{15} .



Мал. 7.2. Граф-модель чотирирозрядного ЦАП

Для прикладу розглянемо цифровий двійковий код $N_{15} = K_3 K_2 K_1 K_0$, який необхідно перетворити в аналогову величину, звично, напруга $U_{\text{вих}}$. Кожний розряд двійкового коду має певну вагу: вага i -того розряду удвоє більша, ніж вага $(i-1)$ -го. Тоді роботу ЦАП можна описати наступною формулою:

$$U_{\text{вих}} = U_{\text{оп}}(K_32^3 + K_22^2 + K_12^1 + K_02^0) = U_{\text{оп}} \sum_{i=1}^{n-1} K_i2^i,$$

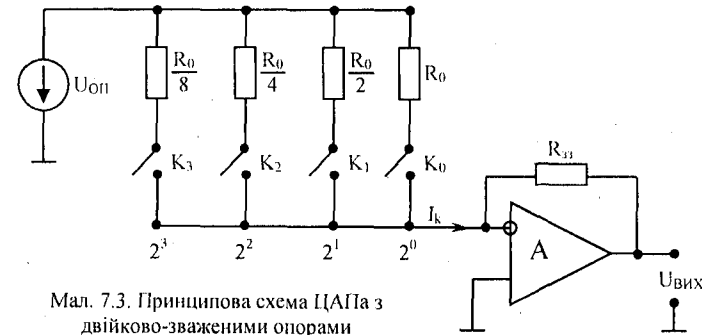
де $U_{\text{оп}}$ – напруга, що відповідає вазі молодшого розряду.

Наприклад, коду $N_9 = 1001$, для якого стани комутуючих ключів наступні: $N_9 = K_3 \bar{K}_2 \bar{K}_1 K_0$ (див. мал. 7.1), відповідає вихідна напруга:

$$U_{\text{вих}} = U_{\text{оп}}(K_3 \cdot 8 + \bar{K}_2 \cdot 4 + \bar{K}_1 \cdot 2 + K_0 \cdot 1) = U_{\text{оп}}(1 \cdot 8 + 0 \cdot 4 + 0 \cdot 2 + 1 \cdot 1) = 9U_{\text{оп}}$$

Коду $N_{13} = 1101$ відповідає вихідна напруга $U_{\text{вих}} = U_{\text{оп}}(1 \cdot 8 + 1 \cdot 4 + 0 \cdot 2 + 1 \cdot 1) = 13U_{\text{оп}}$.

На мал. 7.1 для вихідного набору N_9 ребра графа наведені товстими лініями, для N_{13} ребра графа наведені штриховими лініями.



Мал. 7.3. Принципова схема ЦАП з двійково-зваженими опорами

Існують два поширені способи реалізації графа мал. 7.2: резистивні матриці з ваговими двійково-зваженими опорами та матриці з двома номіналами опорів, які називають матрицею R-2R. Перший тип ЦАП наведений на мал. 7.3.

Кожний i -ий розряд визначає положення ключів K_i, \bar{K}_i , завдяки чому вмикається до джерела опорної напруги $U_{\text{оп}}$, коли $K_i=1$, або до загальної шини, коли $K_i=0$. Опори резисторів, що сполучені з ключами, такі, що забезпечують пропорційність струму через них двійковій вазі відповідного розряду вхідного коду. Опір резистора у молодшому розряді має значення R_0 , опір наступного резистора $R_0/2$ і т.д. до опору резистора у старшому розряді, значення якого $R_0/2^{n-1}$. Тоді струм, що проходить на вході операційного підсилювача ОП, дорівнює:

$$I_k = \frac{2^{n-1} K_{n-1}}{R} U_{оп} + \frac{2^{n-2} K_{n-2}}{R} U_{оп} + \dots + \frac{2^1 K_1}{R} U_{оп} + \frac{2^0 K_0}{R} U_{оп} = \frac{U_{оп}}{R} \sum_{i=0}^{n-1} K_i 2^i,$$

відповідно вихідна напруга ЦАП дорівнює:

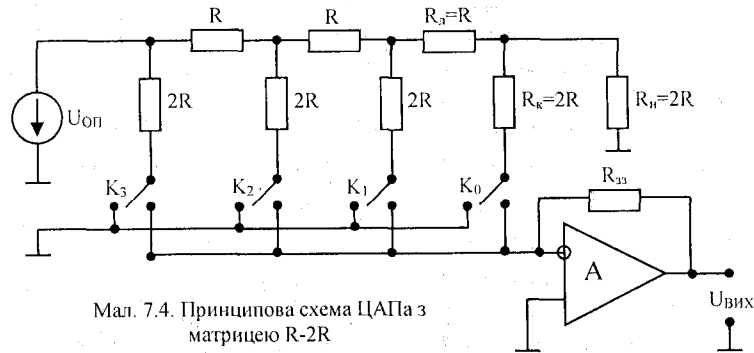
$$U_{max} = -\frac{U_{оп} R_{сх}}{2^{n-1} R} \sum_{i=0}^{n-1} K_i 2^i, \quad (7.2)$$

де $K_{n-1}, K_{n-2}, \dots, K_0$ – відповідні стани ключів при вхідних наборах. Як видно з (7.2), вихідна напруга пропорційна зваженому коду, у якому приймають одиничне значення розряди, відповідно до положень ключів, які з'єднані з джерелом $U_{оп}$. Щоб збільшити число розрядів двійкового числа, слід увімкнути паралельно відповідну кількість резисторів $R_0/16, R_0/32$ і т.д. Найбільш принциповою вимогою є підбір величини резисторів старших розрядів, оскільки розкид струмів у них не повинен перевищувати струм молодшого розряду. Тому розкид величини опору в 2^n розрядів повинен бути меншим, ніж

$$\Delta R_0/R_0 = 1/2^{n+1}$$

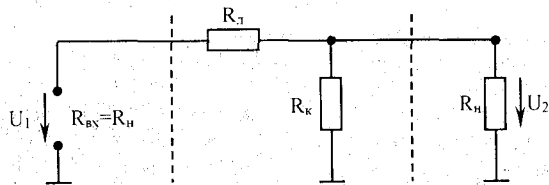
Із цього випливає, що розкид величини резистора в 2^4 розряді не повинен перевищувати 3%, а у 2^{10} розряді 0.05%. Для двійково-десятькового підрахунку наרוшування розрядності можна провести, доповнюючи на кожну декаду, 4 резистори, опір яких відповідно в 10 раз менший, ніж у 4-х попередніх.

Як видно з попереднього аналізу, при розробці інтегральних схем ЦАП найбільшу складність являє реалізація високоточних резисторів. Тому доцільно вагові коефіцієнти ступенів задавати методом послідовного ділення напруги з допомогою резистивної матриці (мал. 7.4).



Мал. 7.4. Принципова схема ЦАПа з матрицею R-2R

Основний елемент такої матриці являє собою подільник напруг (мал. 7.5), який повинен задовольняти наступні умови: якщо він навантажений на опір R_n , то опір на вході $R_{вх}$ також дорівнює R_n (при узгодженому режимі). Коефіцієнт послаблення напруг $\alpha = U_2/U_1$



Мал. 7.5. Еквівалентна схема матриці R-2R

при цьому повинен задаватись.

Із виконанням цих умов одержуємо наступний вираз для опорів:

$$R_n = ((1-\alpha)/\alpha) R_k$$

У випадку двійкового кодування $\alpha = 0.5$ і, якщо допустити, що $R_k = 2R$, то у відповідності до мал. 7.5, $R_n = 2R$. Джерело опорної напруги навантажено на постійний опір $R_{вх} = R$.

Вихідна напруга підсилювача для чотирирозрядного ЦАПа визначається виразом:

$$U_{max} = -U_{оп} \frac{R_{сх}}{16R} (8K_3 + 4K_2 + 2K_1 + K_0).$$

Для n-розрядного ЦАПа вихідна напруга дорівнює:

$$U_{max} = -U_{оп} \frac{R_{сх}}{16R} \sum_{i=0}^{n-1} K_i.$$

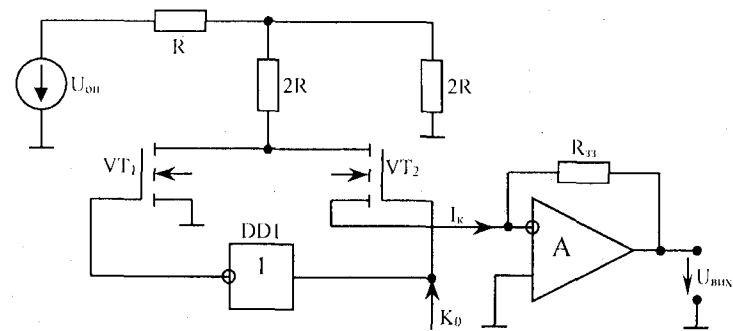
У навантаженої схемі (мал. 7.4) використовується струмовий режим роботи, коли ОП виконує функцію додавання струмів та перетворює їх у вихідну напругу. Відповідно формування розрядних струмів здійснюється з допомогою ключів, що комутують струми. Струм короткого замикання при цьому дорівнює

$$I_{кз} = \frac{U_{оп}}{16R} \sum_{i=0}^{n-1} K_i.$$

Існують схеми ЦАПів, де використовується режим роботи близький до холостого ходу, коли додаються напруги. Порівняно з мал. 7.4 тут використовується зворотне вмикання входу та виходу матриці R-2R. Напруга холостого ходу при цьому дорівнює:

$$U_{хх} = \frac{U_{оп}}{16R} \sum_{i=0}^{n-1} K_i.$$

У вищенаведених схемах ЦАПах принцип роботи розглядався з використанням гіпотетичних механічних ключів, однак у реальних схемах застосовують електричні ключі. В інтегральних схемах використовують МОП-ключі, оскільки у цьому випадку на ключах спад напруги практично дорівнює нулю (мал. 7.6).



Мал. 7.6. Принципова схема одного розряду ЦАПа на МОП-ключах

Умикання вузла додавання до нульової шини можна здійснити, як показано на мал. 7.6, з допомогою нормально закритих n-канальних польових транзисторів, один із яких керується через інвертор. Із надходженням високого рівня напруги на керуючий вхід K_0 , транзистор VT_2 відкривається, а транзистор VT_1 закривається. Потенціал стіку дорівнює нулю. Тому для

одержання достовірного результату цілком достатньо низьковольтного логічного сигналу, незалежно від величини опорної напруги. Якщо на вхід керування подати низький рівень, VT_2 закривається. Потенціал стіку у цьому випадку також залишається рівним нулю, оскільки тепер проводить струм транзистор VT_1 .

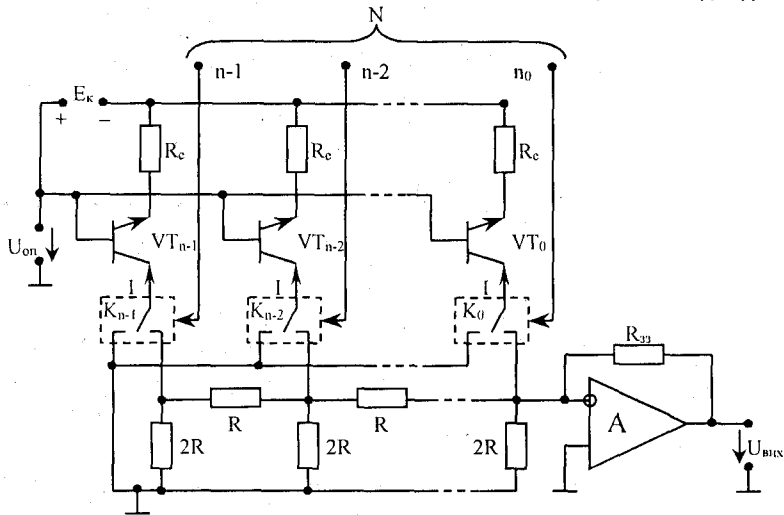
ЦАП з резистивною матрицею R-2R не вимагає широкого діапазону номіналів резисторів і тому легко реалізується напівпровідниковою технологією. Матриця R-2R займає меншу площадку на поверхні кристала та дозволяє понизити до мінімуму паразитні завади та індуктивності резисторів і з'єднувальних провідників. Однак такі перетворювачі мають суттєвий недолік: сильний вплив на точність перетворення нестабільності опорів ключів у замкненому стані, що понижує часову та температурну стабільність їх характеристик.

Вказаний недолік у значній мірі вдається усунути в схемах, де розрядні струми формуються за допомогою активних елементів (генераторів струму). Одна із таких схем наведена на мал. 7.7.

У цій схемі матриця R-2R використовується для формування двійково зважених струмів. Джерела струму, виконані на транзисторах $VT_{n-1}, VT_{n-2}, \dots, VT_0$, разом з еталонними резисторами R_c , виробляють однакові струми I , що надходять на вихід з допомогою ключів $K_{n-1}, K_{n-2}, \dots, K_0$, керовані вхідним кодом N . Ці струми вмикаються до двійкового подільника, який реалізований на резистивній матриці R-2R, що їх послаблює на виході відповідно з ваговими коефіцієнтами. Вихідний струм ЦАПа дорівнює:

$$I_{\text{вих}} = \frac{I}{2^{n-1}} \sum_{i=1}^{n-1} K_i 2^i$$

ЦАП із струмовими ключами мають наступні переваги: висока швидкодія, зумовлена малими перепадами напруг, малими постійними часу та прискореними перезарядками паразитних ємностей; технологічність виготовлення, зумовлена однорідністю структури.

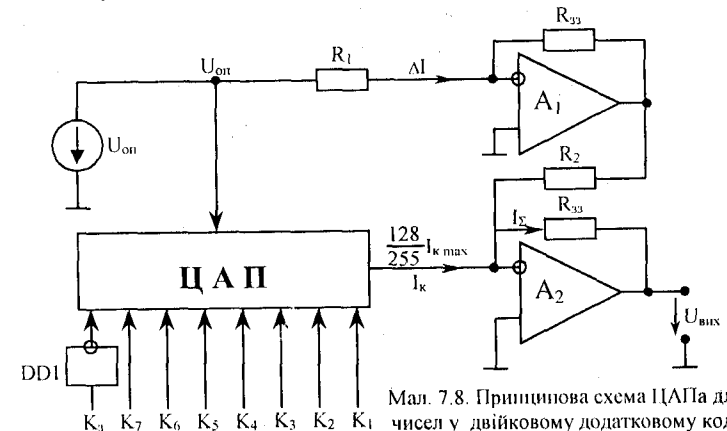


Мал. 7.7. Принципова схема ЦАПа із джерелами струму на активних елементах

У вищезгаданих схемах ЦАПів вхідна інформація представлялась у вигляді чисел, що не мали знака. Обробка чисел із знаком має певні особливості. Для представлень цифрових

кодів, які приймають позитивні та негативні значення, використовують декілька різновидностей кодів (див. § 6.4.4).

Таким чином, за допомогою восьми розрядів можна представити числа у діапазоні від -128 до +127. З уводом чисел у ЦАП шляхом додавання 128 зсувають цей діапазон чисел до 0÷255. Числа, більші за 128 при цьому рахуються додатними, а числа, менші 128 – від'ємними. Середнє значення 128 відповідає 0. Таке представлення чисел, що мають знак, через додатні числа називають зсувом двійкового представлення. Додавання 128 можна зв'язати із запереченням знакового розряду.



Мал. 7.8. Принципова схема ЦАПа для чисел у двійковому додатковому коді

Щоб одержати вихідну напругу з вірним знаком, необхідно здійснити зворотний зсув шляхом віднімання $128\Delta I$. Як показано на мал. 7.8, цей компенсаційний струм формуються за допомогою підсилювача ОП₁ та резистора R_2 із опорної напруги. Тому сумарний струм дорівнює:

$$I_{\Sigma} = I_K - 128\Delta I = I_K - 128/255 I_{K_{\text{max}}}$$

Щоб підвищити стабільність у схемі, можна передбачити формування компенсаційного струму безпосередньо у ЦАПі. Для цієї мети зручний ЦАП з трипозиційними ключами, коли загальна точка ключа вмикається до другого виходу.

§ 7.2. Аналіз та синтез аналого-цифрових перетворювачів

Аналого-цифрові перетворювачі (АЦП) здійснюють автоматичне перетворення (вимір та кодування) безперервно змінних у часі аналогових значень у еквівалентні значення числових кодів. Кількісний зв'язок для будь-якого проміжку часу t_i визначається співвідношенням

$$N_i = x(t_i) / \Delta x \pm \delta N_i$$

де $x(t_i)$ – дискретний відлік; N_i – значення коду; δN_i – похибка перетворення на даному кроку.

Для цифрових автоматів вхідною інформацією є цифровий код, який формує АЦП від аналогових устаткування.

Із перетворенням аналогової величини у цифровий код N кінцевою кількістю розрядів, виникає систематична похибка, яка називається похибкою квантування.

Згідно з теоремою Котельникова, немає потреби передавати нескінченну множину всіх значень безперервного сигналу $x(t)$, достатньо передавати лише ті його значення, які розміщені через інтервали $\Delta t=1/(2F)$, де F – верхня частота сигналу.

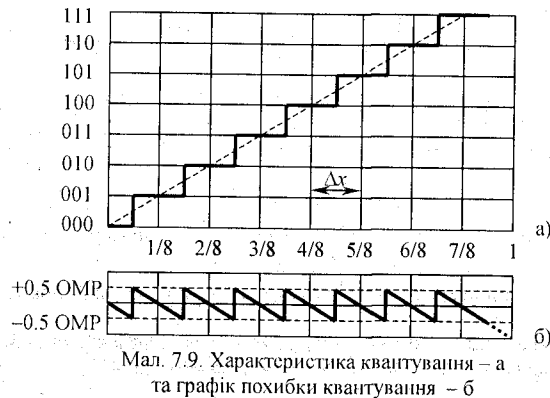
У тих випадках, коли присутня достовірна інформація про закон зміни сигналу, вибір частоти дискретизації можна здійснити, виходячи із допустимої похибки апроксимованої функції $x(t)$ на кожному інтервалі дискретизації:

$$f_{\text{диск}} = \sqrt{\frac{[d^2 x(t)/dt^2]_{\text{max}}}{8\delta_{\text{max}}}}$$

де δ_{max} – задана допустима похибка апроксимації.

Відмінною особливістю дискретизації за рівнем є заміна безперервної шкали рівня аналогового сигналу $x(t)$ дискретною шкалою N_i ($i=1, 2, \dots, m$), в якій різні значення сигналу відрізняються між собою менше, ніж на фіксоване (або вибране у процесі квантування) значення Δx , що називається кроком квантування. Необхідність квантування викликана тим, що цифрові автомати можуть функціонувати лише з числами, які містять скінченне число розрядів. Таким чином, квантування являє собою округлення значень, що передаються із заданою точністю. При рівномірному квантуванні ($\Delta x = \text{const}$) число дозволених дискретних рівнів x_i складає $m=(x_{\text{max}}-x_{\text{min}})/\Delta x$, де x_{max} та x_{min} – відповідно верхня та нижня межа діапазону зміни сигналу. Чим менше значення Δx , тим менша одержана похибка, яку називають шумом квантування і визначається як різниця між поточним значенням аналогового сигналу $x(t)$ та його дискретним представленням, тобто $\xi(x) = x - N_i$. Якщо внаслідок квантування будь-які із значень сигналу $x(t)$, що попали в інтервал $(N_i - \Delta x/2; N_i + \Delta x/2)$ заокруглюються до N_i , то виникає при цьому похибка $\xi(x)$, що не перевищує половини кроку квантування, тобто $\max[\xi(x)] = 0.5\Delta x$. На практиці крок квантування Δx вибирають, виходячи із рівня завдань, у тій або іншій формі, що присутні при вимірах, передаваннях та обробленні реальних сигналів.

На мал. 7.9, а наведена характеристика перетворення, а на мал. 7.9, б – графік похибки квантування трирозрядного АЦП для нормованого вхідного сигналу.



Мал. 7.9. Характеристика квантування – а та графік похибки квантування – б

На горизонтальній осі мал. 7.9, а показано нормований аналоговий вхід, на вертикальній – двійкові числа на виході АЦП.

Дисперсія похибки квантування при рівномірному законі розподілу дорівнює:

$$D[\xi] = \int_{-\Delta x/2}^{\Delta x/2} \xi^2 f_1(\xi) d\xi = (\Delta x)^2 / 12 \quad (7.3)$$

де $f_1(\xi)$ – густина ймовірності для випадкової величини ξ .

Максимальне значення похибки квантування становить ± 0.5 одиниці молодшого розряду ($\pm 0.5 \text{ OMP}$). Це показано на мал. 7.9, б.

Інструментальна похибка АЦП зумовлена недосконалістю окремих елементів схеми та впливом на них різних дестабілізуючих факторів. Інструментальна похибка призводить до того, що характеристика квантування реальних АЦП відрізняється від ідеальної, наведеної на мал. 7.9, а. Якщо середини ступенів ідеальної ламаної лінії характеристики квантування з'єднати, то одержиться пряма з одиничним нахилом, що виходить із початку координат (на малюнку – штрихова лінія). У реальному АЦП ця пряма не проходить через нуль (похибка зміщення нуля) і її нахил відрізняється від одиничного (похибка коефіцієнта передавання). Похибка коефіцієнта передавання у діапазоні перетворення сигналу викликає постійне відносне відхилення вихідного значення від дійсного, а похибка зміщення нуля зумовлює постійну абсолютну похибку. Крім того, у реальних характеристиках має місце відхилення усередненої характеристики квантування від ідеальної прямої в усьому діапазоні зміни вхідного сигналу (похибка нелінійності). Таким чином, з точки зору статичної точності роботи, вичерпною характеристикою АЦП є його реальна характеристика квантування.

Із перетворенням сигналів, що змінюються у часі, виникають динамічні похибки, які характеризують: періодом (частотою) квантування, часом перетворення та невідповідністю вхідного сигналу перетвореному цифровому значенню. Остання виникає тоді, коли вхідний сигнал на протязі часу перетворення змінюється більше, ніж на одиницю молодшого розряду. Таким чином, при змінному у часі вхідному сигналі створюється невизначеність у тому, яким у дійсності було миттєве значення вхідного сигналу під час вибирання. Час між моментом фіксації миттєвого значення вхідного сигналу (момент відліку) та моментом одержання його цифрового еквівалента називається апертурним часом, а похибка – апертурною.

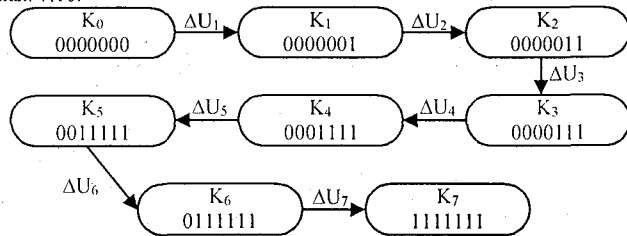
Для зменшення динамічної (апертурної) похибки АЦП використовують устаткування вибирання та зберігання, що вмикається між входом АЦП та виходом джерела аналогового сигналу. Робота цих устаткувань ґрунтується на принципі фіксації миттєвого значення змінного у часі вхідного сигналу на час, який необхідний для наступного перетворення в АЦП, тому їх ще називають фіксаторами.

Для побудови принципових схем АЦП використовують, в основному, три методи перетворення: паралельний, що ґрунтується на використанні $(2^n - 1)$ еталонів з вагами, які відрізняються між собою на один квант, і де проходить порівняння вхідного аналогового значення з кожним еталонем при допомозі $2^n - 1$ схем порівняння (компараторів): послідовний: а) послідовний з одиничним наближенням, що ґрунтується на зрівноваженні вхідного аналогового значення сумою максимальних (для конкретного перетворювача) по вазі еталонів (квантів); б) з двійково-зваженим наближенням, в яких зрівноваження вхідного аналогового значення здійснюється сумою n -еталонів (n -число розрядів АЦП), зважених за двійковим законом; в) з проміжним перетворенням вхідного аналогового значення в інтервалі часу або частоти, з наступним перетворенням у цифровий код; г) без проміжного перетворення, до яких можна віднести перетворювачі напруга-частота, тобто частота повторення вихідних імпульсів таких АЦП пропорційна вхідному аналоговому значенню; д) інтегруючі АЦП, де використовується у процесі перетворення операція інтегрування вхідного аналогового сигналу за фіксований момент часу; послідовно-паралельні розділяються на багатоступеневі, в яких застосовують декілька паралельних АЦП, що

працюють послідовно у часі, та багатотактні, в яких один і той же паралельний АЦП працює послідовно декілька разів з відповідним керуванням пороговими напругами.

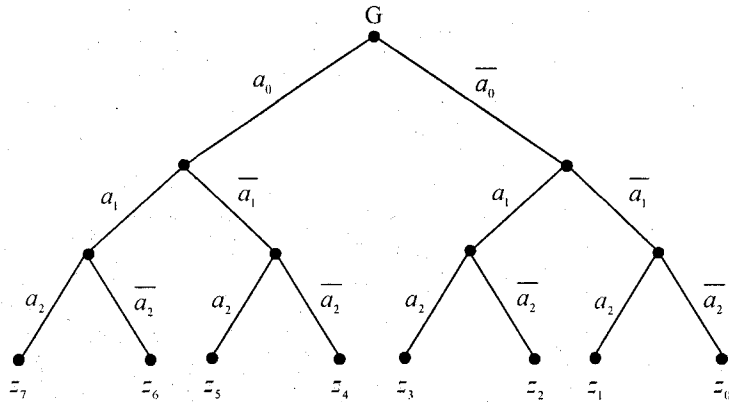
Із великої різноманітності схем АЦПів розглянемо лише наступні: паралельні, послідовні з одиничним наближенням, з проміжним перетворенням в інтервалі часу та двотактного інтегрування.

Паралельні АЦП. Із характеристики квантування мал. 7.9. видно, що при реалізації паралельного способу перетворення необхідно здійснювати одночасне квантування сигналу при допомозі набору компараторів, які повинні вмикатись паралельно до джерела вхідного сигналу, а порогові рівні компараторів повинні бути постійні і залежати від кроку квантування, що можна здійснити при допомозі резистивного подільника, який вмикається до джерела опорної напруги $U_{оп}$, відповідно з шкалою квантування, що використовується. Число рівнів квантування, а відповідно і число компараторів для n -розрядного АЦПа, дорівнює 2^{n-1} , тоді для трирозрядного перетворювача число компараторів дорівнює сім. При такій залежності вихідні стани компараторів $K_7K_6K_5K_4K_3K_2K_1$ являються результатами порівняння аналогових величин із джерелами опорних сигналів і можуть бути описані графом мал. 7.10.



Мал. 7.10. Граф зміни станів компараторів у параметричному АЦПі у залежності від вхідної напруги

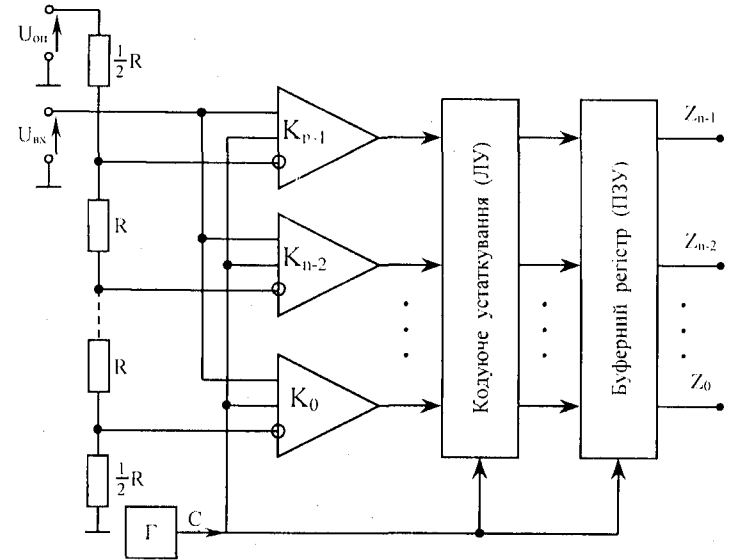
На малюнку стани компараторів $K_7K_6K_5K_4K_3K_2K_1$, ΔU_i – крок квантування напруги. Як видно з графа мал. 7.10, на виходах компараторів формується унітарний код, для його перетворення у двійковий необхідно використати кодуєче устаткування. Стани даного кодуєчого устаткування повинні забезпечити вихідні двійкові коди АЦПа z_0, z_1, \dots, z_7 показані на графі $G=\{a, z\}$ мал.7.11.



Мал. 7.11. Стани вихідних кодів паралельного трирозрядного АЦПа

На малюнку $z_0 = \bar{a}_0\bar{a}_1\bar{a}_2 = 000$; $z_1 = \bar{a}_0\bar{a}_1a_2 = 001$ і т.д.

На мал. 7.12. наведена схема паралельного АЦПа, де у якості кодуєчого устаткування використовуються логічні схеми (ЛС), а кодуєчий пристрій змонтований на ПЗУ. У схемі використані компаратори $K_{n-1}, K_{n-2}, \dots, K_0$ з пам'яттю. З подачею на керувані входи компараторів сигналу, що дорівнює логічній одиниці ($C=1$), вони працюють у режимі порівняння та підсилення, а при сигналі логічного нуля ($C=0$) – у режимі запам'ятовування. Вибірання вхідного аналогового сигналу проходить після появи фронту стробуючого імпульсу C . Кодування проходить з моменту надходження на керуєчий вхід кодуєчого устаткування зрізу стробуючого імпульсу. Результати записуються у вихідний буферний регістр з появою фронту наступного стробуючого імпульсу. У даній схемі компаратори працюють у режимі слідкування та запам'ятовування, тобто, крім функцій порівняння виконують функції устаткування вибрання та зберігання. Таким чином, процес квантування, поєднується з процесом дискретизації, а для запам'ятовування вибраних значень $U_{вх}(t)$ використовуються цифрові устаткування.



Мал. 7.12. Принципова схема паралельного АЦПа

Як видно із графа мал. 7.10, компаратори встановлюються у стани логічної одиниці по черзі – знизу доверху. Однак така черговість не гарантується при крутих фронтах (у даному випадку – зрізах) стробуючого імпульсу, оскільки через різницю у часі затримки, компаратори можуть пермикатись у будь-якому порядку. Цей перехідний стан за певних несприятливих умов, (коли зріз стробуючого імпульсу та фронт сигналу $U_{вх}(t)$ співпадають) може бути записаний у пам'ять компараторів. Щоб цього уникнути, у паралельних АЦПах використовують логічні схеми (ЛС), які здійснюють виділення верхнього компаратора, що спрацював, а в якості кодуєчого устаткування ПЗУ, яке виконане на діодах (див. § 6.11) і працює лише для лічби.

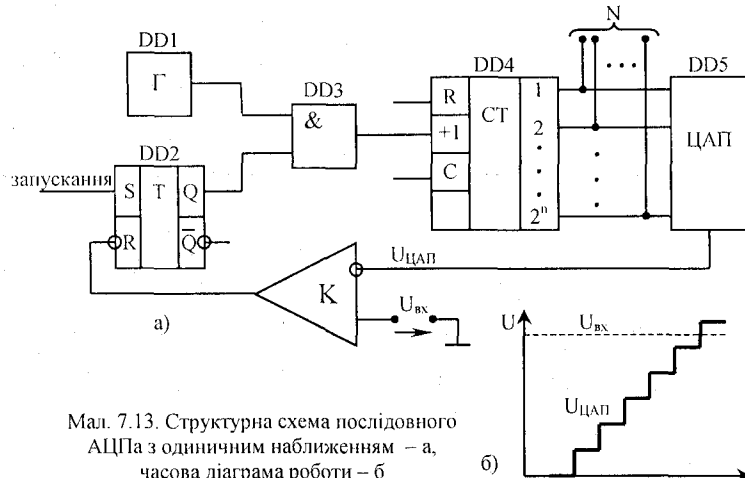
У цій схемі ЛС перетворює прями та інверсні сигнали компараторів з пам'яттю таким чином, що логічна одиниця залишається лише на одній шині, а це відповідає вищому

номерів компаратора, що спрацював (при підрахунку знизу). Цей сигнал дає змогу підраховувати потрібний результат із ПЗУ, яке має всі можливі для АЦПа кодовані комбінації.

У розглянутій схемі для роботи АЦПів без збоїв необхідно, щоб за час злічування t_z результатів з виходів компараторів вхідний сигнал $U_{вх}(t)$ змінювався не більше, ніж за значення кроку квантування ΔU , тобто $\Delta U \geq U_{вх}(t)t_z$.

Завдяки паралельній роботі каскадів описаний АЦП має високу швидкість. При використанні мікросхем серії ЕСЛ1 – можна обробляти сигналом до частоти 50 МГц і вище.

Послідовні АЦП з одиничним наближенням. Структурна схема такого АЦП із ступінчатою пилоподібною напругою на виході наведена на мал. 7.13. а, а часова діаграма роботи на мал. 7.13. б. Імпульс запускання (початок циклу перетворення) вмикає лічильник DD4 до виходу генератора імпульсів DD1. Оскільки виходи лічильника DD4 сполучені безпосередньо з входами ЦАПа DD5, то напруга на виході останнього $U_{ЦАП}$ збільшується за ступінчастим пилоподібним законом (мал. 7.13. б), причому значення ступеня відповідає одиниці молодшого розряду.



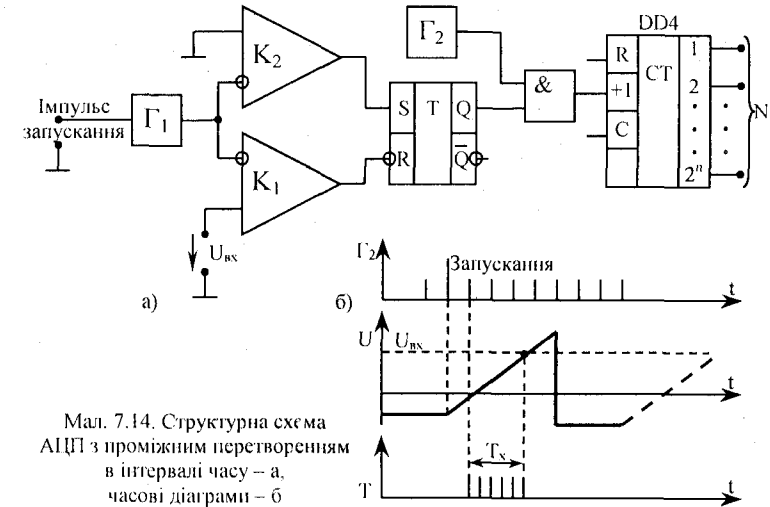
Мал. 7.13. Структурна схема послідовного АЦПа з одиничним наближенням – а, часова діаграма роботи – б

Процес перетворення закінчується тоді, коли напруга $U_{ЦАП}$ зрівняється з вхідною напругою $U_{вх}$. При цьому компаратор К блокує посилання лічильних імпульсів на лічильник DD4, а вихідний код N є цифровим еквівалентом вхідної напруги, у час закінчення перетворення. Статична похибка перетворення визначається в основному сумарною статичною похибкою ЦАПа та компаратора, що використовуються. Швидкість, яка характеризується часом перетворення, визначається числом розрядів n та частотою лічильних імпульсів f_n . Час перетворення АЦПа являється змінним і визначається рівнем вхідної напруги. Максимальний час перетворення, що відповідає максимальній вхідній напрузі, дорівнює $t_{п,макс} = (2^{n-1} - 1)\Delta t_n$,

де Δt_n – період слідування лічильних імпульсів.

АЦП з проміжним перетворенням в інтервалі часу. У таких АЦПах здійснюється проміжне перетворення вхідного сигналу (напруги) $U_{вх}$ у пропорційний йому часовий інтервал T_x , який заповнюється лічильними імпульсами еталонної частоти f_n . Число

імпульсів, що знаходяться у вимірному інтервалі T_x , підраховується лічильником та видається як цифровий еквівалент сигналу, що перетворився (мал. 7.14. а, б).



Мал. 7.14. Структурна схема АЦП з проміжним перетворенням в інтервалі часу – а, часова діаграма – б

При цьому співвідношення між кодом та вхідним сигналом має наступний вигляд:

$$N = T_x / \Delta t_n = U_{вх} / (\Delta U_n \alpha)$$

де α – швидкість зміни напруги генератора пилоподібною напругою (Γ_1)

$$\alpha = dU/dt$$

Статична похибка АЦПа визначається нестабільністю частоти f_n відхиленням характеристики генератора пилоподібною напруги від ідеальної, похибкою компараторів.

АЦП двотактного інтегрування. Вище описані АЦПі мають відносно низьку завадостійкість, тому дозволяючи здатність стійка на рівні 8 – 10 розрядів. Від тих недоліків позбавлені АЦП інтегруючого типу, де використовується у процесі перетворення операція інтегрування вхідного сигналу за заданий інтервал часу.

Одним із поширених методів такого перетворення є схема двотактного інтегрування (мал. 7.15, а).

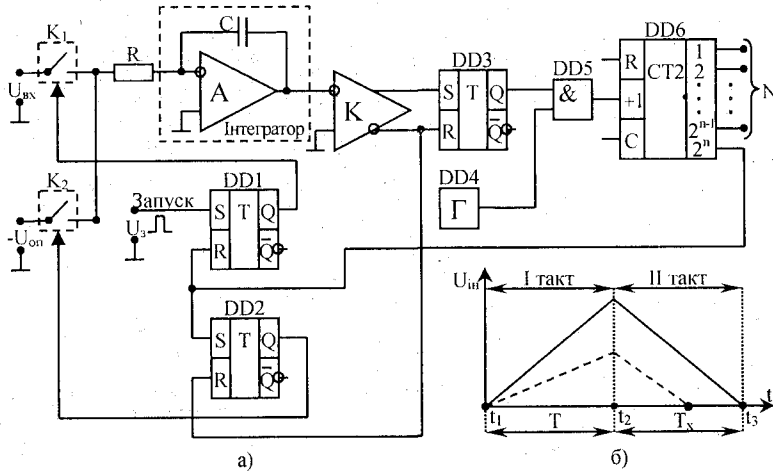
Повний цикл її роботи складається із двох тактів. У першому імпульс запускання, діючи на тригер DD1, вмикає ключ K_1 , після чого перетворювальний сигнал $U_{вх}$ подається на вхід інтегратора. На один вхід компаратора подається вихідна напруга інтегратора $U_{инт}$, а на другий – нульова напруга. Оскільки у початковий момент часу t_1 (мал. 7.15, б) напруга інтегратора дорівнювала нулю, компаратор спрацює і перекидає тригер DD3 у стан логічної одиниці, як результат відкривається логічна схема DD5, і імпульси генератора DD4 починають надходити на лічильник DD6. Інтегрування напруги $U_{вх}$ проводиться за фіксований інтервал часу

$$T = t_2 - t_1 = M \Delta t_n = 2^n \Delta t_n \quad (7.4)$$

де $M = 2^n$ – коефіцієнт перерахунку лічильника.

Вихідна напруга інтегратора па інтервалі часу (t_1 ; t_2) змінюється за законом:

$$U_{in} = \frac{1}{RC} \int_{t_1}^{t_2} U_{вх}(t) dt. \quad (7.5)$$



Мал. 7.15. Принципова схема АЦПа двотактного інтегрування – а, часові діаграми – б

Кінець інтервалу T фіксується лічильником DD6, який у момент часу t_2 видає імпульс переповнення, що надходить на тригери DD1 та DD2. При цьому ключ K_1 вимикається, ключ K_2 вмикається, і розпочинається другий такт роботи перетворювача. На вхід інтегратора тепер поступає опорна напруга $U_{он}$, що має зворотну полярність по відношенню до $U_{вх}$. Починаючи з моменту часу t_2 лічильник знову заповнюється імпульсами з генератора DD4, а напруга на виході інтегратора (див. мал. 7.15, б) зменшується за законом:

$$U_{in} = U_{in}(t_2) - \frac{1}{RC} \int_{t_2}^{t_3} U_{он}(t) dt \quad (7.6)$$

і в момент часу t_3 U_{in} стає рівною нулю. Компаратор повертається у початковий стан і по інверсному виходу перекидає тригери DD3 та DD2 у нульовий стан. При цьому напруга $U_{он}$ вимикається від входу інтегратора, а сигнал з виходу DD3 забороняє подавання імпульсів генератора DD4 на лічильник. Як результат, лічильник фіксує числовий код

$$N = T_x / \Delta t_n \quad (7.7)$$

де $T_x = t_3 - t_2$,

Із врахуванням (7.5) та (7.6) одержимо:

$$U_{вх} T = U_{он} T_x$$

де $U_{вх}$ – середнє значення вхідного сигналу $U_{вх}(t)$ на інтервалі часу $(t_1; t_2)$. Підставивши у цей вираз (7.4) та (7.7), знайдемо:

$$N = \frac{T_x}{\Delta t_n} = \frac{U_{вх}(t)}{U_{он} \Delta t_n} = \frac{2^n}{U_{он}} U_{вх} \quad (7.8)$$

тобто вихідний код АЦП пропорційний вхідній напрузі (по середньому значенню).

Інтегрування вхідного сигналу у розглянутому АЦПі призводить до його усереднення та згладжування (послаблення) усіх швидких порівняно з часом інтегрування T завод, наводок та шумів.

Крім того, його використання дає змогу компенсувати ряд складових статичної похибки, яку викликає нестабільність порогу спрацювання компаратора та постійної часу інтегрування.

Швидкість АЦПа невелика, при заданому числі розрядів вона визначається частотою лічильних імпульсів $t_s = 1/\Delta t_n$. Вибір останньої обмежується часом вмикання компаратора.

Завдання для самоконтролю

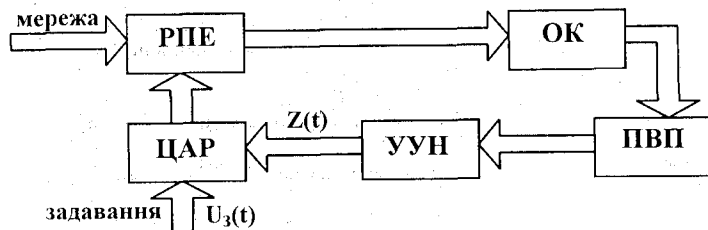
1. Визначити вихідну напругу ЦАП, якщо на його вхід надходить цифровий код 1011, а опорна напруга $U_{он} = 5B$.
2. Визначити рівні вихідної напруги матриці $R-2R$ (див. мал. 7.4) при вхідному коді 8 (1000_2) та 5 (0101_2), якщо $U = 5B$ (логічна одиниця), $U = 0$ (логічний нуль).
3. Визначити значення вихідного струму для 8-розрядного ЦАП з джерелом струму на активних елементах при вхідному коді 1111. Струми, що проходять через транзистори, дорівнюють $I = 10$ мА (див. мал. 7.7)
4. У скільки раз можна підвищити швидкість послідовного АЦПа з одиничним наближенням (див. мал. 7.13, а) та з проміжним перетворенням в інтервалі часу (див. мал. 7.14, а) при зменшенні числа розрядів з 12 до 8.
5. Визначити похибку квантування 12-розрядного АЦПа.
6. Визначити дисперсію похибки квантування, якщо крок квантування дорівнює 0,1 (умовна одиниця).
7. Чому АЦП паралельної дії мають порівняно невелике число розрядів?

Глава восьма

8. Аналіз та синтез систем керування з цифровими автоматами (регуляторами) [20, 21, 22, 23, 24]

Такі автомати призначені для перетворення електричної енергії промислової мережі в енергію керування електричними виконавчими устаткуваннями та механізмами, для нормування її за величиною та упорядкуванням у часі, відповідно до задавального режиму роботи. Виконавчими механізмами можуть бути електричні двигуни постійного та змінного струму, крокові двигуни, електричні нагрівальні елементи, освітлювальні прилади, електродугові та індукційні нагрівальні системи, зварювальні автомати, електронно-променеві устаткування та ін. На основі таких автоматів будуються також джерела електроживлення радіоелектронної апаратури та засобів обчислювальної техніки.

Система автоматичного керування (САК) такого типу у спрощеному варіанті наведена на мал. 8.1.



Мал.8.1. Спрощена структурна схема системи керування

На малюнку наведені наступні основні устаткування системи автоматичного керування: регулюючі та перетворювальні елементи (РПЕ), об'єкт керування (ОК), первинні виміри перетворювачі (ПВП), устаткування узгодження та нормування (УУН) та цифровий автомат-регулятор (ЦАР).

Такі системи керування здійснюють: випрямлення змінної напруги у постійну, її регулювання та стабілізацію, перетворення енергії джерела постійного струму у змінний з віддачею у мережу змінного струму (автономні інвертори), тобто здійснюється перетворення зворотне випрямлення, перетворення частоти мережі змінного струму в енергію струму з частотою, що відрізняється від частоти мережі живлення, перетворення змінної напруги, що надходить до навантаження, тобто змінюється потужність, якою живиться навантаження від мережі змінного струму.

Регулюючі та перетворювальні елементи (РПЕ), органи ЦАР, являють собою сполучення одного або декількох тиристорних чи транзисторних електронних ключів та узгоджувальних трансформаторів або без них. Енергетичні характеристики цих устаткувань визначають силові електронні ключі, на основі яких будується система керування. У закритому стані ключ не споживає енергії, а у відкритому внаслідок насичення, спад напруги на ключі мінімальний і складає долі вольта, потужність розсіювання на відкритому ключі також мінімальна. Особливе значення для побудови цифрових автоматів-регуляторів та перетворювачів мають ключі на тиристорах. Регулятори змінної напруги виконуються

випадково лише на тиристорних ключах змінної напруги. Тиристри не замінимі у схемах керування випрямлячів, перетворювачів частоти без випрямлення напруги, у потужних інверторах, оскільки мають високі енергетичні показники.

Силові транзисторні ключі застосовують у перетворювачах постійної напруги у змішу малой та середньої потужності (до десятків кіловат), імпульсних регуляторах та стабілізаторах постійної напруги, що визначається відносною простотою керування ними на постійному струмові.

Разом з тим, ключові режими роботи РПЕ слід враховувати при комутації високої напруги та великих струмів, при малому часові перемикання в електричній мережі та радіотелеканалах, де створюються потужні високочастотні комутаційні завади, які при відсутності відповідних засобів подавлення шкідливо впливають на роботу слабострумної апаратури, особливо цифрової.

У залежності від кількості фаз мережі живлення РПЕ діляться на одно- та трифазні. Трифазні можуть виконуватись за схемою "зірка", "трикутник" або "зірка-трикутник", причому за схемою "зірка" можуть бути з нульовим провідом або без нього.

У ЦАР змінної напруги з природним вмиканням тиристорів використовуються два методи формування керуючих сигналів: горизонтальний та вертикальний. У горизонтальному методі час появи запускаючих імпульсів визначається фазовим кутом зсуву змінної напруги, одержаної з напруги мережі живлення, відносно напруги цієї ж мережі. Найбільшого поширення горизонтальний метод керування знайшов у ЦАР різних побутових приладів: для регулювання швидкості обертання електродвигунів, яскравості освітлювальної апаратури та ін.

Вертикальний метод керування дає змогу змінювати кут вмикання РПЕ шляхом зміни задавальної напруги або струму, тому не чутливий до завад мережі живлення. У цьому методі керування, час вмикання РПЕ визначається як результат порівняння напруги опорного сигналу пилоподібної, синусоїдної або спеціальної форми із задавальним сигналом X_u . У той час, коли амплітуди цих сигналів стають рівними, проходить формування імпульсів запускання РПЕ. Якщо початок та кінець опорного сигналу синхронізовані з часом переходу через нуль напруги мережі живлення, а діапазон зміни X_u відповідає повному розмаху опорного сигналу, то кут вмикання РПЕ буде змінюватись у межах усієї напівхвилі напруги мережі живлення.

Один із варіантів формування сигналів для однофазних мереж керування РПЕ на підсумовуючому лічильнику наведений на мал. 8.2, а, часові діаграми, що пояснюють його роботу, на мал. 8.2, б.

У формувачі сигналів задавальний сигнал X_u подається в інвертованому коді. Встановлення у нуль лічильника здійснюється з кожним надходженням синхроімпульсу T_k , а по закінченню синхроімпульсу лічильник підраховує імпульси генератора опорної частоти Γ . Час запуску РПЕ визначає цифрова схема порівняння ЦСП, тобто коли виконується умова:

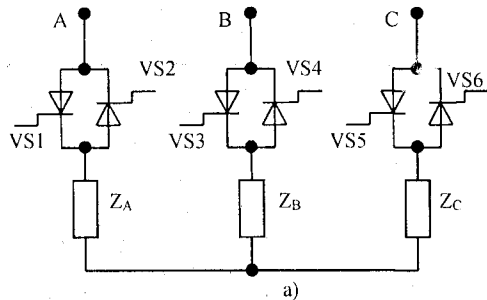
$$Z = \overline{X_r} \cdot X_r = X_r \vee \overline{X_r} = 1$$

Один із варіантів такої схеми керування показаний на мал. 8.4.

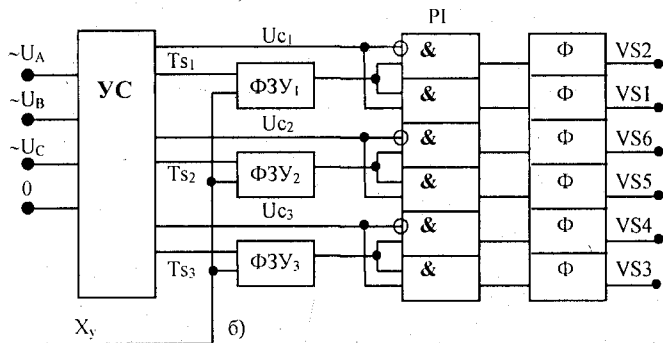
У цій схемі сигнал зворотного зв'язку $x_{3.3}(\omega t)$ формується вимірним перетворювачем, куди надходить вимірний параметр $i_k(\omega t)$, або $u_k(\omega t)$ та фільтром ФД, після чого він перетворюється у цифрову форму АЦП (вихідний сигнал $X_{3.3}$). Цифрове коректуюче устаткування ЦКУ визначає величину відхилення (розузгодження) та формує керуючий код X_k у відповідності до законів регулювання. Синхронізація роботи устаткувань здійснюється напругою мережі U_m , з якої формується імпульс синхронізації T_s устаткуванням УС. Вихідний сигнал формувача сигналу керування ФСК, остаточно формується формувачем Ф та надходить на РПЕ.

Схеми керування трифазних ЦАР

Такі схеми керування можуть виконуватись у одно-, дво- та шестиканальному варіантах. Застосування того чи іншого варіанту системи керування залежить від схеми трифазного виконавчого органу та необхідного діапазону регулювання вихідної величини. Схема керування трифазного ЦАР із нульовим проводом належить до триканального варіанту керування і складається фактично з трьох систем керування однофазних ЦАР. Схема керування трифазного ЦАР з виконавчим органом без нульового проводу (мал. 8.5, а) також виконується за триканальним варіантом, але для правильної роботи виконавчого органу



Мал. 8.5. Схема трифазних РПЕ без нульового проводу – а, схема керування – б



необхідно передбачити розподільник імпульсу керування. На мал. 8.5, б наведена схема такої системи керування.

У цій схемі формувач сигналів синхронізації УС формує імпульси $T_{S1} \dots T_{S3}$ у проміжку переходу кожної фази через нуль та імпульсні сигнали $U_{C1} \dots U_{C3}$, що характеризують полярність напруги кожної фази. Потрібний порядок роботи тиристорів виконавчих органів

забезпечується розподільником імпульсів керування РІ, який здійснює передавання сигналів з виходів фазозсувних устаткувань ФЗУ на відповідні формувачі сигналів РПЕ.

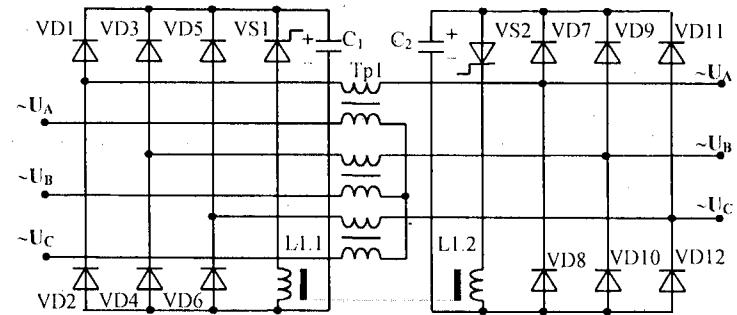
ЦАР з повністю керованими РПЕ

Такі РПЕ дають змогу покращити енергетичні показники використання мережі та одержати на навантаженні будь-яку форму напруги. Такі можливості забезпечуються за рахунок вмикання та вимикання за командами з ЦАР, що дає змогу лише зміною алгоритму роботи системи керування одержувати різні варіанти РПЕ.

Повністю керовані РПЕ змінного струму можуть бути реалізовані на основі силових транзисторів, повністю керованих тиристорів та звичайних силових тиристорів з ланцюгами примусового вимикання.

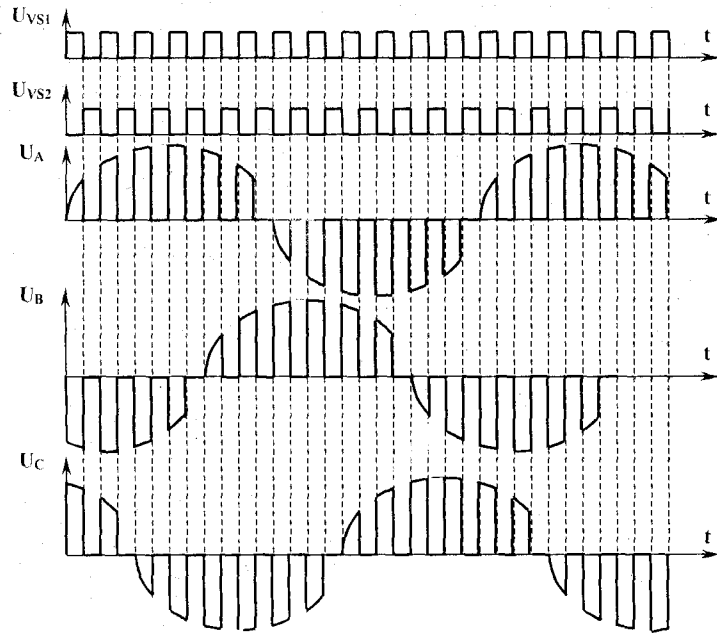
Основними особливостями повністю керованих РПЕ являється наявність у його структурі додаткових ключів для шунтування навантаження. Вони необхідні для того, щоб забезпечити вільне перетікання енергії у навантаженні після вимикання основних силових ключів.

Розглянемо роботу схеми одного із можливих варіантів трифазних повністю керованих РПЕ (мал. 8.6).



Мал. 8.6. Принципова схема трифазних РПЕ

Схема містить два діодних мости, що навантаженні тиристорами VS1, VS2 та відповідними комутуючими вузлами. З подаванням напруги від трифазної мережі у схемі комутуючі конденсатори C_1 та C_2 заряджаються від вторинних обмоток трифазного трансформатора T_{p1} через діодні мости полярністю, що відзня чена на малюнку. З відкриттям тиристора VS1 до навантаження прикладається напруга вторинної обмотки трансформатора T_{p1} . Конденсатор C_1 перезаряджається через відкритий тиристор та обмотку дроселя L_1 , одержуючи протилежну полярність. Для закриття тиристора VS1 необхідно відкрити тиристор VS2. Конденсатор C_2 з відкриттям тиристора VS2 перезаряджається через другу обмотку дроселя L_1 . На першій обмотці дроселя L_1 наводиться е.р.с., під дією якої тиристор VS1 закривається. З відкриттям тиристора VS2 навантаження закорочується через діодний місток VD7...VD12 і, тим самим, здійснюється перетікання енергії, що накопичилась на навантаженні. Для закриття тиристора VS2 необхідно відкрити тиристор VS1, процеси при цьому повторюються. На мал. 8.7 наведені часові діаграми роботи РПЕ. Недоліком схеми є наявність зайвого перезаряду для кожного із комутуючих конденсаторів, що погіршує енергетичні та регульовані характеристики ЦАР.



Мал. 8.7. Часові діаграми роботи РРЕ

Для керування такими РРЕ використовується вертикальний метод, який може бути реалізований схемою мал. 8.2, а, лише з цієї різниці, що у якості задавального коду використовується пряме значення X_y .

§ 8.1. Цифрові автомати-регулятори з низькочастотним імпульсним керуванням [20, 21, 22, 23, 24]

Основною властивістю таких ЦАР є повна відсутність високочастотних складових спотворень та завад і, як наслідок, мінімальний вплив їх роботи на слабострумову інформаційну апаратуру. Низькочастотний імпульсний спосіб керування реалізується зміною числа мінімальних за тривалістю та величиною імпульсів потужності на протязі задавального періоду регулювання T_p , або зміною частоти цих імпульсів.

Мінімально можлива тривалість цих імпульсів визначається тривалістю напівперіода мережі $T_n/2$, але в окремих випадках може містити декілька напівперіодів.

Розглянемо роботу ЦАР позиційного типу на генераторах вагових послідовностей, в основу роботи яких покладений принцип розкладання сигналу керування X_y на ряд складових. Кожна складова здійснює керування подачею енергії на навантаження з мінімальними значеннями критеріїв $\epsilon(t)$ під час регулювання (див. фор. 8.1.).

Сигнал керування X_y , що представлений у двійковому коді розрядом n , для позиційних ЦАР з основою 2^n записується фор. 7.1. Згідно з цим рівнянням, сигнал керування X_y містить ряд складових, які відрізняються одна від одної на ваговий коефіцієнт 2^l .

ЦАР, побудовані за цим принципом, складаються із генератора вагових частот (ГВЧ), що побудований на основі послідовно з'єднаних подільників частоти на два, кожний розряд яких з'єднаний з відповідною схемою співпадання, на вхід якої надходить необхідний розряд сигналу X_y . На вхід ГВЧ надходять імпульси такту T_s , а виходи всіх схем співпадання з'єднані схемою ЛБО, вихід якої являється виходом ЦАР.

Математично робота таких ЦАР описується матрицею вигляду:

$$Z = [T] \cdot [M]_2 \cdot [X_y], \quad (8.2),$$

де $[T]$ – матриця-рядок, визначається двійковим кодом числа тактових імпульсів T_s , що надходять на вхід ГВЧ з початку інтервалу T_p :

$$[T] = [t_{n-1}, t_{n-2}, \dots, t_0];$$

$[M]_2$ та $[X_y]$ – матриця двійкових вагових коефіцієнтів та вектор-стовпчик коду X_y , які відповідно рівні:

$$[M]_2 = \begin{bmatrix} 1 & 0 & 0 & \dots & 0 & 0 \\ 2^0 & 0 & 0 & \dots & 0 & 0 \\ 2^1 & 2^2 & 0 & \dots & 0 & 0 \\ \dots & \dots & \dots & \dots & \dots & \dots \\ 2^{n-2} & 2^{n-3} & 2^{n-4} & \dots & 2^0 & 1 \end{bmatrix}; \quad [X_y] = \begin{bmatrix} x_0 \\ x_1 \\ x_2 \\ \dots \\ x_n \end{bmatrix}.$$

Число вихідних імпульсів Z позиційного ЦАР визначається як сума всіх значень матриці $[M]_2$, одержаних на перетині одиничних значень t_l та x_l .

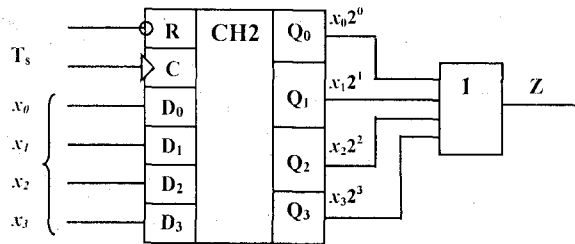
Наприклад, для восьмирозрядного ЦАР ($n=8$) з членами вектора-стовпчика $X_y=106$ та числом імпульсів на вході ЦАР $T=205$, число імпульсів на виході дорівнює:

$$Z = [0 \ 1 \ 0 \ 1 \ 0 \ 1 \ 0 \ 1] \begin{bmatrix} 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 2^0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 \\ 2^1 & 2^0 & 1 & 0 & 0 & 0 & 0 & 0 \\ 2^2 & 2^1 & 2^0 & 1 & 0 & 0 & 0 & 0 \\ 2^3 & 2^2 & 2^1 & 2^0 & 1 & 0 & 0 & 0 \\ 2^4 & 2^3 & 2^2 & 2^1 & 2^0 & 1 & 0 & 0 \\ 2^5 & 2^4 & 2^3 & 2^2 & 2^1 & 2^0 & 1 & 0 \\ 2^6 & 2^5 & 2^4 & 2^3 & 2^2 & 2^1 & 2^0 & 1 \end{bmatrix} \begin{bmatrix} 1 \\ 0 \\ 1 \\ 0 \\ 0 \\ 1 \\ 1 \\ 1 \end{bmatrix}$$

Використовуючи властивості подібних матриць, визначимо суму елементів рядків починаючи зверху, що знаходяться на перетині зі стовпчиками (ці рядки та стовпчики, які множаться на нуль, позначимо знаком *), у результаті одержимо:

$$Z = [0 \ 1 \ 0 \ 1 \ 0 \ 1 \ 0 \ 1] \begin{bmatrix} * & 0 & * & 0 & * & 0 & * & 0 \\ * & * & * & * & * & * & * & * \\ * & 2^0 & * & 0 & * & 0 & * & 0 \\ * & 2^1 & * & 1 & * & 0 & * & 0 \\ * & * & * & * & * & * & * & * \\ * & * & * & * & * & * & * & * \\ * & 2^4 & * & 2^2 & * & 2^0 & * & 0 \\ * & 2^5 & * & 2^3 & * & 2^1 & * & 1 \end{bmatrix} \begin{bmatrix} 1 \\ 0 \\ 1 \\ 0 \\ 0 \\ 1 \\ 1 \\ 1 \end{bmatrix} = (0+1+3+21+43) = 68.$$

Із наведеної методики розв'язку матриці (8.2) видно, що ЦАР позиційного типу, побудований на генераторах вагових послідовностей, являє собою керований подільник частоти і для сигналу керування представлений у двійковому коді має принципову схему, наведену на мал. 8.8. ЦАР виконаний на основі лічильника, що керується імпульсами T_s , коди сигналу X_n надходять на входи D. Вхід R призначений для встановлення ЦАР у стан низького рівня.



Мал. 8.8. Принципова схема ЦАР

У тих випадках, коли сигнал керування X_n представляється у двійково-десятковому коді, використовуються позиційні ЦАР з основою 10^n , і схеми будують на основі двійково-десяткових лічильників.

Таблиця істинності таких ЦАР, що показує скільки імпульсів формується на його виході на відповідному такті T_s , може бути складена за допомогою матриці, подібної до фор. (8.2), тобто

$$Z = [T]_{10} [M]_{10} [X_n]_{10},$$

де

$$[M]_{10} = \begin{bmatrix} 1 & 0 & 0 & 0 & 0 & 0 \\ 2 & 1 & 0 & 0 & -1 & 0 \\ 3 & 1 & 1 & 0 & -1 & -1 \\ 4 & 2 & 1 & 0 & -2 & -1 \\ 4 & 2 & 1 & 1 & -2 & -1 \\ 5 & 2 & 1 & 1 & -2 & -1 \\ 6 & 3 & 1 & 1 & -3 & -1 \\ 7 & 3 & 2 & 1 & -3 & -2 \\ 8 & 4 & 2 & 1 & -4 & -2 \\ 8 \cdot 1 & 4 \cdot 1 & 2 \cdot 1 & 1 \cdot 1 & -4 \cdot 1 & -2 \cdot 1 \\ 8 \cdot 2 & 4 \cdot 2 & 2 \cdot 2 & 1 \cdot 2 & -4 \cdot 2 & -2 \cdot 2 \\ \dots & \dots & \dots & \dots & \dots & \dots \\ 8 \cdot n & 4 \cdot n & 2 \cdot n & 1 \cdot n & -4 \cdot n & -2 \cdot n \end{bmatrix} \quad X_n = \begin{bmatrix} x_0 \\ x_1 \\ x_2 \\ x_3 \\ \dots \\ x_n \\ \dots \\ x_{10-1} \\ x_{10-2} \\ \dots \\ x_{10-n} \end{bmatrix}$$

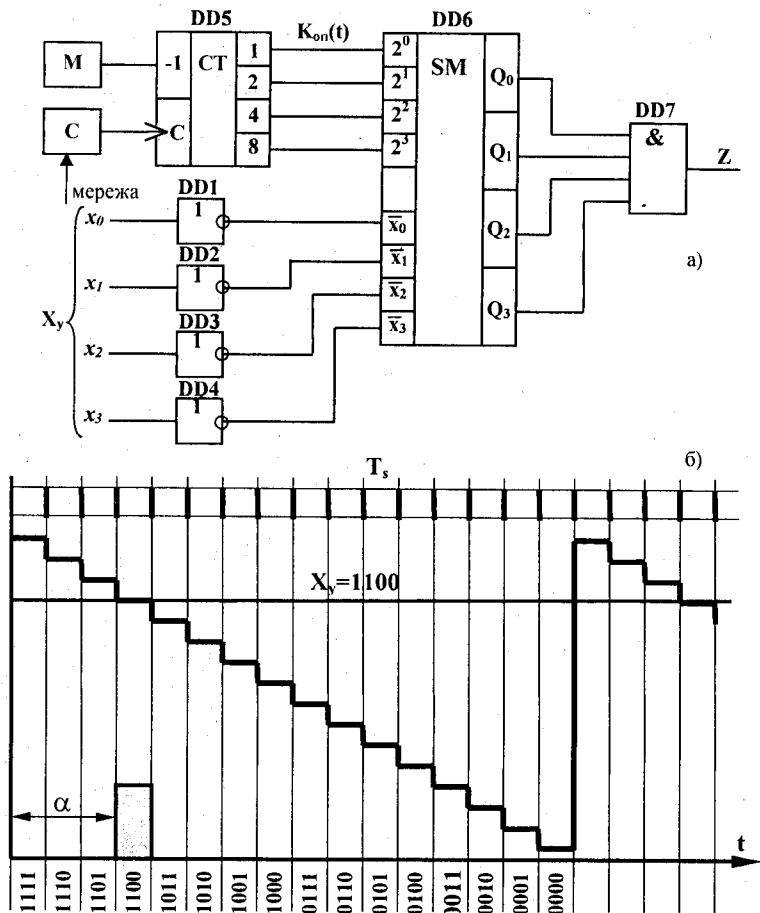
Вектор-стовбчик сигналу керування $[X_n]_{10}$ набуває значення високого рівня на відповідних номерах десяткових кодів, наприклад, при $X_n=27$ одиниці рівні x_7 та x_{10-2} . Число вихідних імпульсів Z_{10} визначається додаванням усіх значень матриці $[M]_{10}$, одержаних на перетині одиничних значень t_i та x_i .

Як уже говорилося, найбільш удосконаленими ЦАР є схеми, побудовані на основі вертикального принципу, де проходить оброблення сигналів, що задаються не у вигляді напруги чи струму, а у вигляді кодів.

На мал. 8.9, а наведена схема ЦАР при $n=4$. Керуючий код при цьому приймає 16 значень від 0000 до 1111 і подається порозрядно на цифрову схему порівняння ЦСП у вигляді паралельного коду X_n . Опорний сигнал також надходить у вигляді коду. У ЦАР використовується лінійна форма опорного сигналу. Йй відповідає зміна опорного коду $K_{оп}(t)$ від значення 1111 до значення 0000. Опорний код приймає також 2^n значень. Лінійно поданий опорний код $K_{оп}$ та код керування X_n наведені на мал. 8.9, б у вигляді вагового еквівалента коду (тобто числа, записаного двійковим кодом) та, власне, двійкового коду, позначеного внизу діаграми. Опорний код формується віднімаючим лічильником DD5, до входу "J" якого вмикається мультивібратор M (мал. 8.9, а). Прямокутні імпульси, що формують мультивібратор, викликають зменшення коду лічильника на одиницю (мал. 8.9, б). Зміна опорного коду від максимального до мінімального значення проходить за половину періоду частоти мережі f_M , тому частоту імпульсів мультивібратора необхідно вибрати так, щоб за половину періоду проходило 2^n імпульсів, тобто

$$f_{MB} = 2 \cdot 2^n / T_M = 2^{n+1} / T_M \quad (8.3)$$

Начаток формування опорного коду відповідає моменту природної комутації тиристорів силової частини перетворювача. Цей момент фіксується вузлом синхронізації C, на вхід якого надходить напруга мережі. Із зміною знака напруги живлення вузол синхронізації C видає на вхід встановлення лічильника DD5 одиничний сигнал, і в лічильник миттєво записується максимальний опорний код (1111). Момент рівності опорного та керуючого коду відповідає куту керування α (мал. 8.9, б), що фіксується DD7 у вигляді високого рівня на виході Z. Цей сигнал надходить на формувач системи керування і після підсилення подається на керуючий електрод тиристора.



Мал. 8.9. Принципова схема ЦАР – а, часові діаграми роботи – б

Розглянемо роботу системи одноканального ЦАР, що використовується для керування мостового трифазного випрямляча (мал. 8.10, а). В автоматі використаний принцип, який застосований у попередній схемі (див. мал. 8.9). Опорний сигнал формується у вигляді коду лічильника CT_1 , вхід “-1” якого з’єднаний із виходом мультивібратора М.

Максимальне число, що записується у лічильник CT_1 $K_n = 6 \cdot 2^n$. За період напруги живлення мережі мультивібратор генерує також $6 \cdot 2^n$ імпульсів, тобто частота мультивібратора вибирається рівною $f_{MB} = 6 \cdot 2^n / T_M$ (див. фор. 8.3). Таким чином, лічильник CT_1 містить $(2+n)$ розрядів. До виходу старшого розряду лічильника CT_1 вмикається Т-тригер.

Виходи n молодших розрядів зв’язані з першою цифрою порівняння ЦСП₁, на інші входи якої подаються молодші розряди керуючого коду X_y . Наступні два розряди лічильника пов’язані з другою ЦСП₂, на інші входи якої подаються старші розряди керуючого

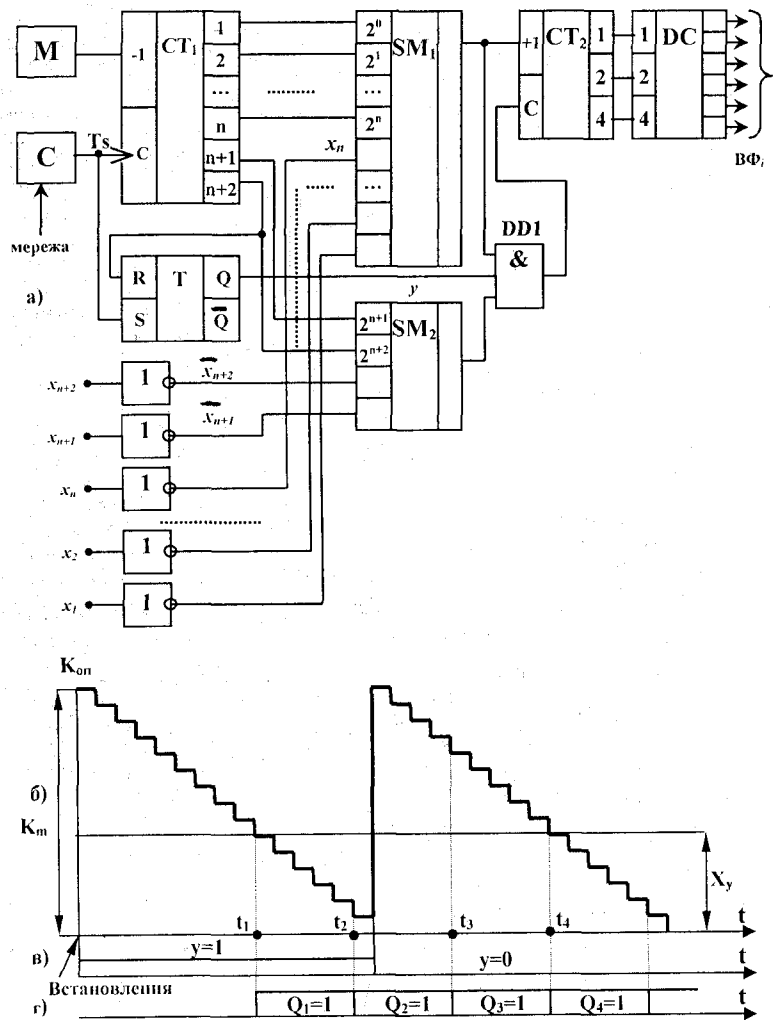
коду X_y . Керуючий код приймає, таким чином, $3 \cdot 2^n$ значень. Вихід ЦСП₁ вмикається до входу “+1” розподільника на шість каналів, який складається із лічильника CT_2 та дешифратора ДС.

Схема працює наступним чином. Під час комутації першого тиристора (наприклад, мал. 8.5, а) спрацьовує вузол синхронізації С, при цьому на вхід встановлення лічильника CT_1 подається імпульс T_s , при якому записується максимальне число $K_{on \max}$ у лічильник. Вузол синхронізації встановлює тригер у стан $Q=1$. Після чого кожний імпульс мультивібратора зменшує код K_{on} , який записаний у лічильник CT_1 , на одиницю (мал. 8.10, б). Через половину періода мережі код понижується до нульового значення. У другу половину періода опорний код повторює ті ж значення (від $K_{on \max}$ до 0), але змінює стан Т-тригера з одиниці на нуль (див. мал. 8.10, в).

Опорний код K_{on} та код керування X_y порозрядно подається на ЦСП₁ та ЦСП₂. У час інтервалу t_1 спрацьовують обидві схеми ЦСП, оскільки настає рівність K_{on} та X_y . При цьому $Q=1$, і одиничні сигнали з виходів ЦСП₁ та ЦСП₂ надходять на вхід елемента 1 DD1, що викликає появу на його виході логічної одиниці, яка надходить на вхід встановлення лічильника CT_2 , що входить у схему розподільника. Розподільник при цьому встановлюється у положення, при якому на його першому виході з’являється одиничний імпульс, за рахунок чого вихідний формувач ВФ₁ видає керуючий імпульс на перший тиристор випрямляча (див. мал. 8.10, г).

Тоді опорний код буде продовжуватись зменшуватись. За $1/6$ періода мережі мультивібратор видає 2^n імпульсів, у результаті з часом t_2 у молодших розрядах лічильника CT_1 знову буде записано ці ж значення, що і у момент t_1 . Це значення співпадає із значенням молодших розрядів коду керування, що фіксується ЦСП₁. Зі спрацюванням ЦСП₁ надходить позитивний імпульс на вхід “+1” розподільника і він перемикається у стан, при якому імпульс керування ВФ₂ надходить для вмикання другого тиристора випрямляча. З постійним значенням X_y послідовне перемикання розподільника із спрацюванням ЦСП₁ пройде ще через $1/6$ періода мережі. Таким чином, будуть сформовані послідовно імпульси керування на всі шість тиристорів силової схеми випрямляча.

Для схеми властива максимальна швидкодія. Так, при зменшенні коду керування X_y збільшиться значення його молодшого розряду, і ЦСП₁ зафіксує рівність раніше, тобто кут керування α чергового тиристора зменшиться. Оскільки опорний код синхронізується лише від однієї фази мережі, то схема мал. 8.10, а має переваги при роботі від несиметричної мережі. Апаратні затрати на створення одноканальних систем керування практично не змінюються із збільшенням числа фаз перетворювача, що робить їх використання особливо вигідними для керування багатоканальними перетворювачами.



Мал. 8.10. Принципова схема ЦАР вертикального типу – а, часові діаграми – б, в, г

§ 8.2. Структурне моделювання систем керування на мікро-ЕОМ [20, 21, 22, 23, 24]

З описаних ЦАР видно, що вони складаються із устаткування цифрового регулювання, які виробляють керуючі впливи внаслідок перетворення похибки керування за елементарними законами: пропорційно-інтегральному, аперіодичному, пропорційно-диференціальному, інтегральному, форсуєчному та інших, а також складні системи цифрового оброблення із розв'язком задач ідентифікації, оптимізації, статичного оброблення інформації і т.д.

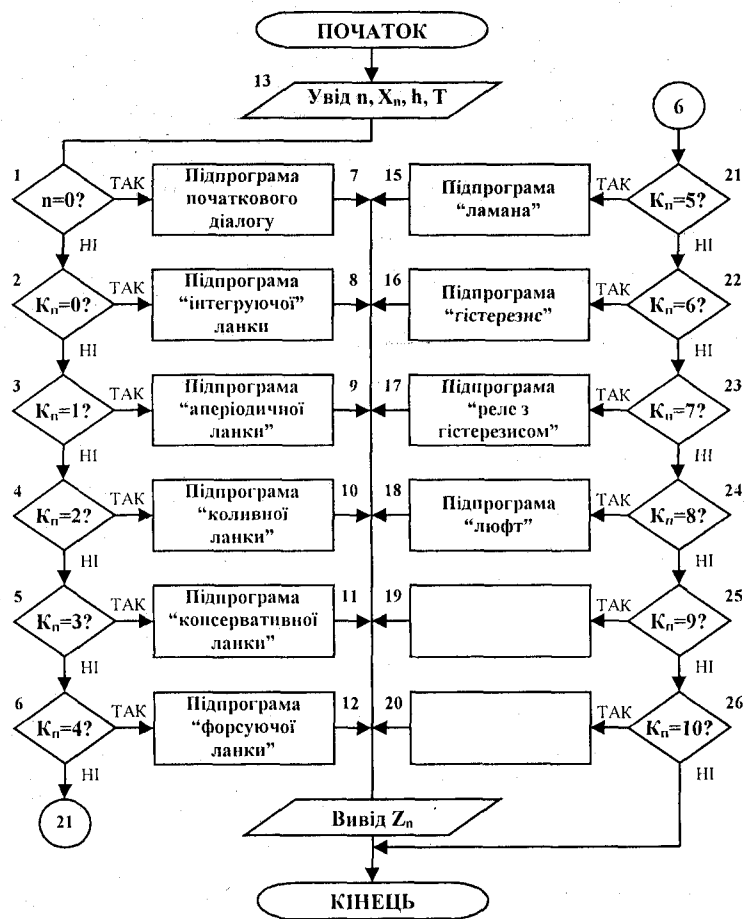
Для підвищення якості та інтенсифікації проектування СК, скорочення термінів та собівартості, слід використовувати засоби обчислювальної техніки, розробляти нові орієнтовані на ЕОМ методи та алгоритми проектування сучасних САК.

Серед методів моделювання САК використовують математичні моделі у вигляді моделей станів та структурні моделі. Перші моделі вимагають значних об'ємів пам'яті та високої швидкодії обчислювальних машин, що не дозволяє їх реалізувати на мікро-ЕОМ. Найбільш доцільними є структурно-топологічні методи, які дають змогу макимально використовувати інформацію про структуру дослідної системи, де кожній типовій ланці відповідає певна модель.

В основу алгоритму структурного моделювання типових ланок САК покладений принцип використання єдиної моделі універсальної динамічної ланки. Задаючи конкретні значення параметрів моделей універсальної динамічної ланки, можна одержати різні типові ланки. Оскільки при цьому змінюються лише вихідні дані, то досягається висока універсальність методу. При цьому лише задані структури дослідної системи являються нестандартними. Кожна ланка містить вхідний X_i та вихідний Z_i сигнали, де $i=1, 2, \dots, N$; N – кількість типових ланок у системі.

У склад моделей універсальної динамічної ланки повинні входити моделі типових лінійних та нелінійних динамічних ланок. Конкретний набір моделей визначається у залежності від типу задач, які розв'язуються. При моделюванні динаміки САК необхідно враховувати різного роду нелінійності.

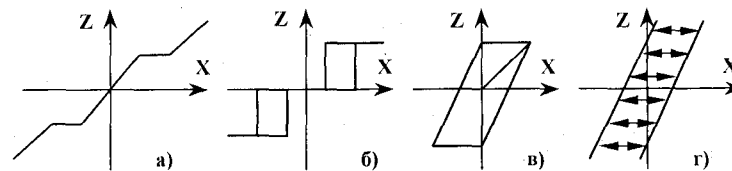
На мал. 8.11 наведена схема підпрограми моделювання універсальної динамічної ланки.



Мал. 8.11. Підпрограма моделювання універсальної динамічної ланки

Вхідними параметрами підпрограми являються: n – номер елемента у системі; X_n – вхідна величина n -го елемента; h – крок інтегрування; T – поточний час; Z_n – вихідна величина n -го елемента.

Підпрограми містять у собі підпрограми нижчого рівня: підпрограми початкового діалогу та підпрограми моделювання типових динамічних ланок. Характеристики нелінійностей підпрограм “ламана”, “гістерезис”, “реле з гістерезисом” та “люфт” наведені відповідно на мал. 8.12, а, б, в та г.



Мал. 8.12. Характеристики нелінійностей підпрограм: “ламана” – а, “гістерезис” – б, “реле з гістерезисом” – в, “люфт” – г

Підпрограма початкового діалогу (коли $n=0$) здійснює ввід кількості модельованих динамічних ланок у системі, їх типів та параметрів у режимі діалогу з користувачем. Уведений тип елемента та його параметри надходять на термінал для контролю за правильністю вводу. У цій підпрограмі тип елемента зв'язується з номером у системі і виконується обнулення початкових умов. Уведені цією підпрограмою дані створюють робочі масиви, з якими оперують інші підпрограми моделювання типових динамічних ланок.

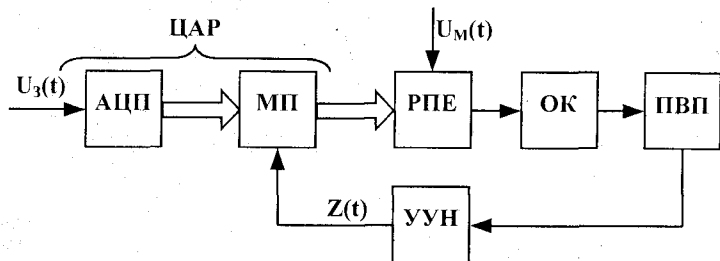
Із зверненням до програми моделювання універсальної динамічної ланки із вхідним параметром $n \neq 0$ вибирається конкретна підпрограма моделювання типової динамічної ланки, в якій K_n – ідентифікатор типу n -го елемента задається підпрограмою початкового діалогу. Якщо ідентифікатор K_n не належить до числа допустимих значень, то виводиться відповідне повідомлення і виконання підпрограми моделювання припиняється.

При реалізації алгоритму моделювання універсальної динамічної ланки необхідно враховувати особливості алгоритмічної мови, орієнтованої для використання на конкретній мікро-ЕОМ.

Сучасна елементарна база цифрової техніки відкриває широкі можливості побудови ЦАР з програмною реалізацією операцій у реальному часі на основі мікропроцесора (МП). Мікропроцесор – автономний функціонально закінчений пристрій, який складається з однієї або декількох програмно-керованих великих інтегральних схем (ВІС), що містять всі необхідні засоби, для оброблення інформації та керування даними, і розрахований на сумісну роботу з устаткуваннями пам'яті та вводу-виводу інформації. При цьому структура МП повинна бути гнучкою, забезпечувати необхідну швидкість та мати низьку собівартість. Завдання програмної реалізації ЦАР, у першу чергу передбачає вибір мікропроцесорного набору (МН). Для оцінки можливих варіантів програмної реалізації ЦАР для різних МН складають програми, які реалізують алгоритми оброблення інформації, і розраховують час виконання алгоритму.

У режимі роботи у реальному часі (без накопичення вхідних відліків) період слідування вихідних відліків дорівнює періоду дискретизації вхідного сигналу. Так як МП послідовно виконує операції приймання, оброблення та видавання інформації, період дискретизації вхідного сигналу повинен задовольняти умову $T_d < (T_{пр} + T_{об} + T_a)$, де $T_{пр}$ – час приймання, $T_{об}$ – оброблення та T_a – видавання інформації. Якщо жоден із типів МН не забезпечує необхідного періоду слідування вихідних відліків, ЦАР виконують на базі мікропроцесорних систем, у яких процесори вмикаються послідовно, паралельно або комбіновано.

Типова структура одноконтурної системи керування з МП наведена на мал. 8.13.



Мал. 8.13. Структурна схема одноконтурної системи керування

ЦАР у системі складається з АЦП та МП, інші устаткування системи аналогічні як у системі керування, наведеній на мал. 8.1. Слід мати на увазі, що система мал. 8.13 має два додаткових обмеження, пов'язаних із застосуванням МП: скінчена швидкість виконання арифметичних операцій у МП за рахунок часових затримок сигналу у контурі керування, квантування сигналу по рівнях вносить похибки у перетворення. Додаткові обмеження також пов'язані із застосуванням АЦП. Ці обмеження слід враховувати з дослідженням якості роботи та стійкості системи. На МП можна не лише реалізувати підпрограми, наведені на мал. 8.11, але й реалізувати структуру ЦАР з рівномірним та нерівномірним, постійним та змінним кроком квантування, з постійними та залежними від швидкості входніх впливів, на МП можна покласти додаткові функції, наприклад, елемента порівняння, перемикача режимів роботи та ін.

З'ясуємо побудову цифрового регулятора на МП середньої швидкодії серії K580.

Устаткуванням спряження МП з аналоговою частиною системи керування є АЦП, який розв'язує завдання пошуку однозначної відповідності аналогового сигналу цифровому коду. Крім того забезпечує сумісність логічних рівнів цифрових сигналів і шини даних МП та забезпечує співпадання видів цифрових кодів з форматами даних, програмну сумісність.

Для спряження МП серії 580 з безперервною частиною системи керування можна з успіхом застосувати перетворювач серії K572. Наявність у цій серії 12-розрядних АЦП дає змогу при необхідності нарощувати розрядність входніх та вихідних даних з мінімальними доробками устаткування спряження.

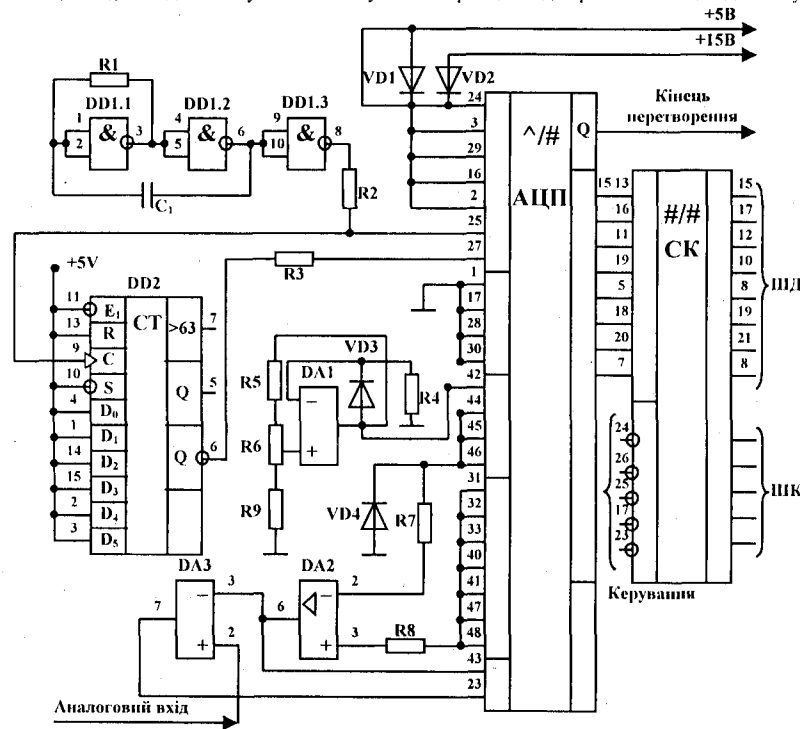
Принципова схема устаткування спряження (УС) МП серії 580 з безперервною частиною системи керування наведена на мал. 8.14. Це устаткування забезпечує обмін даними між МП та входніми перетворювачами без розриву програми. Устаткування має наступні характеристики: діапазон входніх аналогових сигналів 0-4 В; час перетворення (приймання) інформації в АЦП $T_{np}=120$ мкс; крок квантування АЦП $\Delta=10^{-3}$ В.

Основними вузлами устаткування являється 12-розрядний АЦП, реалізований на базі мікросхеми K572ПА1. Окрім мікросхеми АЦП, устаткування містить генератор тактових імпульсів (мікросхема DD1 типу K155JA3), який формує послідовність імпульсів з максимальною частотою 250 кГц та щільністю 50% для забезпечення роботи цифрової частини мікросхеми K572ПВ1, генератор імпульсів синхронізації (мікросхема DD2 типу K155IE8), який є подільником частоти на 32, забезпечує синхронізацію АЦП, прецизійний компаратор (мікросхема DA3 типу K521CA3) для формування логічного сигналу (амплітудою не менше 10 В), яким зупиняється процес перетворення в АЦП. В устаткування також входить джерело живлення (на мікросхемі DA1 типу K140UD7), яке забезпечує необхідний

рівень опорної напруги для АЦП, суматор (мікросхема DA2 типу 544UD2) для додавання вихідних струмів внутрішнього ЦАП МП у ланцюзі зворотного зв'язку.

Вихідний код АЦП надходить на вхід системного контролера СК (мікросхема KP580BK28), призначеного для фіксації слова стану МП, формування сигналу керування пам'яттю та зовнішніми устаткуваннями (шина керування ШК) та буферизації шини даних (ШД).

Мікропроцесорний автомат-регулятор частоти обертання двигуна змінного струму наведений на мал. 8.15. ЦАР складається із МП, постійних запам'ятовувальних устаткувань ПЗУ команд та констант, генератора тактових сигналів Г та устаткування керування адресою команд (КАК), що здійснює умовні та безумовні переходи від чергової команди до наступної.



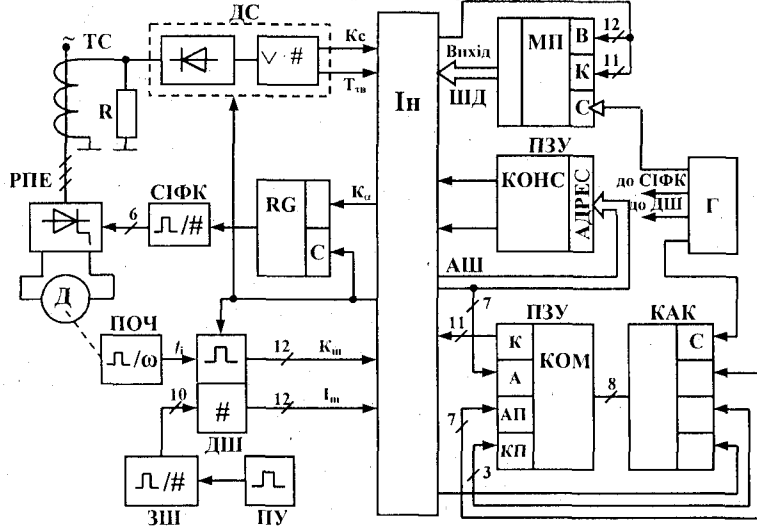
Мал. 8.14. Принципова схема устаткування спряження МП з АЦП

Зв'язок між вузлами регулятора, давальниками та приймачами інформації здійснюється через шину даних (ШД), адресну шину (АШ) даних та шину керування. Обмін інформацією здійснюється через інтерфейс (Іп).

Двигун Д та перетворювальні елементи РПЕ складають об'єкт регулювання. Перетворювач укомплектований цифровою системою керування, що перетворює двійковий код K_d у послідовність керуючих імпульсів з кутом керування α . Первинними давальниками сигналів зворотного зв'язку є трансформатори струмів ТС та давальник-перетворювач оберти-частота (ПОЧ). Давальники струму та швидкості ДС та ДШ формують двійкові коди

цифрових сигналів зворотного зв'язку K_c , T_t , $K_{ш}$, $I_{ш}$, пропорційні відповідно амплітудному значенню струму якоря I із врахуванням завад, безструмовій паузі у режимі переривання струму t_b (тривалість впадіння), відхиленню $\Delta\omega$ частоти обертання двигуна від задавального значення та інтегралу від цього відхилення. Цифровий задавальник швидкості ЗШ формує двійковий код K_3 миттєвого значення задавальної швидкості для одержання швидкісної діаграми. Приймачем вихідної інформації є кільцевий регістр RG, у який надходить двійковий код K_a кута регулювання РПЕ.

Кільцевий регістр застосований для забезпечення руху двигуна "вперед" або "назад". Вихід RG надходить у схему імпульсно-фазового керування (СІФК), яка зв'язана з РПЕ.



Мал. 8.15. Функціональна схема МП-системи

Послідовність операцій, що виконуються МП, та черговість вмикання зовнішніх джерел, приймачів інформації до шини даних визначається програмою, яка зберігається у комірці ПЗУ команд у вигляді масиву слів керування (команд). Величина слова керування – 28 біт, максимальна кількість різних команд – 256. Команди складаються із чотирьох підпрограм: К (11 біт) – підпрограма операцій МП; підпрограма А (7 біт) – адреса джерела або приймача даних; АП (7 біт) – семи старших розрядів адрес наступних команд; КП (3 біти) – коду переходу (безумовного та умовного), що визначає молодший розряд адреси наступної команди.

Кожна команда реалізується за один такт роботи МП, тобто по суті немає різниці між командою та мікрокомандою. Три біта підпрограми КП визначає вісім можливих варіантів переходів до наступної команди. Два варіанти відповідають безумовним переходам, коли код КП однозначно визначає молодший розряд адреси наступної команди. Шість інших варіантів використовуються для вибору ознаки умовного переходу. Молодший розряд адреси наступної команди залежить від рівності нулю або одиниці вибраної ознаки, тобто результату виконання наступної команди. Ознакою умовного переходу може бути старший (знаковий) або молодший розряд операнду на виході МП, рівність нулю всіх розрядів вихідного

операнду, нерівнозначність двох старших розрядів, яка свідчить про переповнення розрядної мережі та інші.

Підпрограма А визначає джерело або приймач зовнішньої інформації, що вмикається до шини даних при виконанні поточної операції. Джерелами інформації являються давальники струму та швидкості. До числа джерел інформації належать також комірки ПЗУ констант, в яких зберігаються коефіцієнти підсилення регулятора, межі обмеження струму та кута регулювання та інші константи.

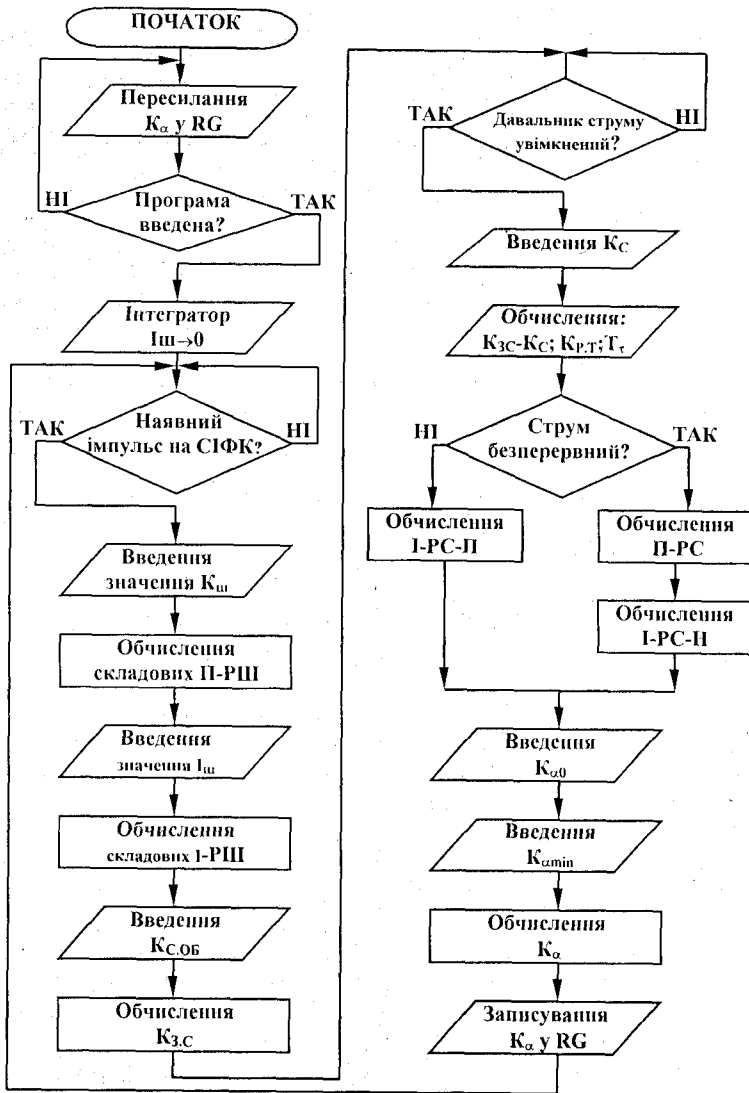
Реалізація алгоритму програми (див. мал. 8.16) розпочинається з передаванням вмістимого у ПЗУ констант значення K_{max} , яке відповідає граничному куту керування РПЕ. Поява зовнішнього сигналу готує до початку роботи ЦАР. Розпочинається цикл з появою чергового керуючого імпульсу СІФК і закінчується обчисленням та передаванням у регістр RG коду K_a , що визначає код регулювання для наступного керуючого імпульсу. Під час виконання програми у МП вводяться дані від давальника швидкості $K_{ш}$ та $I_{ш}$, що пропорційні відхиленню частоти обертання від задавальної та інтегралу цього відхилення. МП обчислює II- та I-складові вихідного сигналу регулятора швидкості та підсумовує їх (див. мал. 8.15). Пізніше вводиться константа $K_{с, \text{доп}}$, що визначає допустиме значення модуля задання струму, і МП проводить обчислення числа $K_{с, \text{з}}$, яке пропорційне задавальному струму.

У розглянутій схемі зворотний зв'язок здійснюється за амплітудним значенням струму навантаження всередині чергового такту роботи РПЕ. Якщо процедура обчислення $K_{с, \text{з}}$ закінчилась раніше, ніж струм досяг амплітудного значення, то ЦАР переходить у стан чекання до надходження від давальника струму сигналу про те, що цифрове значення зворотного зв'язку K_c , пропорційне амплітуді струму, одержане і може бути передане у МП. Після чого обчислюється різниця $K_{с, \text{з}} - K_c$ та вихідний сигнал регулятора струму $K_{с, \text{р}}$. Цифровий давальник струму крім числа K_c формує також сигнал про наявність безструмової паузи і число T_t , пропорційне її тривалості t_b (тривалість впадіння). У режимі безперервного струму безструмова пауза відсутня і програмно реалізується функція ПІ-регулятора струму з постійними коефіцієнтами підсилення II- та I-складових.

У режимі безперервного струму обчислюється лише I-складова з коефіцієнтом підсилення, що залежить від T_t , тобто програмно реалізується алгоритм адаптивного регулятора струму. Крім того, у режимі безперервного струму здійснюється обмеження від'ємного приросту кута α у залежності від t_b , так, щоб при позитивному стрибку задавання перехід від безперервного до безперервного струму проходив через проміжний стан допустимого струму. Завдяки чому виключається перерегулювання, яке властиве адаптивному регулятору струму при значному стрибку задавання.

Обчислене значення виходу регулятора струму перераховується у число K_a , яке обмежується зверху та знизу константами, пропорційними граничним кутам регулювання α_{min} та α_{max} . Після перенесення K_a у регістр RG ЦАР переходить у режим чекання до появи наступного імпульсу керування.

Важливими вузлами системи є устаткування зв'язку з об'єктом: СІФК, ДС, ДШ. Для давальника струму використовується три трансформатори струму, вторинні напруги яких випрямляються по схемі, яка виключає втрати напруги на діодах. Сума випрямлених напруг створює аналоговий сигнал, що пропорційний миттєвому значенню струму навантаження. Цей сигнал перетворюється у цифрову форму за допомогою АЦП, як показано на мал. 8.14.

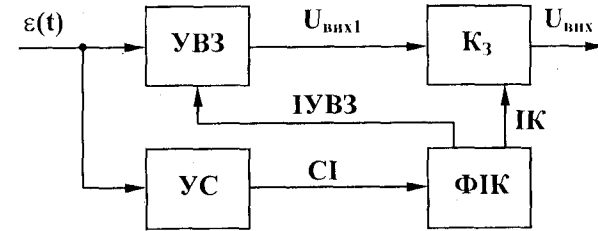


Мал. 8.16. Схема алгоритму ЦАР частоти та струму

§ 8.3. Схеми ЦАР при ступінчастих вхідних впливах [20, 21, 22, 23, 24, 25]

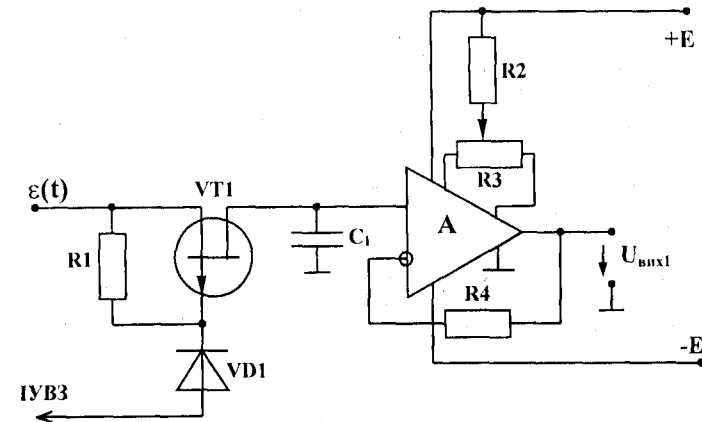
У загальному випадку контур системи автоматичного керування з одним входом і одним виходом можна представити як послідовне сполучення ЦАР та об'єкта керування. Технічна реалізація ЦАР при ступінчастих вхідних впливах на основі структурних схем мал.8.1 та 8.13 буде відрізнятися у залежності від того, який об'єкт керування (статичний чи астатичний) наявний у системі. Найбільш простим завданням є побудова ЦАР для систем з астатичними об'єктами регулювання. Вихідний сигнал таких регуляторів при ступінчастих вхідних впливах на вході системи після закінчення перехідних процесів за час $T=Nh$ тождечно рівний нулю.

Функціональна схема ЦАР, при ступінчастих вхідних впливах наведена на мал. 8.17. Схема складається із чотирьох основних блоків: устаткування вибирання та зберігання



Мал. 8.17. Функціональна схема ЦАР.

(УВЗ), що об'єднує квантуваль (мигтєвий ключ) та фіксатор нульового порядку, устаткування синхронізації (УС), устаткування зі змінним коефіцієнтом передавання (Kз), та формувача імпульсів керування (ФІК).



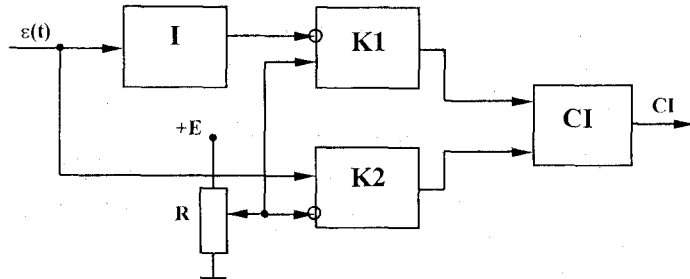
Мал. 8.18. Принципова схема УВЗ

Проста схема УВЗ наведена на мал. 8.18. Ключ VT1 на польовому транзисторі розмикається та замикається командним сигналом – імпульсами керування УВЗ (ГУВЗ).

Коли ключ замкнений, вихідний сигнал УВЗ змінюється згідно з вхідним сигналом відхилення $\epsilon(t)$. Коли ключ розімкнений, вихідний сигнал визначається напругою на конденсаторі C_1 , яка подається на буферний підсилювач А з великим вхідним опором, що змонтований на мікросхемі.

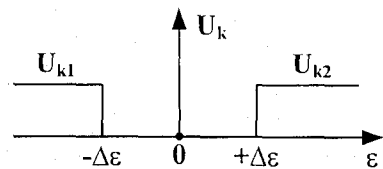
Оскільки час вибирання (часовий інтервал, на протязі якого ключ замкнений), значно менший періоду $T=Nh$, то сигнал на виході УВЗ $U_{вих1}=\epsilon(nt)=\epsilon(t)$ при $t=nT$, $N=Nh$, $n=0, 1, 2, \dots$

Другий блок УС стрибкоподібній зміні вхідного сигналу $\epsilon(t)$ забезпечує негайне відпрацювання цієї зміни. УС складається із інвертора І, двох компараторів К1, К2 та формувача синхронізуючого імпульсу С1 (див. мал. 8.19).



Мал. 8.19. Блок-схема устаткування синхронізації

Інвертор та два компаратори монтуються на операційних підсилювачах, формувач синхроімпульсів – на логічних елементах. Устаткування синхронізації має релейну характеристику (див. мал. 8.20) з регульованою зоною нечутливості: U_{K1} , U_{K2} – вихідні напруги компаратора на операційних підсилювачах із входженням сигналу $\epsilon(t)$ за зону нечутливості $2\Delta\epsilon$. Величина зони нечутливості встановлюється змінним резистором R.



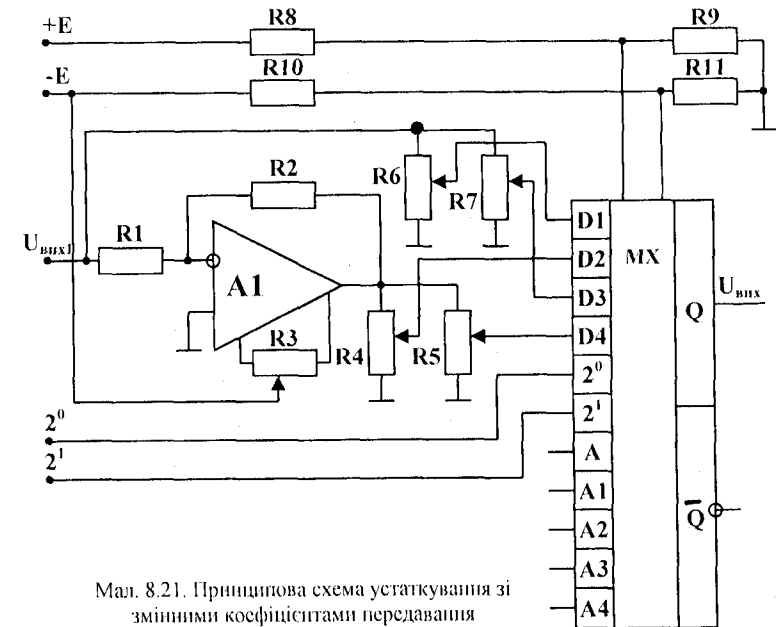
Мал. 8.20. Характеристика устаткування синхронізації

Якщо величина сигналу $\epsilon(t)$ перевищує значення $\Delta\epsilon$, тоді на виході УС формується синхронізуючий імпульс позитивної полярності амплітудою $U=\text{const}$ та тривалістю $\tau=\text{const}$.

Третій блок К3 забезпечує перетворення сигналу $U_{вих1}$ у послідовність N імпульсів тривалістю h з амплітудами $m(0), m(h), \dots$. Принципова схема устаткування зі змінними коефіцієнтами передавання, що забезпечує формування керуючих впливів для об'єктів регулювання, які описуються диференціальними рівняннями до четвертого порядку включно, наведена на мал. 8.21. Устаткування складається із інвертора на операційному підсилювачі, подільника прямого сигналу (змінні резистори R6, R7), подільників інвертованого сигналу (змінні резистори R4, R5) та комутатора аналогових сигналів MX.

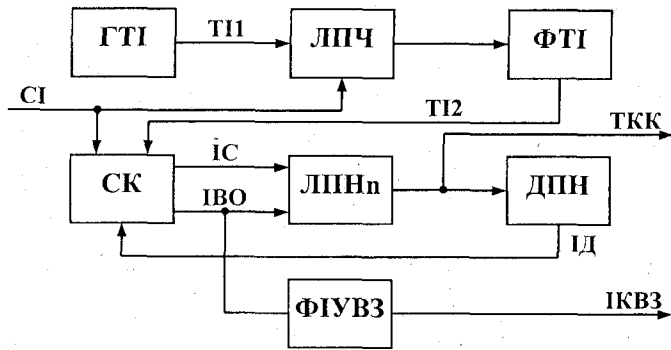
У цьому устаткуванні керуючий вплив формується шляхом послідовного вмикання на інтервалах часу $(0;h), (h;2h), (2h;3h), (3h;4h)$ до входу об'єкта регулювання напруг $U_{ин1}=U_{вих1}K_{3n}$, де $K_{3n}=K_n/K_{max}$ – коефіцієнт передавання устаткування на n-ому кроці регулювання; K_n – розрахункове значення коефіцієнта передавання n-ому кроці регулювання; K_{max} – максимальний коефіцієнт передавання із числа коефіцієнтів K_n .

Четвертий блок ФІК забезпечує формування імпульсів керування комутатором аналогових сигналів ІК у вигляді паралельного двійкового коду – номера кроку регулювання



Мал. 8.21. Принципова схема устаткування зі змінними коефіцієнтами передавання

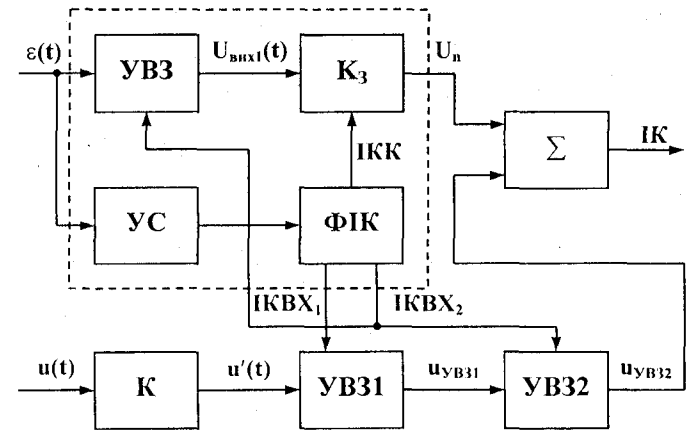
(до 10 кроків у границях інтервалу регулювання $T=Nh$) та імпульсів керування устаткуванням вибирання та зберігання ІУВЗ постійною тривалістю та розкидом від +E до -E (В), що забезпечує вибирання сигналу похибки, і змінюється у певному діапазоні. Функціональна схема формувача імпульсів керування показана на мал. 8.22. Схема складається із генератора тактових імпульсів (ГП), лічильника-подільника частоти (ЛПЧ) з постійним коефіцієнтом ділення K_d , формувача тактових імпульсів (ФПІ) з періодом h, лічильника поточного номера кроку регулювання n (ЛПНп), дешифратора поточного номера (ДПН) кроку регулювання n, схеми керування лічильником (СК), формувача імпульсів керування устаткуванням вибирання та зберігання (ФІКВЗ).



Мал. 8.22. Функціональна схема формувача імпульсів керування

Лічильник-подільник частоти (ЛПЧ) перетворює тактові імпульси T_1 у послідовність тактових імпульсів T_2 , які через схему співпадання та інвертор надходять на вхід лічильника поточного номера кроку регулювання. Паралельний двійковий код поточного номера кроку регулювання з виходу лічильника надходить на керування комутатором аналогових сигналів устаткування із змінним коефіцієнтом передавання і одночасно на входи дешифратора поточного номера n . Один із виходів дешифратора, номер якого відповідає порядку диференціального рівняння, що описує об'єкт регулювання, через перемикач надходить до схеми керування, завдяки чому цикл формування сигналів керування безперервно повторюється. Якщо поточний номер кроку регулювання $n < N-1$, де N – порядок диференціального рівняння об'єкта регулювання, то напруга логічного "0" з вибраного виходу дешифратора надходить на інвертор, а з виходу інвертора, напруга логічних "1" надходить на другий вхід схеми співпадання, дозволяючи тим самим надходженню чергового тактового імпульсу T_2 на вхід лічильника. Якщо $n=N-1$ на виході дешифратора з'явиться напруга логічної одиниці і черговий імпульс T_2 надходить через схеми співпадання на вхід встановлення лічильника поточного номера кроку регулювання у нульовий стан і одночасно подається на схему формування ФІК. Далі весь цикл формування імпульсів керування повторюється.

Із надходженням імпульсів синхронізації лічильник-подільник частоти та лічильник поточного номера кроку регулювання встановлюється у нульовий стан, а також формується імпульс керування ИКВЗ. Тим самим схема формувача імпульсів керування переходить у режим негайного оброблення стрибкоподібного вхідного впливу.



Мал. 8.23. Функціональна схема ЦАР для статичних об'єктів регулювання.

Більш складним завданням є побудова ЦАР при ступінчастих вхідних впливах для систем із статичними об'єктами регулювання. ЦАР при ступінчастому впливі на вході системи керування, крім основних імпульсів у перехідному режимі, повинен задавати в усталеному режимі "підстановку" – постійний сигнал на вхід об'єкта регулювання. Наприклад, якщо об'єкт регулювання описується передатною функцією

$$W(p) = \frac{\alpha}{(p+a)(p+b)},$$

то регулятор при ступінчастому впливі на вході системи величиною U повинен забезпечити на вході об'єкта регулювання два імпульси довжиною h з амплітудами $m_0 = K_0 U$ та $m_1 = K_0(1-A-B)U$, де $K_0 = ab/\alpha(1-A)(1-B)J^{-1}$; $A = e^{-ah}$, $B = e^{-bh}$, а в усталеному режимі – постійну величину $m_N = m_2 = abU/\alpha$.

Функціональна схема регулятора для систем керування із статичними об'єктами регулювання наведена на мал. 8.23. ЦАР складається із тих самих чотирьох устаткувань, що і на схемі мал. 8.17 (вони обведені штриховою лінією): основного устаткування вибирання та зберігання (УВЗ), устаткування синхронізації (УС), формувача імпульсів керування (ФІК), та коефіцієнта зі змінними коефіцієнтами передавання K_3 , що забезпечує формування керуючих впливів U_n , $n=1, 2, \dots, N-1$; на протязі інтервалу регулювання $T=Nh$. Крім того, у регулятор додатково уведений масштабний підсилювач з коефіцієнтом K , два послідовно вмикаючі устаткування вибирання та зберігання (УВЗ1 та УВЗ2), що запам'ятовують значення $u'(t)$ на початку інтервалу регулювання. Ці устаткування передають це значення до об'єкта регулювання у вигляді сигналу U_n у кіпці кожного інтервалу регулювання, суматор Σ , на вході якого виділяються всі сформовані впливи на об'єкт регулювання.

Приклад 8.1.

Розробити ЦАР трифазного мостового інвертора напруги для виконавчого механізму (мал.6.91). У розробці використати мікросхеми 555 серії. Часова діаграма роботи інвертора показана на мал.6.92.

ЦАР повинен забезпечувати:

1. У залежності від вхідного набору сигналів $x_1...x_4$ (див. таб.8.1) вмикання, зупинення та реверсування виконавчого механізму.
2. У залежності від вхідного набору сигналів $x_5...x_7$ (див. таб.8.2) змінювання швидкості обертання виконавчого механізму (набір сигналів використати як адресні коди).
3. Формування фазового зсуву, підсилення та синхронізацію керуючих імпульсів мостового інвертора напруги.

Таблиця 8.1.

Значення вхідних сигналів $x_1...x_4$.

№ за/п	x_1	x_2	x_3	x_4	Рух (напрямок)	F(1)	F(2)
1	0	0	0	0	зворотний	1	0
2	0	0	0	1	прямий	1	1
3	0	0	1	0	зворотний	1	0
4	0	0	1	1	прямий	1	1
5	0	1	0	0	зупинка	0	-
6	0	1	0	1	прямий	1	1
7	0	1	1	0	зворотний	1	0
8	0	1	1	1	зупинка	0	-
9	1	0	0	0	прямий	1	1
10	1	0	0	1	зупинка	0	-
11	1	0	1	0	прямий	1	1
12	1	0	1	1	зворотний	1	0
13	1	1	0	0	зупинка	0	-
14	1	1	0	1	прямий	1	1
15	1	1	1	0	зупинка	0	-
16	1	1	1	1	прямий	1	1

Таблиця 8.2. Значення вхідних сигналів $x_5...x_7$ та мережа частот

№ за/п	x_5	x_6	x_7	Швидкість (об/хв)	Частота (Гц)	Значення
1	0	0	0	72	12 (13)	f_1
2	0	0	1	48	8	f_2
3	0	1	0	24	4	f_3
4	0	1	1	336	56 (52)	f_4
5	1	0	0	624	104	f_5
6	1	0	1	240	40 (39)	f_6
7	1	1	0	192	32	f_7
8	1	1	1	48	8	f_8

Значення частоти керуючих імпульсів обчислюються за формулою:

$$n=60 \cdot f/p, \text{ тобто } f=n \cdot p/60,$$

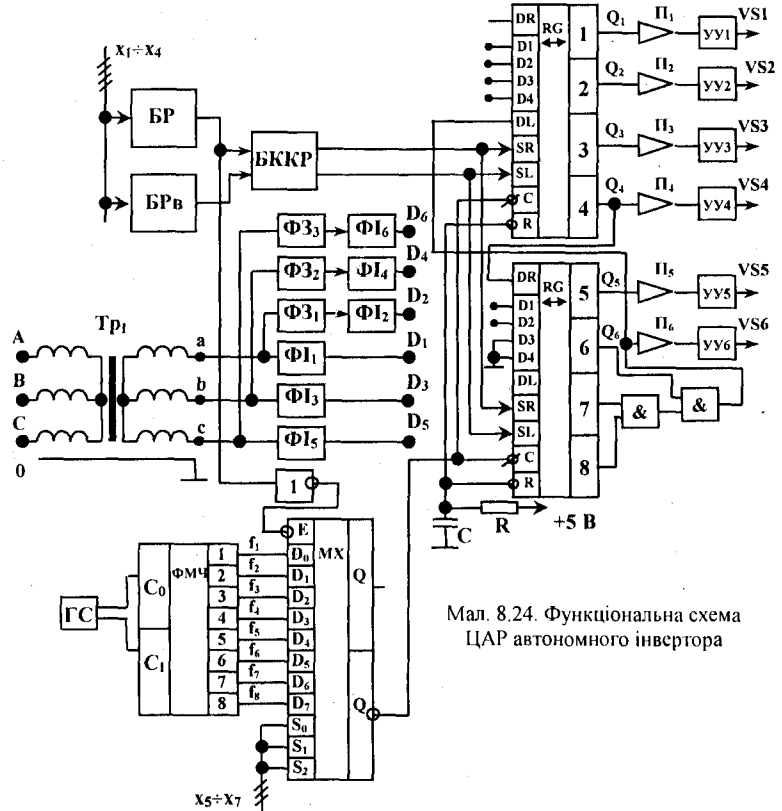
де n - швидкість обертання двигуна (об/хв);

f - частота керуючих імпульсів (Гц);

p - кількість пар полюсів (нехай $p=10$).

Розв'язок.

Функціональна схема ЦАР представлена на мал. 8.24. Вона складається з наступних блоків. Блоку, що забезпечує рух двигуна (БР) та блоку, що забезпечує реверс (БРв). Для їх синтезу допускаємо, що при забезпеченні руху на виході (БР) повинен бути високий рівень сигналу - "1", а при зупинці - "0" (див. таб.8.1 функцію F(1)), відповідно для (БРв) при напрямку руху "прямо" - "1", а при рухові "зворотно" - "0" (див. таб.8.1 функцію F(2)). На основі цих функцій складаємо УДНФ для F(1) та F(2).



Мал. 8.24. Функціональна схема ЦАР автономного інвертора

$$F(1) = \bar{x}_1 \bar{x}_2 \bar{x}_3 \bar{x}_4 \vee \bar{x}_1 \bar{x}_2 \bar{x}_3 x_4 \vee \bar{x}_1 \bar{x}_2 x_3 \bar{x}_4 \vee \bar{x}_1 \bar{x}_2 x_3 x_4 \vee \bar{x}_1 x_2 \bar{x}_3 \bar{x}_4 \vee \bar{x}_1 x_2 \bar{x}_3 x_4 \vee \bar{x}_1 x_2 x_3 \bar{x}_4 \vee \bar{x}_1 x_2 x_3 x_4$$

$$F(2) = \bar{x}_1 \bar{x}_2 \bar{x}_3 x_4 \vee \bar{x}_1 \bar{x}_2 x_3 x_4 \vee \bar{x}_1 x_2 \bar{x}_3 \bar{x}_4 \vee \bar{x}_1 x_2 \bar{x}_3 x_4 \vee \bar{x}_1 x_2 x_3 \bar{x}_4 \vee \bar{x}_1 x_2 x_3 x_4$$

Провівши мінімізацію, на основі матеріалу викладеного у § 5.6, одержимо наступне:

$$F_{min}(1) = x_2 \bar{x}_3 \bar{x}_4 \vee x_1 x_2 \bar{x}_4 \vee x_1 \bar{x}_2 \bar{x}_3 \bar{x}_4 \vee \bar{x}_1 x_2 x_3 x_4$$

$$F_{\min}(2) = \overline{x_1} \overline{x_2} x_4 \vee x_1 x_2 x_4 \vee x_1 \overline{x_2} \overline{x_3} \vee x_1 x_2 \overline{x_3} x_4$$

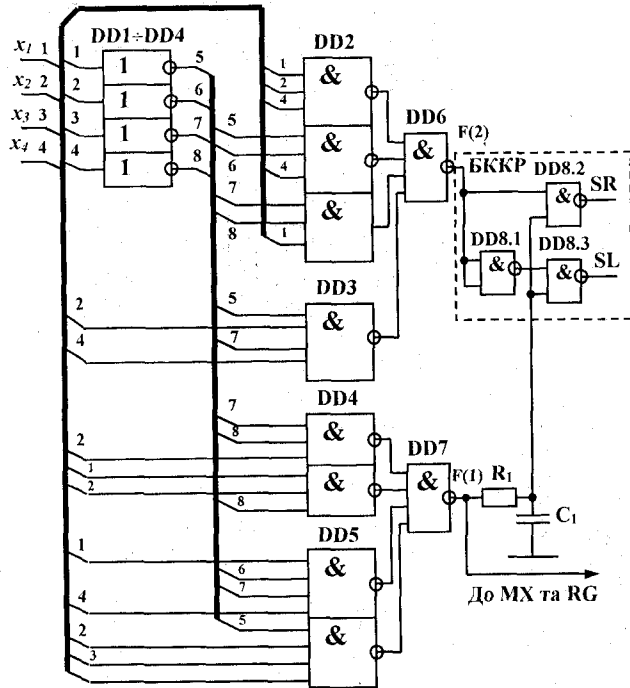
Перейшовши у базис логічних функцій І-НЕ, остаточно одержимо:

$$F_{\min}(1) = x_2 x_3 x_4 \cdot x_1 x_2 x_4 \cdot x_1 x_2 x_3 x_4 \cdot x_1 x_2 x_3 x_4$$

$$F_{\min}(2) = x_1 x_2 x_4 \cdot x_1 x_2 x_4 \cdot x_1 x_2 x_4 \cdot x_1 x_2 x_3 x_4$$

Побудовані принципові схеми на основі значень мінімізованих функцій наведені на мал. 8.24. Для побудови принципової схеми блоків руху та реверсу використані наступні мікросхеми: DD1 - K555ЛН1, DD2 - K555ЛА4, DD3 - K555ЛА6 DD4 - K555ЛА4, DD5, DD6 - K555ЛА6, DD7 - K555ЛІ6 та DD8 - K555ЛА3.

На мал. 8.25 наведена схема блоку керування кільцевим регістром (БККР), яка забезпечує його функціонування за таблицею істинності 8.3.



Мал. 8.25. Принципова схема блоків руху, реверсу та блоку керування кільцевим регістром

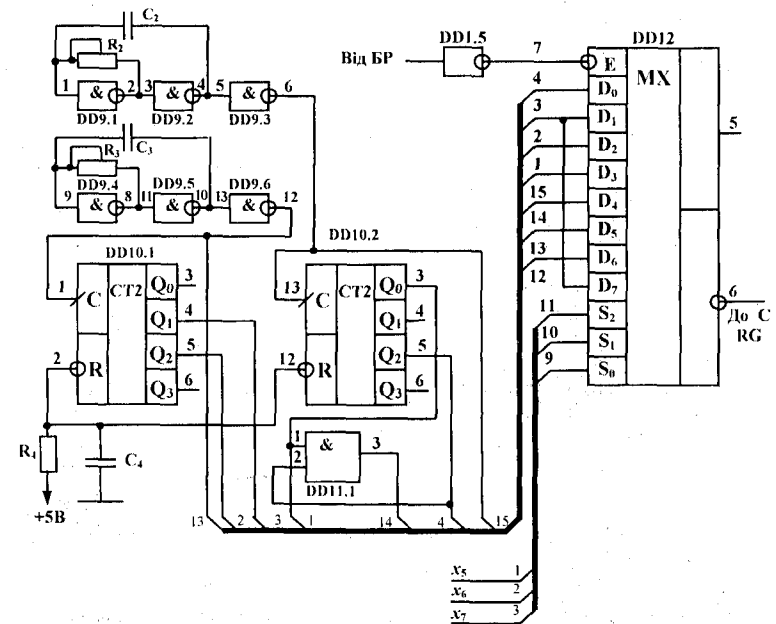
Таблиця 8.3. Таблиця істинності блоку керування кільцевим регістром K555ЛР11А

№ за/п	Стан регістра	Входи			
		C	R	SR	SL
1	Встановлення в "нуль"		0	*	*
2	Зсування праворуч по DR		1	1	0
3	Зсування ліворуч по DL		1	0	1
4	Паралельне записування інформації		1	1	1
5	Зберігання інформації		1	0	0

Наведені стани у таблиці 8.3 функціонують за допомогою вихідних кодів блоків руху та реверсу і логічної схеми, змонтованої на мікросхемах DD8.1÷DD8.3. Для забезпечення записування інформації із входів D1÷D4 регістра DD13 та входів D1÷D2 регістра DD14 (див. мал. 8.27), вибираємо час $\tau=40$ нс, тоді, прийнявши $R_1=1$ Ком, обчислимо

$$C_1 = \frac{\tau}{R_1} = \frac{40 \cdot 10^{-9}}{10^3} = 40 \text{ пФ.}$$

Принципова схема блоку формування мережі частот (ФМЧ), що складається із двох генераторів (мікросхеми DD9, резисторів R_2, R_3 та конденсаторів C_2, C_3), двох лічильників (мікросхеми DD10 та логіки DD11) та мультиплексора (мікросхема DD12), наведена на мал.8.26.



Мал. 8.26. Принципова схема блоку формування мережі частот

Значення частот, що забезпечують швидкість обертання двигуна, (див. табл. 8.2) розмістимо у наступному порядку: 4, 8, 32 та 13, 52, 104 (Гц).

Менші частоти цих груп одержимо послідовним діленням більших частот, а частоту 39- (40) Гц отримаємо операцією логічного множення (DD11.1) частот $f_4=52$ Гц та $f_1=13$ Гц (див. табл. 8.2), які одержимо при діленні частот $f_3=104$ Гц та $f_7=32$ Гц відповідно на два та чотири, а частоту $f_4=52$ Гц внаслідок ділення частоти $f_3=104$ Гц також на два. З врахуванням останнього, вибираємо два генератори, що генерують частоти $f_3=104$ Гц та $f_7=32$ Гц.

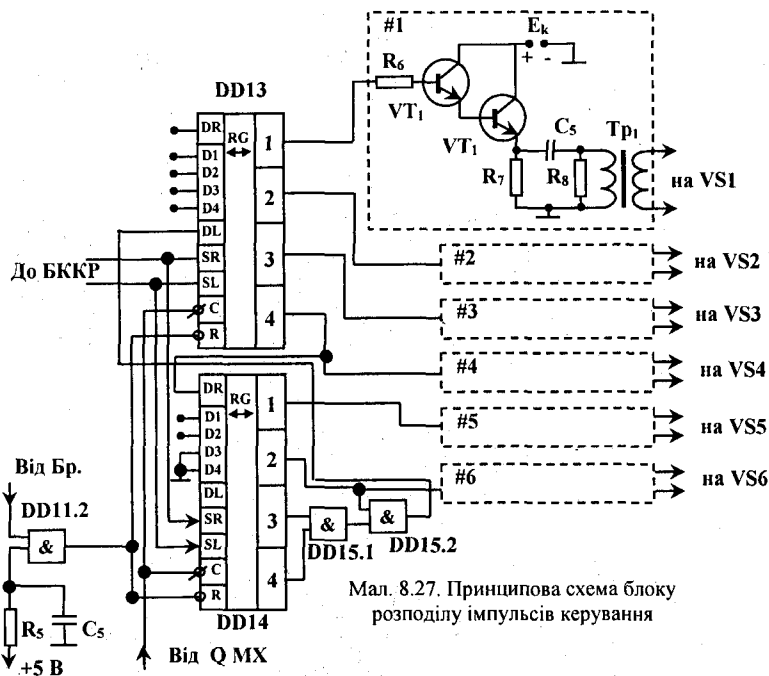
Для розрахунку резисторів та конденсаторів генераторів використовуємо залежність

$$T \approx \frac{1}{2,2RC}$$

де $R \geq 1$ Ком.

Частоти 56(52) Гц, 12(13) Гц отримуємо шляхом послідовного ділення частоти 104 Гц на два, а частоти 8 Гц та 4 Гц – шляхом послідовного ділення частоти 32 Гц також на два. Для формування послідовностей частот використаємо мікросхему K555IE20, а для комутації частот - мультиплексор K555КП7, функціонування якого залежить від рівня вихідного сигналу блоку руху (мікросхема DD1.5). Значення резистора R_4 та конденсатора C_4 обчислюється за раніше викладеною методикою, допустивши при цьому, що час встановлення у нуль лічильника K555IE20 дорівнює 30 нс.

Принципова схема блоку розподілу імпульсів керування, що містить два кільцевих регістри DD13 та DD14 (мікросхеми K555IP11A), шість підсилювачів П1-П6 та устаткувань узгодження $Tr_1=Tr_6$, наведена на мал. 8.27.



Мал. 8.27. Принципова схема блоку розподілу імпульсів керування

Для стабільної роботи схеми керування при зсуванні інформації у кільцевих регістрах праворуч та ліворуч, третій та четвертий виходи другого кільцевого регістра вмикаються

через логічне множення (мікросхема DD15.1), а її вихід, через логічне множення (мікросхема DD15.2) з другим виходом кільцевого регістра (мікросхема DD14). Кільцеві регістри встановлюються у "нуль" з врахуванням рівня вихідного сигналу блоку руху та значень ланки R_5, C_5 , за час $\tau=30$ нс. У блоці розподілу імпульсів використані наступні мікросхеми: DD11.2, DD15.1, DD15.2 - K555JIA4.

Принципова схема формування кута відкриття тиристорів, що складається із трифазного трансформатора Tr_1 (див. мал. 8.24), фазозсувних ланок $\Phi_{31}+\Phi_{33}$, та формувачів імпульсів $\Phi_{11}+\Phi_{16}$, наведена на мал. 8.28. У багатоканальних системах керування регулювання кута відкриття тиристорів α здійснюється від загальної керуючої напруги, як показано на мал. 8.24. Кількість каналів дорівнює числу тиристорів у схемі перетворювача (для схеми мал.6.91 – шість). З відповідною синхронізацією фазозсувних устаткувань від мережі змінного струму система формує для тиристорів у фазах А, В, С (див. мал. 6.91) керуючі імпульси, зсунуті на кут 60° (див. мал. 6.92).

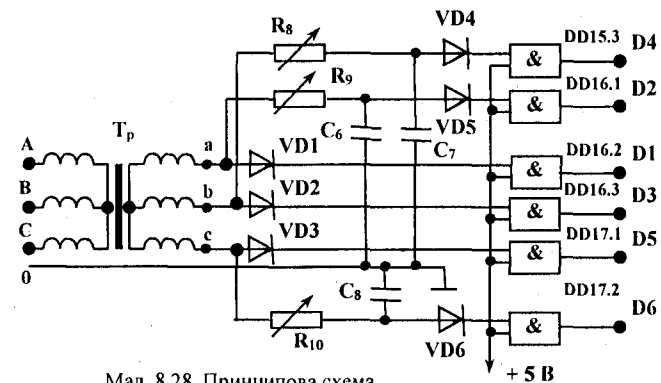
Це забезпечується наступним чином.

З використанням трифазного трансформатора Tr на вторинних обмотках одержимо фазні напруги U_a, U_b, U_c , зсунуті одна відносно іншої на кут 120° . На вхід D1 кільцевого регістра DD13 (див. мал. 8.26) напруга U_a , після формування прямокутного імпульсу мікросхемою DD16.1, подається безпосередньо. На вхід D2 кільцевого регістра напруга U_a подається після зсуву її на кут 60° . Для цього використовується фазозсувна ланка R_9C_6 , яка розраховується за формулою:

$$\alpha = -2 \arctg R_9 \omega C_6$$

де $R \geq 1$ Ком; $\alpha = 60^\circ$.

Аналогічно одержимо зсуви фаз для входів D4, D6, використавши при цьому фазні напруги U_b, U_c та фазозсувні ланки відповідно R_8C_7 та $R_{10}C_8$. На входи D3, D5 фазні напруги U_b, U_c подаються безпосередньо, після формування прямокутних імпульсів мікросхемами DD16.2 та DD16.3.



Мал. 8.28. Принципова схема формування фазового зсування

9. Автоматизація проектування виробництва електронних устаткувань з використанням програм PCAD

В освітньо-професійній програмі вищої освіти за професійним спрямуванням "Автоматизація та комп'ютерно-інтегровані технології" і споріднених спеціальностей передбачено виконання студентами курсового проекту. Курсовий проект передбачений з метою закріплення, поглиблення та узагальнення знань, одержаних студентами за час навчання та їх застосування до комплексного вирішення завдань, орієнтованих на розробку закінчених засобів для керування об'єктами та процесами, що відображають їх стан. З допомогою таких електронних засобів здійснюється контроль, керування та регулювання різними технологічними процесами та устаткуваннями. Розробка таких електронних засобів полягає в проектуванні електронних схем та виготовленні на їх основі друкованих плат.

Інтегрована система автоматизованого проектування (САПР) PCAD зараз є однією з найпопулярніших у світі систем автоматизації проектування та підготовки виробництва друкованих плат, починаючи від створення схеми електричної принципової і закінчуючи виводом конструкторської і технологічної документації на друковану плату та формуванням управляючих програм для верстатів з ЧПУ і фотокоординатографів. Популярність системи полягає в поєднанні кількох її особливостей: доступності, "дружнього" інтерфейсу з користувачем, високого рівня інтегрованості та легкого налагодження на різні рівні автоматизації проектування від практично повної автоматизації до ручного розведення топології, використовуючи дисплей ПК як "електронний кульман". У світі існує досить багато САПР подібних PCAD, але серед електронних САПР на персональних ЕОМ класу IBM PC система PCAD – безперечний лідер.

На сьогодні є п'ять версій PCAD. Перші з них були розроблені фірмою Personal CAD Systems (до версії 3.0 включно), а в останні роки САПР PCAD представляє фірма CADAM Company, розробки якої вже мають інші назви: Master Designer, Associate Designer та ін. Однак, користувачі PCAD продовжують їх називати новими версіями PCAD, зокрема Master Designer часто називають просто четвертою версією PCAD.

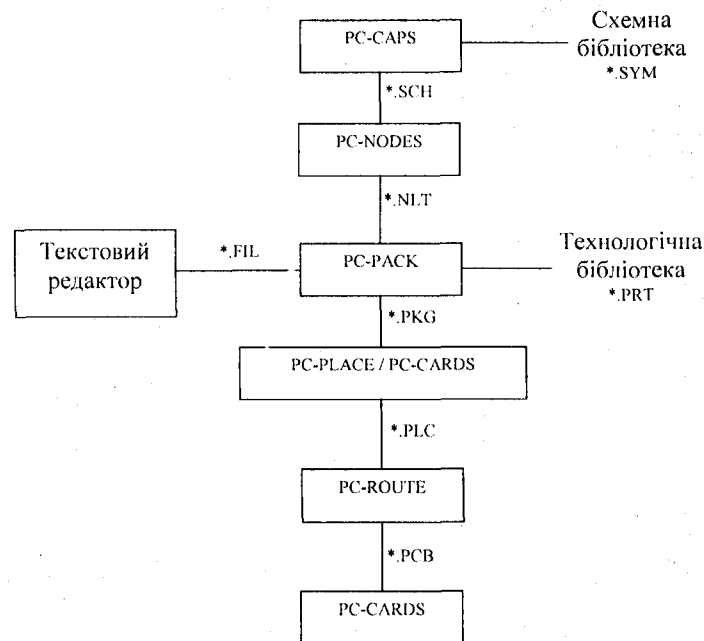
У даній роботі дається опис пакету Master Designer, відомого як версія 4.5 САПР PCAD. Пакет створений в кінці 1988 р. і дає змогу проектувати друковані плати, що містять до 1300 компонентів, 2500 електричних ланцюгів, 100 логічних шарів на 3200 виводів. Крім того, передбачена автоматична перестановка логічно еквівалентних виводів, вентилів і компонентів, поворот компонентів на довільний кут, задання розмірів контактних площадок і товщин провідників з точністю до 1 мкм, задання кроку координатної мережі. Для підвищення якості розміщення і покращення розведення плати розробник може використовувати гістограми і "силові вектори", які будуються автоматично.

9.1. Склад програм PCAD та структура робочих файлів проекту

Пакет прикладних програм PCAD містить у своєму складі три графічних редактори: PC-CAPS, PC-PLACE і PC-CARDS, програму автоматичного розведення з'єднань друкованої плати з числом шарів від 1 до 32 PC-ROUTE та програми – утиліти, що виконують службові функції.

9.2. Етапи реалізації проекту

Основний метод реалізації проекту полягає в наступному. Спочатку створюється графічний опис електричної схеми засобами графічного редактора PC-CAPS. У процесі проектування розробляється схема електрична принципова. Цей документ стає основою для проекту і всі наступні етапи проходження проекту, включаючи топологію друкованої плати, можуть бути автоматично перевірені із схемою з діагностикою можливих помилок. На мал. 9.1 представлені основні етапи проходження проекту при проектуванні.



Мал. 9.1. Основні етапи проходження проекту при проектуванні

9.3. Алгоритм роботи з пакетом PCAD

Як було сказано вище, функціонально пакет PCAD являє собою пакет програм, кожна з яких виконує окрему логічно завершену функцію. Робота з PCAD-ом згідно з третім способом проектування полягає в послідовному виклику програм, який можна описати у вигляді алгоритму:

1. Створення графічного образу радіоелектронних компонентів (РЕК) схеми для подальшого синтезу з них схеми електричної принципової. Виконується з допомогою програми PC-CAPS, режим SYMB. Результат роботи – файл з розширенням .SYM.
2. Створення форми корпусу нової РЕК. Виконується з допомогою PC-CARDS, режим

SYMB. Результат роботи – файл з розширенням .PRT.

3. Креслення схеми електричної принципової в PC-CAPS, режим DETL. Результат роботи – файл з розширенням .SCH.

4. Виділення списку електричних ланцюгів і вузлів зі схеми електричної принципової виконує програма PC-NODES.

5. Створення бібліотеки описів елементів, необхідних для даної електричної схеми:

– будь-яким текстовим редактором готується файл з розширенням .FIL;

– програма PREPACK перетворює текстовий файл .FIL у двійковий файл .LIB.

6. Підготовка конструктиву друкованої плати, ручне розташування корпусів PEK – виконує програма PC-CARDS, режим DETL. Результат роботи – файл з розширенням .PCB.

7. Упакування даних схеми електричної і конструктиву друкованої плати – виконує програма PC-PACK. Результат роботи – файл з розширенням .PKG, а також при наявності помилок – файл PCPACK.ERR.

8. Необов'язковий крок – оптимізація розташування PEK по площі друкованої плати – виконує програма PC-PLACE.

9. Розведення друкованої плати, формування малюнка доріжок – виконує програма PC-ROUTE. Результат роботи:

– модифікований файл .PCB (конструктив друкованої плати + корпуси PEK + друкована доріжка);

– файл .REP – відомості про нерозведені зв'язки та помилки.

10. Перетворення файлу .PCB у файл .PLT, придатний для креслення друкованої плати на плоттері або принтері, – виконує програма PC-CARDS, режим DETL.

11. Креслення сформованого зображення друкованої плати .PLT – виконує програма PC-PRINT (для принтера) або PC-PLOT (для плоттера).

Отже, згідно з наведеним алгоритмом, розглянемо порядок роботи з пакетом PCAD.

9.4. Порядок роботи з пакетом PCAD

Для розробки друкованої плати необхідно провести наступну підготовку:

а) створити каталог користувача PP51-1 (згідно із доменом групи та номером з журналом) в каталозі PCAD засобами MS-DOS. Цей каталог буде робочим з проектуванням;

б) скопіювати засобами MS-DOS описи необхідних для даної схеми PEK (тобто файли з розширенням *.SYM та *.PRT з бібліотеки елементів D:\SYM\...). Описи PEK, яких немає в символічній і технологічній бібліотеках, створюються в подальшому програмами PC-CAPS і PC-CARDS відповідно;

в) скопіювати засобами MS-DOS стандартний файл стратегії розведення PCAD1.CTL з підкаталогу PCAD\EXE у робочий каталог PCAD\PP51-1 під іменем PP51-1.CTL;

Зуваження: Всі програми PCAD повинні запускатися з робочого підкаталогу PCAD\PP51-1.

Тепер переходимо до опису практичних дій, починаючи від створення описів PEK (символьного та технологічного), до отримання топології розведення друкованої плати.

9.5. Створення символічного опису PEK

1. Ця операція проводиться з допомогою графічного редактора PC-CAPS. Редактор PC-CAPS працює в символічному та схемному режимах.

Символьний режим дозволяє користувачу графічно створювати будь-які елементи схеми у виді блоків, що представляють собою бібліотечні елементи.

Схемний режим дозволяє графічно створювати схеми з наявних бібліотечних елементів.

Отже, необхідно викликати програму PC-CAPS, встановивши активний режим SYMB шляхом вибору цього пункту в зоні меню редактора.

2. Після цього необхідно встановити робочі шари для створення символічного зображення PEK вибором команди VLYR в меню редактора.

Зображення в PCAD і складається з декількох шарів, в кожному з яких задаються свої частини зображення. Користувач може вмикати та вимикати шари, деталізуючи або спрощуючи зображення, що виводиться на екран. Подаємо список шарів зображення:

GATE – зображення елемента;

PINNUM – номери виводів;

PINCON – виводи;

PINFUN – функція виводу елемента;

PINNAM – ім'я виводу;

REFDES – конструкторські позначення;

DEVICE – тип елемента;

WIRES – електричний зв'язок (провідник);

BUS – електрична шина;

ATTR – атрибути;

SDOT – з'єднання;

NETNAM – імена ланцюгів;

COMPNAM – імена компонентів;

BORDER – границі схеми.

Кожний шар має свій колір, який може приймати одне з 16-ти можливих значень, та статус, який може приймати такі значення:

OFF – шар невидимий;

ON – шар видимий, але недоступний для редагування;

ABL – шар видимий і може ставати активним;

ABL A – шар видимий і активний.

Для створення символічного опису PEK необхідно надати статус ABL шарам GATE, PINNUM, PINNAM, PINCON, REFDES та DEVICE; при цьому шар GATE повинен бути активним ABL A. Решта шарів повинні бути OFF.

3. Побудова графічного зображення PEK – команда DRAW меню редактора. З допомогою команд RECT – побудова прямокутника; LINE – побудова лінії; ARCP – побудова дуги за трьома точками; ARC – побудова дуги; TEXT – написання тексту; CIRC – побудова кола; FREC – побудова заштрихованого прямокутника, необхідно намалювати бажане зображення PEK. При вході в будь-яку з цих підкоманд у нижній частині екрана з'являється рядок статусу, що вказує поточні значення параметрів створення зображення:

GATE – активний шар зображення PEK;

SOLID – проведення суцільних ліній;

ORTH – проведення перпендикулярних ліній (для підкоманди LINE);

W:0 – товщина лінії в одиницях бази даних (DBU – Data Base Unit);

Зуваження: в редакторі PC-CAPS 1 DBU = 0,01 дюйма; 1 дюйм = 25,4 мм.

10:10 – масштаб зображення в одиницях бази даних (DBU);

літера S – зеленого кольору (відображення координатної мережі);

літера G – зеленого кольору (встановлення дискретного переміщення курсора по

полю графічного екрана).

Усі параметри рядка статусу можна змінити на інші значення. Для цього необхідно активізувати поле даного параметра, підвівши до нього графічний курсор, та зробити необхідні зміни.

Помилково введені елементи зображення можна витерти з допомогою команди DEL основного меню, або відредагувати за допомогою команди EDIT.

4. Символьне позначення створюваного бібліотечного елемента виконується командою DRAW/TEXT (мал. 9.2, мал. 9.3). Наприклад, суматори мають символічне позначення SM, ОЗП – ROM і т. ін. При цьому в рядку статусу необхідно встановити потрібні значення наступних параметрів: SIZE:nn, де nn – розмір тексту, що вводиться, в одиницях DBU; F – орієнтація тексту (текст може вводиться під різними кутами кратними 90°); CC – параметр прив'язки тексту відносно курсора по горизонталі та вертикалі відповідно. Можливі й інші варіанти прив'язки тексту:

- по горизонталі:

L – ліворуч;

C – по центру;

R – праворуч;

- по вертикалі:

T – вверх;

C – по центру;

B – вниз.

5. Позначення типу PEK проводиться тією ж командою, попередньо змінивши на активний шар DEVICE. З виконанням команди на запит системи SELECT TEXT LOCATION ... вказати курсором бажане місце знаходження тексту і на запит TYPE IN TEXT ввести текст (наприклад, 555IM6), підтвердивши введене лівою кнопкою "миші".

6. Ввести позначення контактів командою ENTR/PIN, встановивши активним шар PINCON. З виконанням цієї команди в діалоговому режимі необхідно ввести послідовно дані про:

- місце знаходження контактів PEK (точка місця знаходження вказується позиціонуванням графічного курсора на відповідному контакті PEK та підтвердженням лівою кнопкою "миші");

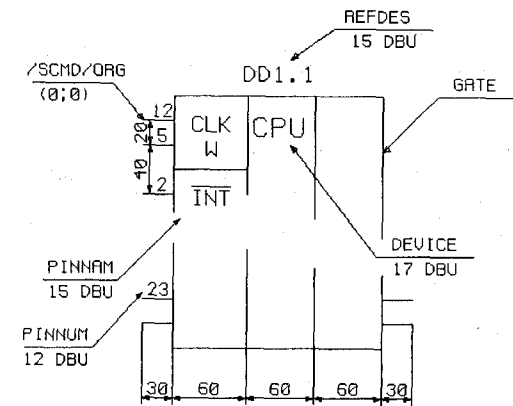
- місце для позначення імені контакту PEK – на запит системи SELECT PIN NAME LOCATION (ATTRB OK?) ...;

- ім'я контакту PEK (наприклад, A0, A1 і т. д.) – на запит системи ENTER PIN NAME.

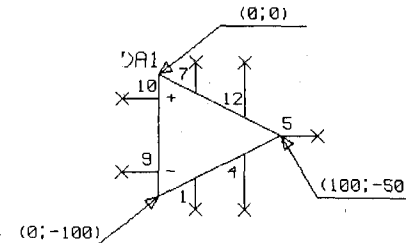
7. Задати упаковальну інформацію командою SCMD/PNLC. Ця команда дозволяє вказати, скільки елементів знаходиться в одному корпусі мікросхеми. Наприклад, для задання графічного образу мікросхеми 155ЛА3, яка містить 4 елементи 2I-HI, достатньо намалювати зображення лише одного елемента 2I-HI і на запит ENTER GATES PER PACKAGE ввести число 4; далі на запит ENTER NUMBER PINS PER GATES уведіть з клавіатури число контактів в одному елементі (в нашому випадку 3); на запит SELECT LOG FOR REF DESIGNATOR виберіть місце для розміщення конструкторського позначення (наприклад, DD1, DD2 і т. д.); на запит SELECT LOC FOR PIN NUMBER виберіть місце для номеру контакту; ця операція повторюється для кожного контакту; на запит ENTER PACKAGE PIN NUMBER <ім'я контакту> уведіть номер контакту з вказаним іменем.

8. Задати ключову точку командою ENTR/ORG. По ключовій точці дане графічне зображення PEK буде викликатись в графічне вікно екрана з формуванням схеми електричної принципової. На запит SELECT THE ORIGIN вибрати в якості ключової точки перший контакт елемента, підтвердивши вибір лівою кнопкою "миші".

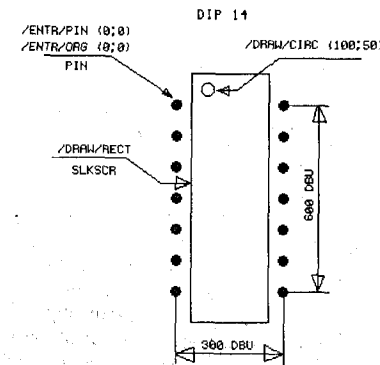
9. Встановити типи контактів командою SCMD/SPAT. Кожний контакт має свій тип, який позначається цілими числами. Тип 0 означає, що даний контакт є вхідним,



Мал.9.2. Типові розміри та приклад створення символічного опису мікросхеми.



Мал.9.3. Типові розміри та приклад створення символічного опису операційного підсилювача.



Мал.9.4. Типові розміри та приклад створення конструкторсько-технологічного опису мікросхеми.

тип 1 – вихідним, є й інші типи контактів. Крім того, контакти характеризуються логічною еквівалентністю, яка вказує на взаємозамінність даного контакту з контактом, що має таку ж логічну еквівалентність. Логічна еквівалентність позначається цілими числами, починаючи від 0, причому значення 0 означає, що даний контакт є унікальним. Отже, на запит системи ENTER PIN TYPE та ENTER LEQ необхідно ввести тип контакту та його логічну еквівалентність відповідно.

10. Записати на диск створений опис PEK командою FILE/SAVE. На запит ENTER FILE NAME введіть ім'я файлу, в який буде записаний створений опис. По замовчуванню файл буде мати розширення .SYM.

9.6. Створення конструкторсько-технологічного опису PEK

1. Викликати програму PC-CARDS, встановити режим SYMB.

Зауваження: в редакторі PC-CARDS одиниці бази даних мають таку розмірність:
1 DBU = 0,001 дюйма.

2. Командою VLYR встановити наступні параметри шарів:

PIN ABL A
SLKSCR ABL
DEVICE ABL

Решта шарів встановити в стан OFF.

3. Створення посадочного місця PEK виконується командою ENTR/PIN. При цьому в рядку статусу буде міститись інформація:

PIN – ім'я активного шару;

TYPE 1 – тип контактної площадки;

EQUIV:0 – позначення еквівалентної контактної площадки;

R – червоного кольору (виключений режим висвічування на екрані електричних зв'язків).

Значення TYPE використовується із заданням контактів і має наступний зміст:

TYPE = 0 – перехідний отвір;

TYPE = 1 – перший контакт;

TYPE = 2 – всі стандартні типи, крім 1, 3, 4 -го;

TYPE = 3 – спільна шина;

TYPE = 4 – шина живлення;

TYPE = 5..24 – нестандартний тип контакту.

Значення EQUIV визначає функціональну еквівалентність контактів в межах даного елемента і має такий же сенс, як в редакторі PC-CAPS.

На запит системи ENTER PIN LOCATION виберіть місце для контакту.

На запит SELECT PIN NAME LOCATION виберіть місце для розміщення номера контакту.

На запит ENTER PIN NAME [PIN NUMBER]: введіть номер контакту.

Таким же чином необхідно ввести всі контакти PEK в порядку зростання їх порядкових номерів, при цьому перед вводом кожного контакту слід не забувати встановити відповідне значення TYPE і EQUIV в рядку статусу (див. мал. 9.4).

4. Увід графічного зображення PEK для складального креслення виконується командою DRAW з відповідними підкомандами, описаними вище. При цьому активним має бути шар SLKSCR. У результаті повинен бути намальований корпус PEK з ключем, що вказує на перший контакт мікросхеми.

5. Увести назву мікросхеми – команда DRAW/TEXT. Змінити на активний шар DEVICE, встановити у відповідне положення параметр орієнтації тексту F. На запит SELECT TEXT LOCATION вибрати місце для тексту та ввести з клавіатури назву PEK (наприклад, 555IM6, 155JA3 і т. д.).

6. Задання ключової точки – команда ENTR/CRG. На запит SELECT THE ORIGIN вибрати курсором перший контакт мікросхеми.

7. Увід типу корпусу – команда SCMD/SCAT. На запит номера компоненти введіть відповідне значення згідно таблиці В.4 додатка.

На запит IS PART TYPE SMD? YES NO введіть Y, якщо елемент планарний, NO – в протилежному випадку.

3 допомогою команди SCMD/SPAT можна перевірити або змінити типи і еквівалентності контактних виводів.

8. Установка упаковочної інформації елементів в корпус. На запит ENTER NUMBER OF GATES введіть число елементів в корпусі мікросхеми (наприклад 4 для 155JA3). На запит ENTER NUMBER OF PINS PER GATE введіть число контактів в одному елементі (наприклад, 3 для логічного елемента 2I-HI). На запит ENTER NAME OF PIN 1 введіть ім'я першого контакту. Аналогічно ввести імена всіх контактів. На запит SELECT GATE 1 PIN <ім'я контакту > ... вкажіть курсором положення контакту в першому елементі. Аналогічно вказати всі контакти всіх елементів.

9. Зберегти на диску створений опис PEK, вибравши команду FILE/SAVE. На запит ENTER FILE NAME введіть ім'я файлу. По замовчуванню файл буде мати розширення *.PRT.

Для виходу з редактора PC-CARDS вибрати команду SYS/QUIT.

9.7. Створення схеми електричної принципової

Третій крок реалізації проекту – створення схеми електричної принципової в оболонці редактора PC-CAPS, режим DETL. Результатом роботи на цьому етапі буде файл з розширенням SCH. Отже, переходимо до опису практичних дій на цьому етапі.

1. Створення конфігурації графічного редактора: командою VLYR встановити в режим ABL шари GATE, PINNUM, PINNAM, PINCON, REFDEF, DEVICE, WIRES, BUS, SDOT, NETNAM, CMPNAM; встановити режим DETL.

2. Розстановка зображень PEK по полю креслення – команда ENTR/COMP. На запит імені файлу можна безпосередньо вказати ім'я SYM – файлу, або натиснути F1 для пошуку потрібного елемента в списку. Елемент розміщується в необхідному місці креслення і фіксується лівою кнопкою миші. Бібліотечні елементи при вводі в схему можна масштабувати, вказуючи після імені файлу елемента два числа, перше з яких означає масштаб по осі X в процентах, друге – по осі Y. Наприклад, ввівши 155JA3 50 50, елемент буде зменшений в два рази порівняно з бібліотечними розмірами.

3. Задання зв'язків – команда ENTR/WIRE. При активізації команди активним стає шар WIRES. Тут необхідно вказати всі з'єднання між елементами схеми, крім з'єднань шиною та іменованих зв'язків. Клавішею F2 можна перемикнути режим проведення ліній: під кутами, кратними 90' – режим ORTH; кратними 45' – режим 45D, довільними кутами – режим ANGL.

4. Задання іменованих зв'язків. З проведенням іменованого зв'язку для задання імені ланцюга можна активізувати в статус-рядку дане ім'я, або ввести його безпосередньо з клавіатури, натиснувши клавішу F3, наприклад, ввівши на запит імені 0V, можна ввести ланцюг нульового потенціалу. З повторним вводом ланцюга з цим іменем виникне запит: NET 0V exists. Merge? YES NO (Ланцюг 0V існує. Об'єднувати? Так. Ні.). Ввівши у відповідь YES, ці ланцюги будуть об'єднані в одну компоненту зв'язку. Позначення елемента "земля" малюється за допомогою команди DRAW/LINE в шарі BUS товщиною лінії 5 DBU. Команда NAME/NET дозволяє присвоїти ім'я введеному ланцюгу.

5. Задання шини проводиться командою ENTR/BUSB. Якщо на запит системи ввести

з клавіатури: A<0:11>, то це буде означати, що задаються елементи шини з іменами A0, A1, ..., A11. Далі необхідно задати елементи взірця шини проведенням ліній провідників товщиною W:0 в шарі WIRES від контактів елементів схеми до шини. Надання імені кожному елементу шини (провіднику) проводиться в шарі NETNAM з встановленою висотою надписів 15 DBU. Креслення, власне, зображення шини, проводиться з допомогою команди DRAW/LINE в шарі BUS товщиною ліній 10 DBU.

6. Нумерація елементів схеми проводиться командою SCMD/PNUM. Перший елемент в корпусі D1 має номер DD1/A, другий – D1/B, ..., двадцять шостий – D1/Z, двадцять сьомий – D1/AA і т.д.

7. Запис схеми електричної принципової у файл проводиться командою FILE/SAVE.

8. Вихід з програми PC-CAPS – команда SYS/QUIT.

9.8. Формування списку ланцюгів з електричної принципової схеми

Програма PC-NODES призначена для генерації списку ланцюгів у двійковому виді в форматі, необхідному для наступної обробки програмами-утілками САПР PCAD. Вхідною інформацією для програми PC-NODES є схема електрична принципова (файл з розширенням SCH). Вихідний файл містить інформацію про списки ланцюгів і має розширення .NLT. У подальшому цей файл буде використовуватись програмою PC-PACK для автоматичної упаковки логічних елементів у мікросхеми та іншими програмами-утілками для зв'язку з іншими системами САПР.

Отже, необхідно викликати програму PC-NODES і у відповідь на запит DATABASE FILENAME <filename>.SCH увести з клавіатури ім'я файла схеми електричної принципової. При успішному завершенні роботи програма видає повідомлення: ... COMPLETED & SAVED AS <filename>.NLT. Для виходу з програми натисніть ESC.

9.9. Створення бібліотеки описів елементів

На цьому кроці будь-яким текстовим редактором необхідно створити файл з розширенням FIL, в якому вказуються імена всіх PEK, що використовуються у схемі. Для кожного PEK необхідно вказати його графічний образ (*.SYM) та конструкторсько-технологічний опис (*.PRT). У тексті FIL-файла можна використовувати спеціальні символи, наприклад, символ "%" дозволяє створювати коментарі; символ "\$" вказує, що далі іде спеціальна команда: якщо в тексті FIL-файла буде запис виду:

```
$ PREFIX
[10000=DD],
```

то тепер всі елементи, що мають ідентифікатор, що дорівнює 10000, будуть мати позиційні позначення DD1, DD2, DD3 і т.д.

Приклад FIL-файлу:

```
$ PREFIX
[10000:10500=D
[11400=VT]
```

Кількість вентилів	Тип елемента	Ім'я технол. елемента	Список додаткового упакування	Схемний елемент
4	155LA3	7400.PRT	(7=GND,14=+5V)	155LA3.SYM
2	555TB6	555TB6.PRT	(7=GND,14=+5V)	555TB6.SYM

Цей файл у подальшому буде використовуватись програмою PC-PACK для заміни схемних образів проекту на технологічні.

9.10. Підготовка конструктиву друкованої плати та розстановка корпусів PEK

Під конструктивом друкованої плати розуміють ділянку певної конфігурації і розмірів, де будуть розташовані корпуси PEK, що входять до складу електричної принципової схеми. При цьому в конструктиві розрізняють межі плати та межі ділянки розведення з'єднань схеми.

Для підготовки конструктиву плати необхідно викликати програму PC-CARDS, встановити режим DETL. Командою VLYR встановити параметри шарів:

SLKSCR ABL A – шар межі конструктиву плати;

BRDOUT ABL – шар межі ділянки розведення.

Тепер в активному шарі SLKSCR необхідно намалювати межі конструктиву друкованої плати необхідної форми та геометричних розмірів, а в шарі BRDOUT – межі розводки з'єднань між елементами схеми.

Після цього з допомогою команди ENTR/COMP необхідно ввести корпуси PEK. У відповідь на запитання ":" введіть ім'я необхідного PRT-файла. Вибравши місце для розташування PEK в межах позначеної ділянки розведення, зафіксуйте його лівою клавішею "миші". Для редагування розташувань PEK використовуються команди основного меню: MOV – пересунути зображення PEK; ROT – повернути; SWAP – попарно переставити.

Команда NAME/COMP дозволяє проставити номери корпусів PEK (D1, D2, VT5 і т.д.). Номери корпусів повинні відповідати номерам елементів, вказаних при вводі схеми електричної принципової (програма PC-CAPS, режим DETL, підкоманда SCMD/PNUM).

9.11. Упакування інформації про вміст електричної схеми і конструктиву друкованої плати

Програма PC-PACK має наступну вхідну інформацію:

- список ланцюгів схеми електричної принципової в двійковому вигляді (файл з розширенням NLT);
- бібліотеку упаковочної інформації (файл з розширенням FIL);
- бібліотеку посадочних місць (файл з розширенням PRT);
- конструктив друкованої плати (файл з розширенням PCB).

Вхідною інформацією програми PC-PACK є файл з розширенням PKG, який містить дані про вміст у мікросхемі логічних елементів схеми. Він відрізняється від файла з розширенням NLT тим, що замість образу схеми електричної принципової містить образ друкованої плати. Цей образ містить інформацію про ті посадочні місця, які повинні бути розміщені на друкованій платі. Отже, необхідно викликати програму PC-PACK і на ряд запитів набрати ім'я відповідного файла або натиснути клавішу ENTER, вказуючи на згоду з підказкою, що видає система. З нормальним завершенням програма видає повідомлення: ...PCB NETLIST DATABASE SAVED AS <filename>.PNL. При наявності помилок створюється текстовий файл з розширенням *.ERR. Для виходу з програми натисніть ESC.

9.12. Оптимізація розміщення корпусів РЕК

Графічний редактор PC-PLACE призначений для розміщення радіоелементів на друкованій платі. Після запускання програми командою FILE/LOAD введіть ім'я Вашого PKG-файла. На екрані повинно з'явитися зображення конструктиву друкованої плати з розставленими корпусами РЕК, яке було Вами введене в програмі PC-CARDS (режим DETL). Якщо встановити в рядку статусу літеру R зеленого кольору, то на екрані білими лініями будуть показані електричні зв'язки всіх елементів згідно з електричною принциповою схемою.

Команда MOVE/COMP дозволяє пересунути один або декілька РЕК. У відповідь на запит потрібно встановити графічний курсор на бажаний корпус РЕК та зафіксувати вибір лівою клавішею "миші". З переміщенням РЕК по полю редактора на екрані будуть відображатись електричні зв'язки з іншими РЕК, що полегшує пошук оптимального положення.

Команда SWAP/COMP дає змогу попарно міняти місцями РЕК, при цьому також відображаються їх електричні зв'язки.

Команда ROT дозволяє повертати РЕК. Програма також дає змогу розташувати РЕК в автоматичному режимі. Для цього виберіть команду PLCE головного меню редактора і на запит READY TO PLACE? YES NO виберіть YES. Після цього буде виконано автоматичне розміщення радіоелементів.

Командою FILE/SAVE запишіть модифіковане зображення у файл, при цьому система надасть йому розширення *.PLC.

9.13. Розведення друкованої плати

Програма PC-ROUTE призначена для автоматизації розведення двосторонніх та багатшарових друкованих плат. При запуску програми система запропонує вибрати з меню одну з операцій:

OPTIONS:

EDIT ROUTING STRATEGY – зміна стратегії розведення;

ROUTE – розведення;

EXIT PC-ROUTE – вихід з PC-ROUTE.

З вибиранням операції ROUTE виконується програма розведення вказаного PLC-файлу. Прокладені доріжки друкованих провідників програма записує в шари COMP, SOLDER, INT1, INT2, ... модифікованого файла конструктиву <filename>.PCB. Повідомлення про помилки і нерозведені зв'язки записуються у файл з розширенням *.REP.

У додатках В.1, В.2, В.3, В.4, В.5, В.6 та В.7 наведена необхідна інформація, що характеризує склад програми PCAD.

АКТИВНІ ЕЛЕМЕНТИ ЕЛЕКТРОННИХ ПРИСТРОЇВ

В якості активних елементів в електронних пристроях застосовують напівпровідникові діоди, біполярні та польові транзистори, тиристори, а в раніше розробленій апаратурі - і електровакуумні лампи.

Параметри напівпровідникових діодів: випрямних діодів, стабілітронів, варикапів, тунельних і обернених діодів – наведені в табл. А1.1 - А1.4.

Таблиця А1.1.

Випрямні діоди

Назва	Тип	Прямий струм $I_{пр}$, А	Зворотний струм $I_{зв}$, мкА	Максимальна зворотна напруга $U_{зв\ max}$, В	Маса М, г
Діод кремнієвий планарно-епітаксціальний	КД407	0,05	0,5	24	0,3
Діод кремнієвий точковий	Д102А	0,03	10	50	1,3
Діод кремнієвий дифузійний	КД209В	0,5	100	800	0,5
Діод кремнієвий сплавний	КД203Д	10	1500	1000	10
Діод германієвий високочастотний	ГД402А	0,025	100	15	0,2
Діод германієвий мікросплавний	ГД508А	0,001	60	8	0,2
Діод кремнієвий сплавний	В-320	320	20	1400	1000
Діод кремнієвий (стовп)	КГ201Г	0,5	100	8000	90

Таблиця А1.2.

Стабілітрони

Назва	Тип	Напруга стабілізації $U_{ст}, В$	Температурний коефіцієнт напруги ТК $U_{ст}$, град $^{-1}$	Диференційний опір $R_d, Ом$	Максимальний струм $I_{max}, мА$
Стабілітрон кремнієвий сплавний	Д814А	7- 8,5	0,07	6	40
Стабілітрон кремнієвий прецизійний	КС196А	8±0,5	±0,005	18	20
Стабілітрон кремнієвий низьковольтний	КС433А	3,3	-0,1	25	191
Стабілітрон кремнієвий високовольтний	КС680А	180	0,2	330	28

Потужні кремнієві діоди В-320 можуть витримувати короткочасно струми до 6000 А. Зворотна ємність діодів коливається від 1 пФ (для точкових діодів) до 10 000 пФ (для потужних діодів). Швидкодія крапкових та мікросплавних діодів велика. Вони можуть працювати на частотах до 100-400 МГц.

Зворотна ємність кремнієвих стабілітронів досягає 100-2000 пФ при зворотній напрузі 0,5-1 В і знижується в 5-10 разів при підвищенні зворотної напруги до $U_{ст}$.

Таблиця А 1.3.

Варіаки

Назва	Тип	Номинальна ємність $C, пФ$	Коефіцієнт перекриття по ємності K_c	Максимальна зворотна напруга $U_{зв max}, В$
Варіаки кремнієвий сплавний	КВ107В	40	3,0	30
Варіаки кремнієвий дифузійно-сплавний	КВ105А	600	3,8	90

Таблиця А1.4.

Тунельні та обернені діоди

Назва	Тип	Струм піку $I_p, мА$	Струм впадини $I_0, мА$	Ємність діода $C_d, пФ$
Діод тунельний із арсеніду галію	АИ101А	1	0,2	4
Діод тунельний із арсеніду галію	АИ201Л	100	10	15
Діод тунельний із арсеніду галію	АИ402Б	0,1	0,05	0,4
Діод обернений германієвий	ГИ401А	0,3	0,1	2,5

Таблиця А1.5.

Біполярні транзистори

Назва	Тип	Вхідний опір $h_{11}, Ом$	Коефіцієнт передавання струму h_{21}	Вихідна провідність $h_{22}, мкСм$	Максимальна потужність $P_{к max}, Вт$	Максимальна колекторна напруга $U_{к max}, А$	Максимальний колекторний струм $I_{к max}, А$	Гранична частота $f_p, МГц$
Транзистори малопотужні								
Низькочастотні	ГТ108А	300	20-50	3,3	0,075	18	0,05	0,1
Середньої частоти	КТ203Б	300	20-30	0,2	0,15	15	0,01	5
Високої частоти	КТ315Е	200	50-350	0,2	0,15	15	0,1	100
Надвисокої частоти	КТ342А	300	100-250	0,3	0,25	30	0,05	300
Транзистори середньої потужності								
Низькочастотні	ГТ403Ю	100	30-60	100	1,0	45	1,25	0,08
Середньої частоти	П602И	75	40-100	80	0,5	30	1,5	10

Високої частоти	КТ604А	100	10-40	10	0,8	250	0,2	40
Надвисокої частоти	КТ606А	-	10-30	-	2,5	60	0,4	200
Транзистори потужні								
Низькочастотні	ГТ703Г	20	50-100	200	15	40	3,5	0,02
Середньої частоти	КТ808А	20	10-50	20	20	250	10	7,0
Високої частоти	КТ903Б	30	40-180	10	30	80	3	100

Таблиця А1.6.

Польові транзистори

Назва	Тип	Кругість характеристики S , мА/В	Максимальна потужність P_{max} , Вт	Максимальна напруга між стіком та витоком $U_{си max}$, В	Маса M , г
Транзистори кремнієві польові:					
3 канал р-типу	КП201К	1,4	0,12	15	1
3 канал п-типу	КП203В	15	0,3	10	1,5

Таблиця А1.7.

Тиристри

Назва	Тип	Середній прямий струм $I_{пр}$, А	Максимальна зворотна напруга $U_{зв max}$, В	Маса M , г
Тиристор кремнієвий малопотужний	КУ101Е	0,075	150	1,5
Тиристор кремнієвий середньої потужності	КУ210В	8	600	75
Тиристор кремнієвий потужний	Т-320	320	1400	314

Обернені діоди можуть працювати як випрямні діоди зі змінними напругами 0,005-0,05 В.

Параметри біполярних транзисторів малої, середньої і великої потужностей наведені в табл. А1.5. Маса біполярних транзисторів складає 0,5-50 г, імпульсний струм може в 10-50 разів перевищувати $I_{к max}$.

Параметри польових транзисторів наведені в табл. А1.6.

Параметри тиристорів наведені в табл. А1.7.

Малопотужні тиристри можуть працювати на частотах до 10 кГц, потужні – на частотах 50 та 400 Гц.

ПАСИВНІ ЕЛЕМЕНТИ ЕЛЕКТРОННИХ ПРИСТРОЇВ

Сучасні електронні пристрої містять крім основних активних елементів – напівпровідникових або електровакуумних приладів – велику кількість пасивних елементів (резисторів та конденсаторів).

Резистори. Резистори – найбільш поширені пасивні елементи пристроїв промислової електроніки. Вони можуть складати 40-50% від загальної кількості всіх елементів. Резистори бувають постійні та змінні.

Основними параметрами резисторів є номінальний опір (номінал), допустиме відхилення від номіналу, номінальна потужність та температурний коефіцієнт опору.

Номінальні опори резисторів складають $10^1 - 10^{11}$ Ом. Для резисторів встановлено шість рядів номінальних опорів:

E6, E12, E24, E48, E96, E192. Число, що стоїть після символу E, визначає кількість номінальних величин у ряду. Кожний ряд задається числовими коефіцієнтами, помноженими на 10^n , де n – ціле додатне або від'ємне число. Резистори виготовляють із номінальними опорамі, що відповідають одному з числових коефіцієнтів. Найбільш поширеними є ряди E6, E12, E24, що подані в табл. А 2.1.

Допустиме відхилення від номіналу нормалізоване і відповідає ряду: $\pm 0,01; \pm 0,02; \pm 0,05; \pm 0,1; \pm 0,2; \pm 0,5; \pm 1,0; \pm 2,0; \pm 5,0; \pm 10; \pm 20; \pm 30$.

Номінальна потужність $P_{ном}$ – максимальна потужність, на яку розрахований резистор при тривалій його роботі без зміни параметрів протягом гарантійного терміну служби.

Якщо резистор працює при температурах, що перевищують граничне значення для даного резистора, то номінальна потужність розсіювання знижується. Номінальну потужність розсіювання у ватах вибирають згідно з Держстандартом ряду: 0,01; 0,025; 0,05; 0,125; 0,25; 0,5; 1, 2, 5, 8, 10, 16, 25, 50, 75, 100, 150, 250, 500.

Температурний коефіцієнт опору (ТКР) – величина, що характеризує відносну зміну опору резистора при зміні температури на 1°C . Значення ТКР може бути додатним і від'ємним. За типом провідного елемента резистори підрозділяють на непровідникові та провідникові; обидва види резисторів можуть бути постійними та змінними.

Таблиця А 2.1.

Ряд	Числові коефіцієнти						Допустимі відхилення, %
	1,0	1,5	2,2	3,3	4,7	6,8	
E6	1,0	1,5	2,2	3,3	4,7	6,8	$\pm 20\%$
E12	1,0	1,5	2,2	3,3	4,7	6,8	$\pm 10\%$
	1,2	1,8	2,7	3,9	5,6	8,2	
E24	1,0	1,5	2,2	3,3	4,7	6,8	$\pm 5\%$
	1,1	1,6	2,4	3,6	5,1	7,5	
	1,2	1,8	2,7	3,9	5,6	8,2	
	1,3	2,0	3,0	4,3	6,2	9,1	

Постійні непровідникові резистори бувають плівкові й об'ємні. Плівковий резистор являє собою стержень з ізоляційного матеріалу, покритий прошарком речовини з малою питомою електричною провідністю. Для створення високоомних резисторів прошарок, що проводить струм, роблять у вигляді спіралі. У залежності від матеріалу прошарку, що

проводить струм, розрізняють металоплівкові, вуглецеві плівкові, боровуглецеві плівкові, металооксидні та композиційні резистори.

У *металоплівкових резисторах* прошарком, що проводить струм, є плівка зі сплавів високого опору, що наносять на основу з кераміки або ситалу. До металоплівкових резисторів відносять резистори типів: МЛТ (металізовані лаковані теплостійкі); ОМЛТ (особливі МЛТ), що володіють підвищеною надійністю; МТ (металоплівкові теплостійкі), що можуть працювати при температурах до $+200^\circ\text{C}$; МУН (металоплівкові герметизовані прецизійні), що є високостабільними в часі, мають малий ТКР і можуть працювати при підвищеній вологості; МУП (металоплівкові ультрависокочастотні прецизійні), що мають номінали 24-200 Ом із допустимим відхиленням $\pm 1\%$. До металоплівкових відносять також типи резисторів, розроблені в останні роки: С2-6, що працюють при температурах до $+300^\circ\text{C}$; С2-8, що працюють при підвищеній вологості; С2-13; С2-14; С2-15, що є високоякісними прецизійними резисторами. Найбільш стабільними є резистори типу С2-13, що випускаються з допусками $\pm 0,1$;

$\pm 0,2; \pm 0,5; \pm 1; \pm 2,5\%$.

Вуглецеві плівкові резистори мають високу стабільність. Прошарком, що проводить струм, у них є плівка вуглецю товщиною 0,1-0,2 мкм, яку наносять на поверхню керамічного стержня. До вуглецевих резисторів відносять резистори типів: ВС (високостабільні опори), що володіють малим від'ємним ТКР; УЛМ (вуглецеві лаковані малогабаритні), що відрізняються від резисторів типу ВС малими розмірами; УЛД (вуглецеві лаковані з тривалим терміном служби), що мають термін служби до 20 років і призначені для роботи в герметизованій апаратурі; УЛІ (вуглецеві лаковані, які встановлюють в електронних приладах), що мають допустимі відхилення від номіналу $\pm 1; \pm 2; \pm 3\%$; УНУ (вуглецеві незахищені ультрависокочастотні), виготовлені у вигляді стержнів, трубок, шайб або пластин.

Боровуглецеві плівкові резистори відрізняються від вуглецевих резисторів введенням до складу вуглецевої плівки домішки бору, що дозволяє знизити ТКР і створювати резистори з невеличкими відхиленнями від номіналу. Резистори типу БЛП (боровуглецеві лаковані прецизійні) є поки що єдиними. Вони випускаються з допусками $\pm 0,5; \pm 1\%$.

Металооксидні резистори відрізняються більшою в порівнянні з металоплівковими резисторами стабільністю зі зміною температури навколишнього середовища й інших чинників. Прошарком, що проводить, у них є плівка оксидів металів, частіше всього двооксиду олова. До металооксидних резисторів відносять резистори типів: МОН (металооксидні низькоомні), що мають номінали 1-100 Ом із номінальною потужністю до 20 Вт; МОУ (металооксидні ультрависокочастотні), що випускаються на номінальну потужність до 200 Вт.

Композиційні резистори в даний час усе більше застосовуються. Прошарком, що проводить, у них є плівка сажі або графіту з наповнювачем. Ці резистори прості у виготовленні, мають високу надійність і невелику вартість, але мають низьку стабільність і залежність опору від прикладеної напруги. До композиційних резисторів відносять резистори типів: КЛМ (композиційні лаковані мегаОмні) і КВМ (композиційні вакуумні мегаОмні), що випускаються на номінали до 10^{11} Ом; КІМ (композиційні ізовані малогабаритні), що мають номінальну потужність 0,05 і 0,125 Вт; КЭВ (композиційні емальовані високовольтні), призначені для роботи в електричних колах високої напруги.

Об'ємний резистор являє собою спресований при високій температурі стержень або паралелепіпед із суміші сажі, корундового порошку і склоемалі, що є зв'язувальною речовиною. Ці резистори мають високу надійність при номінальній потужності від 0,125 до 60 Вт.

Постійні провідникові резистори виготовляють із манганінового, ніхромового або константанового дроту, який намотують на трубку з кераміки або преспорошку. Зверху, в якості захисного покриття, застосовують силікатну емаль, що фіксує витки й ізолює їх один від одного, а також захищає резистор від окислювання і механічних ушкоджень. Розрізняють резистори з одношаровою та багатшаровою обвитками. Постійні провідникові резистори мають номінали 3 Ом – 51 кОм і номінальну потужність до 150 Вт. Промисловість випускає такі типи провідникових резисторів: з одношаровою обвиткою – ПЭ (провідникові емальовані); ПЭВ (провідникові емальовані вологостійкі); ПЭВТ (провідникові емальовані і волого- та термостійкі); ПЭВР (провідникові емальовані вологостійкі регульовані), що мають латунний

рухливий із затисним гвинтом хомутки, який можна переміщати уздовж корпусу резистора по витках дроту, вільного від ізоляції; регульовані з багатошарової обвиткою -ПГ (провідникові точні); ППН, ПТМ, ПТК (провідникові точні, відповідно з ніхромового, магнітанінового і константанового дроту); малогабаритні ПТМН, ПТММ, ПТМК (провідникові точні малогабаритні, відповідно з ніхром, манганіну і константану). Резистори з одношаровою обвиткою мають допустимі відхилення від номіналу ± 5 ; $\pm 10\%$, а резистори з багатошарової обвиткою – $\pm 0,25$; $\pm 0,5$; $\pm 1\%$.

Провідникові резистори відрізняються від плівкових високою стабільністю, точністю і надійністю у роботі. До них варто віднести їх дещо велику паразитну індуктивність, а також високу вартість і великі габарити.

Останнім часом стали випускати мікропровідникові резистори, що володіють підвищеною стабільністю. До них відносять резистори типів: МВС (мікропровідникові високоомні зі скляною ізоляцією) і герметизовану різновидність МВСГ; резистори з поліпшеними властивостями С5-5; С5-716 та ін. (негерметизовані), С5-726 та ін. (герметизовані).

Для виготовлення мікропровідникових резисторів застосовують манганінові мікропровідники діаметром 3-10 мкм. Допустиме відхилення від номіналу складає від $\pm 0,05$ до $\pm 5\%$.

У залежності від призначення постійні резистори розділяють на резистори:

- 1) загального застосування (допустимі відхилення від номіналу $\pm 5\%$, $\pm 10\%$, 20%);
- 2) прецизійні (із допусками $\pm 0,01$; $\pm 0,02$; $\pm 0,05$; $\pm 0,1$; $\pm 0,2$; $\pm 0,5\%$);
- 3) високоомні (понад 10 МОм);
- 4) високовольтні (понад 2 кВ);
- 5) високочастотні й імпульсні.

Змінні резистори також бувають непровідникові та провідникові. Непровідникові змінні резистори бувають плівковими й об'ємними.

Плівкові змінні резистори складаються з прошарку, що проводить струм, який наносять на підковоподібну пластину (основа) із гетинаксу та рухомою системою зі струмознімачем. Кінці провідного прошарку і рухома система мають виводи. Із переміщенням рухливого контакту по прошарку, що проводить струм, змінюється значення опору між рухомих і одним із нерухомих контактів. У залежності від кута обертання осі рухливого струмоз'ємного контакту значення опору може змінюватися за лінійним (А), логарифмічним (Б) або оберненологіфімічним (В) законом.

Об'ємні змінні резистори мають більш товстий струмопровідний прошарок, який запресовують у спеціальну керамічну канавку основи. Залежність опору від кута обертання осі – лінійна. Вони відрізняються від плівкових змінних резисторів більш високою надійністю і меншими габаритами. Промисловість випускає такі типи непровідникових змінних резисторів: СП (опори змінні)-одинарні (СП-1, СП-2, СП-5) і здвоєні (СП-3, СП-4); СПО-(опори змінні об'ємні), виготовлені на номінальні потужності 0,15; 0,5; 1; 2 Вт.

Провідниковий змінний резистор виготовляють у вигляді одношарової обвитки з високоомного (манганінового, константанового або ніхромового) провідника, намотаного на розрізаний кільцевий сердечник із кераміки або пластмаси. По витках обвитки переміщується рухливий контакт. Промисловість випускає провідникові змінні резистори таких типів: ПР (провідникові регульовані); ППБ (провідникові змінні безкаркасні); ПП (провідникові змінні).

Провідникові резистори можуть працювати в ланцюгах постійного і змінного струмів низької частоти. Їх застосовують для регулювання напруги з високою точністю.

Система позначень резисторів відповідає Держстандарту.

Перший елемент позначення – буква (або дві букви), що означають тип резистора;

С – постійні;

СП – змінні.

Другий елемент позначення – цифра, що означає різновид провідного елемента:

- 1 – непровідникові тонкошарові вуглецеві і борівуглецеві;
- 2 – непровідникові тонкошарові металоплівкові, металоксидні;
- 3 – непровідникові композиційні плівкові;
- 4 – непровідникові об'ємні;
- 5 – провідникові;

6 – непровідникові тонкошарові металізовані.

Третій елемент позначення – цифра, що вказує на конструктивний різновид резисторів.

Позначення номіналу, номінальної потужності і допустимого відхилення від номіналу звичайних резисторів наносять на корпус резистора.

Приклади позначень резисторів:

С2-13 – резистор постійний, непровідниковий, металоплівковий, номер конструктивного різновиду (модифікації) – 13.

С5-5 – резистор постійний, дровтовий, номер конструктивного різновиду – 5.

Допустимі відхилення від номіналу наведені в табл. А 2.2.

Таблиця А 2.2

Допустимі відхилення від номіналу резисторів

Допустиме відхилення від номіналу, %	$\pm 0,1$	$\pm 0,2$	$\pm 0,5$	± 1	± 2	± 5	± 10	± 20	± 30
Умовне позначення	Ж	У	Д	Р	Л	И	С	В	Ф

Номінали та допуски малогабаритних і мініатюрних резисторів позначають згідно з літерною системою кодування: Е – Оми, К – кілоОми, М – мегаОми, Г – гігаОми, Т – тераОми. Малогабаритні і мініатюрні резистори мають скорочене позначення. Якщо опір резистора виражається цілим числом, то позначення одиниці цієї величини пишуть після нього. Наприклад, 47Е – 47 Ом, 51 К – 51 кОм, 47М- 47 МОм.

Якщо значення опору мініатюрного резистора дробове, то літерне позначення ставлять замість коми. Наприклад, резистор опором 2,2 кОм при допустимому відхиленні від номіналу $\pm 5\%$ маркують як 2К2И.

Якщо опір резистора виражається десятковим дробом з нулем попереду, то замість нуля цілих і коми перед цифрою ставлять літерне позначення одиниці цієї величини. Наприклад, К33-0,33 кОм, М51 – 0,51 МОм.

У технічній документації резистори позначають таким способом. Якщо опір резисторів має значення від 1 до 1000 Ом і є цілим числом, то резистори записують без вказівки одиниці опору. Наприклад, R510 – резистор з опором 510 Ом. Якщо опір резистора складає долі Ом або ціле число з долями Ом, то вказують одиницю Ом. Наприклад, 0,51 або 5,1 Ом. Резистори ≤ 910 кОм записують числом кілоОм із додатком букви К. наприклад, R680 К. Резистори опором від 1 МОм і вище позначають у мегаОмах без вказівки одиниці. Проте, якщо опір дорівнює цілому числу, то після його числового значення ставлять кому і нуль. Наприклад, R6,8 і R2,0.

Напівпровідникові резистори. У якості пасивних елементів в електронних пристроях застосовують також напівпровідникові резистори. Параметри деяких типів терморезисторів, варисторів і фоторезисторів наведені в табл. А 2.3 – А 2.5.

Таблиця А 2.3.

Варистори

Назва	Тип	Номинальна напруга (класифікаційний) $U_{кл}$, В	Номинальний струм (класифікаційний) $I_{кл}$, мА	Номинальна потужність $P_{ном}$, Вт	Коефіцієнт нелінійності λ
Стержневий варистор	СН 1-1-1	560-1500	10	1	3,5-4,5
	СН1-6	33	20	2,5	4,0
	СН1-8-20	20000	0,05	6	6-10
Дисковий варистор	СН1-2-1	56-270	8	1	3,5
	СН1-10	15-47	10	3	3,2

Таблиця А 2.4.

Терморезистори

Назва	Тип	Номинальний опір R_m , кОм	Температурний коефіцієнт опору α %, °С	Номинальна, потужність $P_{ном}$, мВт
Термістор	СТ1-17	0,3-22	4-7	500
	КМТ-1	22-1000	4,2-8,4	8
Позистор	СТ6-1А	0,04-0,4	10	1100
	СТ6-3Б	1-10	15	200

Таблиця А 2.5.

Фоторезистори

Тип	Робоча напруга U , В	Темновий опір R_m , МОм	Монохроматична чутливість S_l , мА/(лмВ)	Інтегральна чутливість S , мкА/лм	Потужність розсіювання $P_{ном}$, Вт	Світловий струм I , мА
СФ2-1	15	15	10	400	10	1
СФ2-8	100	100	-	-	125	1
ФСК-1	50	3,3	7	2,8	125	2

Конденсатори. Конденсатори, які застосовують у пристроях промислової електроніки, розділяють на конденсатори постійної ємності, налагоджувальні й змінної ємності.

Конденсатори класифікують за декількома ознаками:

а) за виглядом використовованого діелектрика – конденсатори з газоподібним (повітряні), рідким (масляні), твердим неорганічним (слодяні, керамічні, склокерамічні й ін.), твердим органічним (паперові, плівкові й ін.), оксидні (оксидно-напівпровідникові рідинні, сухі та тверді) діелектрики;

б) за призначенням – конденсатори загального застосування і спеціальні;

в) за номінальною (робочою) напругою – низьковольтні ($U_{роб} < 1600$ В) і високовольтні ($U_{роб} > 1600$ В) конденсатори.

Основними параметрами конденсаторів є:

номинальна ємність (номинал); допустиме відхилення від номіналу; електрична міцність; температурний коефіцієнт ємності.

Номинали ємностей, так само, як і номинали резисторів, встановлюють згідно зі шкалою Держстандарту. Відхилення від номіналу стандартизовані і встановлюються відповідно з рядом, наведеним для резисторів. Електрична міцність характеризується: номінальною (робочою) напругою $U_{роб}$, при якій конденсатор може працювати протягом зазначеного терміну служби і більш довгостроково з дотриманням умов експлуатації; випробною напругою $U_{вип}$ визначальна здатність конденсатора витримувати короточасні перевантаження по напрузі; пробивною напругою, тобто напругою, при якій настає пробій діелектрика.

Для конденсаторів встановлено три ряди номінальних ємностей: Е6, Е12 і Е24. Число, що стоїть після букви Е, визначає кількість номінальних величин у ряду. Кожний ряд задається числовими коефіцієнтами. Конденсатори виготовляють із номінальними ємностями, що відповідають одному з числових коефіцієнтів, який треба помножити на 10^n (див. табл. А 2.6), де для ряду Е6 $n=0, 1, 2, 3, 4$; для ряду Е12 $n=0, 2, 3, 4$; для ряду Е24 $n=2, 3, 4$.

Таблиця А 2.6

Ряд	Числові коефіцієнти
Е6	0,01; 0,015; 0,022; 0,033; 0,047; 0,068
Е12	0,01; 0,015; 0,022; 0,033; 0,047; 0,068; 0,012; 0,018; 0,027; 0,039; 0,056; 0,082
Е24	1 1,5 2,2 3,3 4,7 6,8 1,1 1,6 2,4 3,3 5,1 7,5 1,2 1,8 2,7 3,6 5,6 8,2 1,3 2,0 3,0 3,9 6,2 9,1

Температурний коефіцієнт ємності ТКС – величина, що характеризує відносну зміну ємності конденсатора при зміні температури на 1°С. Значення ТКС може бути додатним, від'ємним і близьким до нуля.

У конденсаторах постійної ємності застосовуються в основному тверді й оксидні діелектрики. До конденсаторів із твердим неорганічним діелектриком відносяться слюдяні, керамічні, склоемалеві та ін.

Конденсатори типів КСО (конденсатори слюдяні спресовані), КСГ (конденсатори слюдяні герметизовані), СГМ (слюдяні герметизовані малогабаритні), що володіють найбільш високими показниками, широко використовують у резонансних контурах, у колах блокування, зв'язку.

Керамічні конденсатори розділяють на трубчасті (КТ), дискові (КД) монолітні (КМ), пластинчасті (КП) і ін.

Керамічні конденсатори мають високі електричні показники, малі габарити, масу і вартість. Їх застосовують у тих же випадках, що і слюдяні.

До малогабаритних керамічних конденсаторів відносять литі (КЛГ, КЛС) і монолітні (КМ) конденсатори, що володіють найбільшою питомою ємністю. *Склоемалеві конденсатори* (КС) є найбільш дешевими. Проте їхні *електричні* характеристики гірші, ніж у слюдяних і керамічних конденсаторів. Конструктивно ці конденсатори виготовляються майже так само, як і монолітні.

До конденсаторів із твердим органічним діелектриком відносять паперові, металопаперові, плівкові й ін.

Паперові конденсатори виготовляють у вигляді рулону паперової стрічки, що знаходиться між стрічками алюмінієвої фольги. Найбільш поширені конденсатори типу КБГ (конденсатори паперові герметизовані). *Металопаперові герметизовані конденсатори* (МБГ-И в циліндричному корпусі з кераміки; МБГП – у прямокутному металевому корпусі;

МБМ – малогабаритні) мають менші габарити, ніж паперові, і мають здатність само відновлюватися з пробиванням діелектрика.

Обидва ці види застосовують у ланцюгах із частотою не вищою 1 МГц у якості фільтруючих, блокувальних та інших конденсаторів.

У *плівкових конденсаторах* діелектриком є синтетична плівка, наприклад полістирольа (ПМ – плівкові полістирольні малогабаритні або ПОВ – плівкові відкриті високовольтні). Плівкові конденсатори мають високі електричні показники, зокрема від'ємний ТКС, що дозволяє використовувати їх для параметричної стабілізації.

Електролітичні конденсатори виготовляють з оксидним діелектриком. Оксидний діелектрик у вигляді плівки наносять на одну з пластин конденсатора, у якості якої використовується тонка алюмінієва або танталова фольга. Іншою пластиною конденсатора є електроліт, у залежності від виду якого розрізняють рідинні, сухі і тверді електролітичні конденсатори. Електролітичні конденсатори є полярними. Тому в їх умовних графічних позначеннях відповідну обкладку позначають знаком “+”.

Із вмиканням конденсатора цю обкладку приєднують до вузла електричного ланцюга з великим потенціалом, а іншу обкладку – до вузла з меншим потенціалом. Порушення полярності призводить до виходу з ладу конденсатора.

У *конденсаторах типу* КЕ (конденсатори електролітичні) у якості однієї з обкладок використовується фольгований алюміній. Їх випускають на номінали 5-5000 мкФ і робочої напруги 3-500 В.

Значно кращі характеристики мають *танталові конденсатори*, наприклад, типу ЭТО (електролітичні танталові об'ємні), у яких у якості електроліту використовують розчини сірчаної і соляної кислот. Ці конденсатори випускають на номінали 2-1000 мкФ і робочої напруги 6-600 В. Танталові електролітичні конденсатори виготовляють також із сухим електролітом; конденсатори типу ЕТ (електролітичні танталові), у яких габарити менші, ніж у рідинних, за рахунок пропитання в'язким електролітом паперу або тканин.

Тверді оксидно-напівпровідникові конденсатори найбільш перспективні. У них діелектриком є двооксид марганцю MnO_2 або двооксид танталу Ta_2O_5 . Ці конденсатори випускають на номінали 0,033-300 мкФ і робочої напруги 6-30 В. Основна їхня перевага – здатність працювати при низьких температурах (-80 °С).

Для роботи з ланцюгами змінного струму випускають неполярні електролітичні конденсатори, наприклад, типу ЕП (електролітичний пусковий).

Налагоджувальні конденсатори і конденсатори перемінної ємності служать для настроювання резонансних контурів, фазоповертаючих мостів і т.д. Діелектриком у них є кераміка і повітря.

Налагоджувальні (напівзмінні) конденсатори призначені для невеличкої зміни ємності. Найбільш поширені дискові налагоджувальні конденсатори типів КПК і КПД. Обкладками в них є два прошарки срібла у виді секторів, нанесених на керамічні рухомий і нерухомий диски. При повороті рухомого диска змінюється ємність конденсатора. Налагоджувальний конденсатор характеризується ємностями C_{min} , C_{max} .

Конденсатори змінної ємності являють собою систему нерухомих пластин (статор), відносно яких обертається система рухомих пластин (ротор). Вони відносяться до розряду конденсаторів із механічним керуванням на відміну від конденсаторів з електричним керуванням (варикапів і варікондів).

Для зазначення конденсаторів, розроблених до 1964 р., прийнята літерна система, яка використовувалась раніше. Конденсатори, що розроблені після 1964 р., зазначають відповідно з літерно-числовим кодом.

Перший елемент зазначення – буква (або дві букви), що означає тип конденсатора: К – конденсатор постійної ємності; КТ – конденсатор налагоджувальний.

Другий елемент зазначення – двозначне число, що вказує на тип діелектрика (10-керамічний на номінальну напругу нижче 1600В, 15- керамічний на номінальну напругу 1600В і вище, 22-склоемалевий, 24-слюдяний, малої потужності, 32-слюдяний великої потужності, 40-паперовий на номінальну напругу нижче 1600В із фольговими обкладками, 41-паперовий на номінальну напругу вищу 1600В із фольговими обкладками, 42- із металізованими обкладками, 50-електролітичний алюмінієвий, 52 – електролітичний танталовий об'ємно-пористий, 53 – оксидно-напівпровідниковий, 60 – повітряний, 70 – полістирольний із фольговими обкладками, 71-полістирольний із металізованими обкладками).

Третій елемент зазначення – буква, що визначає призначення конденсатора (П – для роботи в ланцюгах постійного струму; У – для роботи в ланцюгах постійного, змінного струму й в імпульсному режимі; И- для роботи в імпульсному режимі; Ч-для роботи в ланцюгах змінного струму).

Четвертий елемент зазначення – порядковий номер розробки.

Номінальну ємність конденсатора вказують у долях фарад: мкФ (10^{-6} Ф), нФ (10^{-9} Ф) та пФ (10^{-12}). Для малогабаритних конденсаторів прийняте літерно-цифрове маркування: М – мікроФарад, Н – наноФарад і П – пікоФарад.

Маркування малогабаритних та мініатюрних конденсаторів здійснюють таким способом. Якщо ємність конденсатора менша 100 пФ, то на корпусі ставлять букву П, якщо ємність лежить у межах до 3100 пФ, то на корпусі її позначають у долях наноФарад, якщо від 0,01 до 0,091 мкФ – у паноФарадах і ставлять букву Н. На корпусі конденсаторів ємністю від 0,1 мкФ і більше ставлять букву М. Якщо ємність конденсатора має ціле число, то одиницю цієї величини пишуть після числа. Наприклад, 33П – 33 пФ, 47Н – 47 пФ. Якщо ємність конденсатора виражається десятковим дробом меншим від одиниці, то літерне позначення ставлять замість нуля і коми перед числом. Наприклад, Н33 – 0,33 пФ, М5 – 0,5 мкФ.

На корпусі конденсаторів, ємність яких виражається десятковим дробом більшим від одиниці, літерне позначення одиниці цієї величини ставлять замість коми. Наприклад, 6П8-6,8 пФ, 1Н5-1,5нФ, 1М5-1,5 мкФ.

Відхилення від номіналу для цих конденсаторів також маркують літерами. Приклади зазначення конденсаторів:

К10П-1 – конденсатор постійної ємності, керамічний, із номінальною напругою нижчою 1600 В, призначений для роботи в ланцюгах змінного та постійного струму;

КТ4-1 – конденсатор налагоджувальний із твердим діелектриком;

К42У-2-конденсатор постійної ємності, металопаперовий, для роботи в ланцюгах постійного та змінного струму й в імпульсному режимі.

Додаток Б.1
Класифікація та літерні позначення мікросхем

Функціональне призначення мікросхеми	Літерні позначення	
	за Держ- стандартом 18682-73	Старе
<i>Підсилювачі:</i>		
Високої частоти (напруги чи потужності)	УВ	---
Проміжної частоти (напруги чи потужності)	УР	---
Низької частоти (напруги чи потужності)	УН	---
Імпульсних сигналів (напруги чи потужності)	УИ	УИ
Постійного струму	УТ	УТ
Операційні і диференціальні (напруги чи потужності)	УД	---
Повторювачі	УЕ	УЭ
Індикації	УМ	---
Зчитування і відтворення синусоїдних сигналів	УЛ	УС
Відеопідсилювачі	---	УБ
Інші	УП	---
<i>Генератори сигналів:</i>		
Гармонійних	ГС	ГС
Прямокутних (типу мультівібратора, блокувальних генераторів та ін.)	ГГ	---
Лінійно-змінних	ГЛ	---
Спеціальної форми	ГФ	ГФ
Шуму	ГМ	---
Інші	ГП	---
<i>Комутатори та ключі:</i>		
Струму	КТ	---
Напруги	КН	---
Діодні	---	КД
Транзисторні	---	КТ
Інші	КП	---
<i>Формувачі:</i>		
Імпульсів прямокутної форми	АГ	---
Імпульсів спеціальної форми адресних струмів	АФ	---
	АА	---
Розрядних струмів	АР	---
Інші	АП	---
<i>Фільтри:</i>		
Верхніх частот	ФВ	ФВ

Нижніх частот	ФН	ФН
Смугові	ФЕ	ФП
Режекторні	ФР	ФС
Інші	ФП	---
<i>Схеми затримки:</i>		
Пасивні	БМ	---
Активні	БР	---
Інші	БП	---
<i>Детектори:</i>		
Амплітудні	ДА	ДА
Імпульсні	ДИ	ДИ
Частотні	ДС	ДС
Фазові	ДФ	ДФ
Інші	ДП	---
<i>Модулятори:</i>		
Амплітудні	МА	МА
Частотні	МС	МС
Фазові	МФ	МФ
Імпульсні	МИ	МИ
Інші	МП	---
<i>Перетворювачі:</i>		
Частоти	ПС	ПС
Фази	ПФ	ПФ
Тривалості	ПД	ПД
Напруги	ПН	ПН
Потужності	ПМ	---
Рівня	ПУ	ПУ
Форми сигналу	---	ПМ
Код-аналог	ПД	ПД
Аналог-код	ПВ	ПК
Код-код	ПР	---
Інші	ПП	---
<i>Схеми селекції і порівняння:</i>		
Амплітудні (рівня сигналу)	СА	СА
Часові	СВ	СВ
Частотні	СС	СС
Фазові	СФ	СФ
Інші	СП	---
<i>Вторинні джерела живлення:</i>		
Випрямлячі	ЕВ	---
Перетворювачі	ЕМ	---
Стабілізатори напруги	ЕН	АН, ПП

Стабілізатори струму	ЕТ	ЕТ
Інші	ЕП	---
<i>Логічні елементи:</i>		
І	ЛИ	ЛИ
АБО	ЛЛ	ЛЛ
НЕ	ЛН	ЛН
І-АБО	ЛС	ЛС
І-НЕ, АБО-НЕ	ЛБ	ЛБ
І-АБО-НЕ	ЛР	ЛР
І-АБО-НЕ/І-АБО	ЛК	ЛК
АБО-НЕ/АБО	ЛК	ЛК
Розширювачі	ЛД	ЛД
Інші	ЛП	ЛЭ
<i>Тригери:</i>		
JK-типу	ТВ	---
DS-типу	ТР	ТР
D-типу	ТМ	---
T-типу	ТТ	ТС
Динамічні	ТД	ТД
Шмітта	ТЛ	ТШ
Комбіновані	ТК	ТК
Інші	ТП	---
<i>Елементи запам'ятовувальних пристроїв (ЗУ):</i>		
Матриця-накопичувач оперативних ЗУ	РМ	---
Матриця-накопичувач постійних ЗУ	РВ	---
Матриця-накопичувач оперативних ЗУ із схемами управління	РУ	---
Матриця-накопичувач постійних ЗУ із схемами управління	РЕ	---
Елементи пам'яті	---	ЯП
Матриці різного призначення	---	ЯМ
Інші	РП	---
<i>Елементи арифметичних і дискретних пристроїв:</i>		
Регістри	ІР	ІР
Суматори	ІМ	ІС
Напівсуматори	ІЛ	ІЛ
Лічильники	ІЕ	ІЕ
Шифратори	ІВ	ІШ
Дешифратори	ІД	ІД
Комбіновані	ІК	ІК
Інші	ІП	ІП

<i>Багатофункціональні (виконують одночасно декілька функцій):</i>		
Аналогові	ХА	ЖА
Цифрові	ХЛ	ЖЛ
Комбіновані	ХК	---
Інші	ХП	---
<i>Набори елементів:</i>		
Діодів	НД	НД
Транзисторів	НТ	НТ
Резисторів	НР	НС
Конденсаторів	НЕ	НЕ
Комбіновані	НК	НК
Інші	НП	---

ДОДАТОК Б.2

ФУНКЦІОНАЛЬНЕ ПРИЗНАЧЕННЯ МІКРОСХЕМ

Група	Вид	Літерне позначення групи та виду
Генератори	Гармонійних сигналів Прямокутних сигналів Лнійнозмінюваних сигналів Сигналів спеціальної форми Шуму Інші	ГС ГГ ГЛ ГФ ГМ ГП
Фоточутливі схеми із зарядовим зв'язком	Матричні Лнійні Інші	ЦМ ЦЛ ЦП
Детектори	Амплітудні Імпульсні Частотні Фазові Інші	ДА ДИ ДС ДФ ДП
Комутатори та ключі	Струму Напруги Інші	КТ КН КП
Логічні елементи	Елемент «І» Елемент «НЕ» Елемент «АБО» Елемент «І — НЕ» Елемент «АБО — НЕ» Елемент «І — АБО» Елемент «І — НЕ/АБО — НЕ» елемент «І — АБО — НЕ» Елемент «І — АБО — НЕ/І — АБО» Елемент «АБО — НЕ/АБО» Розширювачі Інші	ЛИ ЛН ЛЛ ЛА ЛЕ ЛС ЛБ ЛР ЛК ЛМ ЛД ЛП
Багатофункціональні схемні *	Аналогові Цифрові Комбіновані Цифрові матриці (у тому числі програмовані матриці) Аналогові матриці Комбіновані (аналогові та цифрові) матриці Інші	ХА ХЛ ХК ХМ ХН ХТ ХП
Модулятори	Амплітудні Частотні Фазові Імпульсні	МА МС МФ МИ

	Інші	МП	
Набори елементів	Діодів	НД	
	Транзисторів	НТ	
	Резисторів	НР	
	Конденсаторів	НЕ	
	Комбіновані	НК	
	Функціональні (у тому числі матриці резисторів типу R-2R)	НФ	
	Інші	НП	
Перетворювачі сигналів	Частот (у тому числі перемножувачів аналогових сигналів)	ПС	
	Тривалості	ПД	
	Напруги (струму)	ПН	
	Потужності	ПМ	
	Рівня (узгоджувачі)	ПУ	
	Аналого- цифрові	ПВ	
	Цифро – аналогові	ПА	
	Код – код	ПР	
	Синтезатори частоти	ПЛ	
	Поділювачі частоти аналогові	НК	
	Поділювачі частоти цифрові	ПЦ	
	Помножувачі частоти аналогові	ПЕ	
	Інші	ПП	
Схеми джерел вторинного електроживлення	Випрямлячі	ЕВ	
	Перетворювачі	ЕМ	
	Стабілізатори напруги неперервні	ЕН	
	Стабілізатори напруги імпульсні	ЕК	
	Стабілізатори струму	ЕТ	
	Схеми керування імпульсними стабілізаторами напруги	ЕУ	
	Системи джерел вторинного електроживлення	ЕС	
	Інші	ЕП	
	Схеми затримки	Пасивні	БМ
		Активні	БР
Інші		БП	
Схеми порівняння	Амплітуди (рівня сигналів)	СК	
	Часу	СВ	
	Частоти	СС	
	Фази	СФ	
	Компаратори напруги	СА	
	Інші	СП	
Тригери	Універсальні (типу I-K)	ТВ	
	Із розділним запусканням (типу R-S)	ТР	
	Із затримкою (типу D)	ТМ	
	Лічильні (типу T)	ТТ	
	Динамічні	ТД	
	Шмітта	ТЛ	

	Комбіновані (типів Д-Т, R-S-T тощо) Інші	ТК ТП
Підсилювачі	Високої частоти ** Проміжної частоти ** Низької частоти ** Широкосмугові (у тому числі відеопідсилювачі) Імпульсних сигналів Повторювачі Зчитування та відтворення Індикації Постійного струму ** Операційні ** Диференціальні ** Інші	УВ УР УН УК УИ УЕ УЛ УМ УТ УД УС УП
Фільтри	Верхніх частот Нижніх частот Смугові Режекторні Інші	ФВ ФН ФЕ ФР ФП
Схеми обчислювальних засобів	Мікро-ЕОМ (електронна обчислювальна машина) Мікропроцесори Мікропроцесорні секції Схеми мікропрограмного керування Функціональні розширювачі (у тому числі розширювачі розрядності даних) Схеми синхронізації Схеми керування перериванням Схеми керування введенням—виведенням (схеми інтерфейсу) Схеми керування пам'яттю Функціональні перетворювачі інформації (арифметичні, тригонометричні, логарифмічні тощо) Схеми спряження з магістраллю Часозадавальні схеми Мікрокалькулятори Контролери Комбіновані схеми Спеціалізовані схеми Інші	ВЕ ВМ ВС ВУ ВР ВБ ВН ВВ ВТ ВФ ВА ВН ВХ ВГ ВК ВЖ ВП

Формувачі	Імпульсів прямокутної форми (у тому числі очікувальні мультівібратори, блокінг-генератори тощо) Імпульсів спеціальної форми Адресних струмів чи напруг Розрядних струмів чи напруг Інші	АГ АФ АА АР АП
Схеми запам'ятовувальних пристроїв	Матриці запам'ятовувачів прямого доступу Матриці запам'ятовувачів тільки для зчитування Запам'ятовувачі прямого доступу (ЗПД) Запам'ятовувачі тільки для зчитування (ЗТЗ) одноразового програмування ЗТЗ маскові Запам'ятовувальні пристрої на циліндричних магнітних доменах (ЦМД) ЗТЗ з можливістю багаторазового електричного перепрограмування ЗТЗ з ультрафіолетовим стиранням і електричним записом інформації Асоціативні запам'ятовувачі (АЗ) Інші	РМ РВ РУ РТ РЕ РЦ РР РФ РА РП
Схеми цифрових пристроїв	Регістри Суматори Напісуматори Лічильники Шифратори Дешифратори Комбіновані Арифметично - логічні пристрої Інші	ІР ІМ ІЛ ІЕ ІВ ІД ІК ІА ІП

* Схеми, що виконують одночасно декілька функцій та схеми підвищеної функціональної складності.

** Підсилювачі напруги і потужності (у тому числі малопотужні).

ДОДАТОК В.1
Шари редактора PC-CAPS

Шар	Призначення	Команда
GATE	Графічний образ елемента	/DRAW/RECT &...
DEVICE	Текстові позначення в *.SYM або тип елемента	/DRAW/TEXT & LINE & ...
REFDES	Позиційні позначення в *.SCH	/SCMD/PNUM
PINCON	Контакти в *.SYM	/ENTR/PIN
PINNAM	Імена виводів	/ENTR/PIN
PINNUM	Номери виводів	/ENTR/PIN
PINFUN	Функції виводів (по IEEE)	
IEEE	Графічний образ елемента в IEEE	
WIRES	Ланцюги з'єднання між контактами	
NETNAM	Імена електричних зв'язків	
BUS	Шини	
COMPNAM	Імена компонентів в *.SCH	/NAME/COMP
ATTR	Видимі атрибути	/ATTR/ACOM
SDOT	Точки міжз'єднань	
OUTLIN	Границя схеми	
ATTR2	Невидимі атрибути	
NOTES	Текстові замітки	
BORDER	Бордюр на схемі (границя листа)	

ДОДАТОК В.2
Шари редактора PC-CARDS

Шар	Призначення
PADCOM	Графіка контактної площадки з боку встановлення радіокомпонентів (з боку шару COMP)
FLCOMP	Посилання на апертуру (номер діафрагми) для засвічення фотошаблонів контактної площадки з боку установки радіокомпонентів
PADSLD	Графіка контактної площадки з боку провідників (з боку шару SOLDER)
FLSOLD	Посилання на апертуру (номер діафрагми) для засвічення фотошаблонів контактної площадки з боку провідників
PADINT	Графіка контактної площадки в внутрішньому шарі плати
FLINT	Посилання на апертуру (номер діафрагми) для засвічення фотошаблонів контактної площадки в внутрішньому шарі
GNDCON	Графіка контактної площадки в внутрішньому шарі друкованої плати, призначеної для з'єднання типу ЗЕМЛЯ
FLGCON	Посилання на апертуру (номер діафрагми) для засвічення фотошаблонів контактної площадки в внутрішньому шарі друкованої плати, призначеної для з'єднань типу ЗЕМЛЯ
CLEAR	Графіка контактної площадки в внутрішньому шарі друкованої плати, призначеної для з'єднання типу ЕКРАН
FLCLER	Посилання на апертуру (номер діафрагми) для засвічення фотошаблонів контактної площадки в внутрішньому шарі друкованої плати, призначеної для з'єднань типу ЕКРАН
PWRCON	Графіка контактної площадки в внутрішньому шарі друкованої плати, призначені для з'єднання типу ЖИВЛЕННЯ

FLPCON	Посилання на апертуру (номер діафрагми) для засвічення фотошаблонів контактної площадки в внутрішньому шарі друкованої плати, призначеної для з'єднань типу ЖИВЛЕННЯ
SLDMSK	Графіка, призначена для маскування контактної площадки
FLSMSK	Посилання на апертуру (номер діафрагми) для засвічення фотошаблонів для маскування контактної площадки
DRILL	Графіка контактної площадки для креслення свердлування
FLDRLL	Апертура для креслення свердлувань
PIN	Графічне позначення контактної площадки
BRDOUT	Межі розведення; не менше 100 DBU від елемента
SLKSCR	Графічний образ корпусу елемента
DEVICE	Текстові позначення в *.PRT або тип елемента
ATTR	Атрибути елемента
REFDES	Позиційне позначення елемента
COMP	Провідники з боку монтажу
SOLDER	Провідники з боку, зворотнього до монтажу
INT1-INT0	Провідники внутрішніх шарів
BARXXX	Межі розведення по шарах (аналогічно BROUT)

XXX = ALL, COMP, SOLD, VIA, TOP, BOT, PLC

ДОДАТОК В.3
Шари, що з'являються після роботи PC-PLACE, PC-ROUTE та інших

Шар	Призначення
\$FORC	Інформація про вектор розставлення
LAT410-LAT4n0	Мережі розміщення елементів
CUTPLC	Лінії зрізу розміщення елементів
\$CONT	Результати електронної перевірки в PC-DRC
\$DRC	Результати конструкторської перевірки в DRC
\$ECO	Зміни в проекті PC-ECO

ДОДАТОК В.4
Типи елементів (Component ID) згідно з позиційним позначенням.(PC-CAPS, PC-CARDS /SCMD/SCAT)

Елемент	Штиркові	Планарні	Позначення
Мікросхеми	10000	10500	D
Резистор	11100	11600	R
Конденсатор	11200	11700	C
Індуктивність	11300	11800	L
Транзистор	11400	11900	VT
Інші дискретні елементи	11000	11500	V
Перемикачі	12000	12500	S
Розкриття	13000	13500	X
Не обробляється в PCAD	0	0	-
Ієрархічний	256	256	-
Не обробляється в PC-PACK	-1	-1	-

ДОДАТОК В.5

Типи виводів для моделювання (PC-CAPS /ENTR/PIN)

IN	0	Вхід
OUT	1	Вихід
I/O	2	Двонаправлений вивід
OC	3	Вивід із відкритим колектором
OE	4	Вивід із відкритим емітером
TRI	5	Вихід із трьох станами
AN	6	Аналоговий вивід
	7 – 15	Інші виводи

ДОДАТОК В.6

Типи виводів для побудови конструктиву плати (PC-CARDS /ENTR/PIN)

Тип	Призначення
0	Наскрізний перехідний отвір
1	Тільки вивід 1 DIP-корпусів (квадратна площадка)
2	Всі інші виводи елемента в DIP-корпусі, крім першого, Земля та живлення
3	Земля елемента в DIP-корпусі
4	Живлення елемента в DIP-корпусі
5-24	Виводи інших елементів з штирьовими контактами
25-50	Виводи елементів з планарними контактами
51-64	Перехідні отвори між окремими шарами
65-255	Інші контактні виводи

ДОДАТОК В.7

Програми САПР PCAD та їх призначення

- PCCAPS** – графічний редактор принципів позначень елементів та схем електричних принципів;
- PCCARDS** – графічний редактор технологічних позначень елементів конструктивів плат;
- PCPLACE** – графічний редактор оптимізації і розставлення елементів на платі;
- PCROUTE** – програма автоматичного розведення топології плати;
- PCPRINT** – програма виводу на матричний друкуючий пристрій;
- PCPLOTS** – програма виводу на векторний графопобудувач;
- PCNODES** – програма для виділення списку вузлів зі схеми електричної принципової;
- PCPACK** – упакування інформації про проект для подальшого оброблення;
- PREPACK** – створення двійкового файлу для PCPACK;
- PCNLT** – аналізатор текстового опису системи;
- PCPHOTO** – програма виводу на фотоплотер;
- PCERC** – електричний контроль проекту;
- PCBACK** – формувач командного файлу PCCAPS про зміни в проекті;
- PCECO** – внесення змін в готовий проект (головний файл);
- PCCPR** – аналізатор змін в проекті;
- PCCOMP** – редактор інформації про упакування в бібліотеці елементів;
- PCLINK** – програма для зв'язку різних листів схеми в один проект;
- PCDRC** – технологічний контроль проекту;
- PCNLC** – порівняння різних проектів;

- PCDRILL** – формування керуючих програм для свердильних верстатів з ЧПК;
- PCFORM** – формування текстової інформації: звіт про проект;
- PCUPD** – внесення змін у проект;
- PDFOUT** – експорт графічної інформації із середовища PCAD у формат *.DIF;
- PDFIN** – імпорт графічної інформації з формату *.DIF в PCAD;
- PCGPLOT** – вивід на плотер формату GERBER;
- PCGERBER** – графічний редактор у форматі GERBER;
- POSPHOTO** – постпроцесор для перекладу з мови GERBER в мови ARISTOMAT, ЯГТИ та інші;
- POSDRILL** – постпроцесор для перекладу керуючої програми з мови EXELLON на мову КД-6, СМ-600 та ін.

Література.

1. Забродин Ю.С. Промышленная электроника. – М.: Высшая школа, 1982. – 496 с.
2. Промышленная электроника / В.С. Руденко, В.И. Сенько, В.В. Трифонов, Е.Е. Юдин/ Под ред. В.С.Руденко. – К.: Техніка, 1979. – 503 с.
3. Тице У., Шенк К. Полупроводниковая схемотехника: Пер. с нем. – М.: Мир 1982, – 512 с.
4. Горбачев Г. Н., Чаплыгин Е. Е. Промышленная электроника. – М.: Энергоиздат, 1988, – 320 с.
5. Основы промышленной электроники. Под ред. В. Г. Герасимова – М: Высшая школа, 1986, – 336 с.
6. Сисоев В. М., Чернавский В.П. Радіотехніка з елементами обчислювальної техніки. – К.: Вища школа, 1986, – 184 с.
7. Гольденборг Л. М. Импульсные и цифровые устройства. – М.: Связь, 1978, – 496 с.
8. Алексеев А. Г., Шатулин И. И. Микросхемотехника, – М: Радио и связь, 1982, – 372 с.
9. Степаненко И. П. Основы теории транзисторов и транзисторных схем. – М.: Энергия, 1977, – 320 с.
10. Электронные цифровые вычислительные машины. Под ред. К. Г. Самофалова, – К.: Вища школа, 1978, – 478 с.
11. Самофалов К. Г., Викторов О. В., Кузник А. Г. Микропроцессоры. – К.: Техніка, 1986. – 278 с.
12. Корнейчук В. И., Тарасенко В. П. Вычислительные устройства на микросхемах. Справочник. – 2-е изд., перераб. и доп. – К.: Техніка, 1988. – 351 с.
13. Берзтисс А. Т. Структуры данных: Пер с англ. – М.: Статистика, 1974. – 405 с.
14. Савельев А. Я. Арифметические и логические основы цифровых автоматов. – М: Высшая школа, 1980, – 254 с.
15. Анисимов В. И. Топологический расчет электронных схем. . – Л.: Энергия, 1977. – 240 с.
16. Функционально-логическое проектирование БИС. /П. В. Савельев, В. В. Коняхин/. Под ред. Г. Г. Козенкова. – М: Высшая школа, 1990, – 153 с.
17. Цифровая и вычислительная техника. /Э. В. Евреиннов, Ю. Т. Бутыльский, И. А. Малезелев, В. М. Туров и др./ Под ред. Э. В. Евреиннова. М: Радио и связь, 1991, – 462 с.
18. Васильев В. И., Гусев Ю.М., Миронов В. Н. и др. Электронные промышленные устройства. – М: Высшая школа, 1988, – 303 с.
19. Балашев Е. П., Григорьев В. Л., Петров А. Г. Микро- и мини- ЭВМ: Учеб. Пособие для вузов, – Л.: Энергоатомиздат, 1984. – 264 с.
20. Глушков В. М. Синтез цифровых автоматов. – М: Физматгиз, 1962. – 475 с.
21. Краснопрошина А. А., Скаржепа В. А., Кравец П. И. Электроника и микросхемотехника, часть II, – К.: Вища школа, 1989, – 302 с.
22. Гостев В. И. Системы управления с цифровыми регуляторами: Справочник. – К.: Техніка, 1990. – 380 с.
23. Цифровые интегральные микросхемы: Справочник /П. П. Мальцев, А. С. Долидзе, М. М. Критенко и др./ – М: Радио и связь, 1994, – 240 с.
24. Ульянов В. Н. Импульсные устройства на интегральных микросхемах. – МЭИС. – М, 1985. – 42 с.
25. Абрайтис Л. Б. Автоматизация проектирования топологии цифровых интегральных микросхем. – М: Радио и связь, 1985, – 200 с.
26. Юхименко Г. О., Шаблій О. М. Автокад 14. Вибір професіоналів. – Тернопіль: Лілея, 1999, – 418 с.
27. Орбчук Б. Я., Хомин І. В. Методичні вказівки до виконання лабораторних робіт в пакеті PCAD. – Тернопіль: ТДТУ, 1998, – 40 с.

Андронік Буняк

Електроніка та мікросхемотехніка

**Навчальний посібник
для вищих учбових закладів**

Обкладинка художника Шпак Л.Є.
Технічний редактор Тераз М.М.
Коректор Галан Г.І.

НБ ПНУС



635701

Підписано до друку 19.03 2001. Формат 60x84/16. Друк офсетний.
Папір друкарський. Гарнітура Times. Умовно-друк. арк. 22,20.
Облік. вид. арк. 30,03. Зам. № 47.

СМП "Астон" м.Тернопіль,
вул. Гайова, 8 тел. (0352) 22-71-36, 22-25-60