ФІЗИКА І ХІМІЯ ТВЕРДОГО ТІЛА
Т. 5, № 2 (2004) С. 391-394

PHYSICS AND CHEMISTRY OF SOLID STATE
V. 5, № 2 (2004) P. 391-394

PACS 07.50.EK

ISSN 1729-4428

С.П. Новосядлий, Р.І. Запухляк, П.І. Мельник

Схемотехніка, структура та фізико-технологічні особливості потужних вихідних каскадів для швидкодіючих цифрових ВІС

Прикарпатський університет імені Василя Стефаника, фізичний факультет,
вул. Галицька 201, м. Івано-Франківськ, 76000, Україна

В даній статті вперше розроблені і проаналізовані схемотехніка, структура та технологія формування структур комбінованих вихідних високовольтних каскадів цифрових ВІС, які включають біполярні, К-МОН, n-, p-МОН, Д-МОН польові транзистори і польові транзистори з p-n-переходом для збільшення швидкодії, завадозахищеності і зменшення енергоспоживання з регулюючим лінійним навантаженням.

Ключові слова: схемотехніка, польовий транзистор, топологія, високовольтний вихід, суміщена структура, багатозарядна імплантація, швидкодія, кремнієва епітаксійна структура.

Стаття поступила до редакції 07.11.2003; прийнята до друку 23.05.2004.

Сучасний розвиток великих інтегральних схем (ВІС) здійснює перехід в субмікронний діапазон топологічних розмірів структур 0,25-1,0 мкм. Для збільшення ступені інтеграції і прецизійності електричних параметрів ВІС при такому переході крайнє необхідне суміщення на одному кристалі аналогових біполярних, цифрових К-МОН та потужних Д-МОН ІС, що дає можливість подальшого розширення їх функціональних можливостей із збільшенням швидкодії при безпосередньому спряженні з мікропроцесорними, мікро-контролерними пристроями, з системами діагностування та обробки сигналів, з багатофункціональними сенсорними пристроями [1,3]. Технологія формування кремнієвих епітаксійних структур (КЕС) для таких суміщених структур ВІС розглядалась нами раніше в [1,2].

Така унікальна суміщена структура і технологія їх формування може бути також використана для виготовлення високо стабільних керуючих схем, вихідних каскадів швидкодіючих цифрових ВІС. Даний технологічний процес, оснований на кремнієвій епітаксійній структурі, що дозволяє сумістити всі види технологій формування транзисторів: біполярну, n-, p-, K-, D-МОН технології польових транзисторів (ПТ) та ПТ з керуючим p-n-переходом, металевим затвором і 9-и фотолітографій [2,7,8].

В ролі кремнієвої підкладки використовувався кремній p-типу з орієнтацією (100) та питомим опором 45-80 Ом·см, які були отримані з монокремнію, вирощеного методом Чохральського, на яких формувався текстурований гетер. Такий високий опір дозволяє формувати польові транзистори з малою паразитною ємністю і пороговою напругою та вирощувати епітаксійні шари без автолегування і зміщення захованого шару. Для зрівноваження швидкостей росту в різних кристалографічних напрямках в захований n^+-шар, сформований багатозарядною імплантацією миш'яку до поверхневого опору 12-15 Ом/см^2, проводилась імплантація іонів вуглецю [5,6]. Основні етапи виготовлення таких комбінаційних схем в структурах показані на рис. 1, де: (1) – фоторезист-маска для іонної імплантації багатозарядних іонів бору (B^{++}); (2) – питомий опір епітаксійного n-шару ρ_v = 15-20 Ом·см; ($2^!$) – поверхневий опір захованого n^+-шару, сформованого багатозарядною імплантацією миш'яку (As^{++}) та вуглецю (C^+), величиною Rs = 12-15 Ом/см^2; (3) – плівка аморфного кремнію, нанесеного в реакторі зниженого тиску і легованого миш'яком, як дифузійного джерела створення областей n^+-типу; (4) – біполярний n-p-n транзистор; (5) – польовий Д-МОН транзистор; (6) – n-МОН польовий транзистор; (7) – p-МОН польовий транзистор; (8) – польовий транзистор з керуючим p-n-переходом (JFET), який використовується як динамічне навантаження. Багатозарядна технологія іонного легування дозволяє забезпечити наступні електрофізичні параметри транзисторних структур: поверхневий опір p^-- кишені (роздільної області) із R_{SP^-} = 1 кОм/см^2 при товщині n-епі шару X_n = 7-9 мкм; n^+-областей емітера, колектора, стік-витокових областей із R_{sn+} = 20 Ом/см^2 при глибині переходів X_{n+} = 1-1,4 мкм; p^+-областей охорони, стік-витокових областей із R_{sp+} = 30 Ом/см^2 при глибині переходів X_{P+} = 2-2,8 мкм; p^--області для бази біполярного і для каналу Д-МОН транзисторів з R_{SP^-}

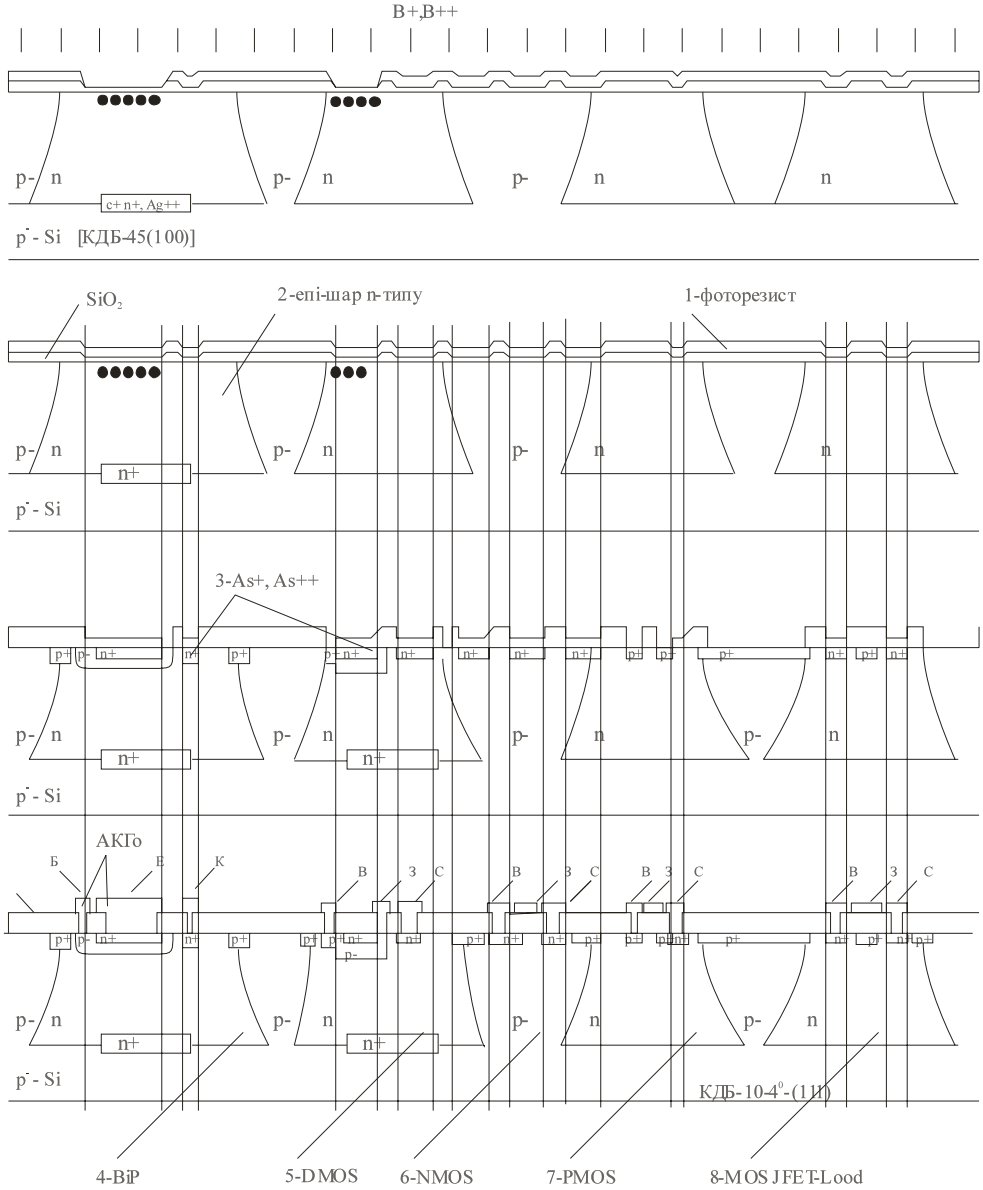

Рис. 1. Технологічні етапи формування суміщених структур комбінованих схем цифрових ВІС на основі КЕС.

= 180-200 Ом/см^2 при глибині переходів $X_P^- = 2{,}8$-3,3 мкм. При цьому довжина каналу Д-МОН ПТ $L_D = 0{,}8(X_P^- - X_{n+}) = 1$-1,5 мкм; товщина каналу польового транзистора з управляючим p-n-переходом $d = (d_n - X_{p+}) = 6{,}2$-7 мкм. Порогова напруга n- і p-канального МОН ПТ, сформованих на самосуміщених структурах при товщині підзатворного діелектрика 150-200 A^0, складає ±0,9 В відповідно, а напруга витік (стік) – підкладка – не менше 50 В. Подальше зниження порогової напруги до $U_T = \pm 0{,}65$ В досягається зменшенням товщини підзатворного діелектрика до 100-120 A^0 та слабо легованим епітаксійним шаром n$^-$-шаром до питомого опору 45 Ом·см. Перехід в субмікронний діапазон по довжині каналу можливий за рахунок масштабування, використання Н-МОН транзисторів (глибоке підлегування каналів високо енергетичною багатозарядною імплантацією) та поліцидного затвору і локальної ізоляції, сформованої проокисленням легованого полікремнію [2]. Тут вперше n-МОН ПТ реалізований в p$^-$-області роздільної ізоляції.

Д-МОН ПТ характеризується високою робочою напругою (>100 В) та високою швидкістю переключення 3-10 мкс за рахунок захованого n$^+$-захованого шару. Витік, стік, канал теж представляють собою самосуміщену структуру, яка досягається послідовним іонним легуванням бору (B^{++}) і миш'яком (As^+) через вікно в області витоку. Доза імплантації бору складала 0,1-0,5 мКул/см^2, а миш'яку – 1-3 мКул/см^2. Легування миш'яком можна проводити також із легованого аморфного кремнію, осадженого в реакторі зниженого тиску при температурі менше 590^{0}C, що показано на рис. 1. Для усунення явища проколу бази доза імплантованого бору для формування p$^-$-області повинна бути більшою 0,15 мКул/см^2. Провідність стокових областей можна збільшувати підвищенням рівня

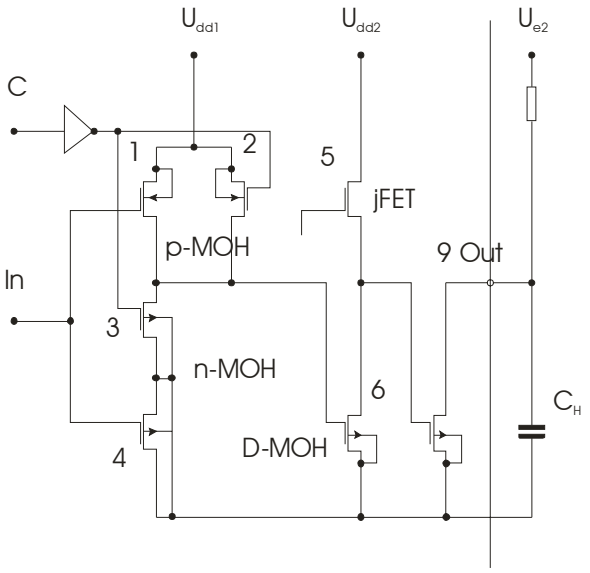

Рис. 2. Електрична схема високовольтного вихідного каскаду з управляючим К-МОН затвором та інвертором.

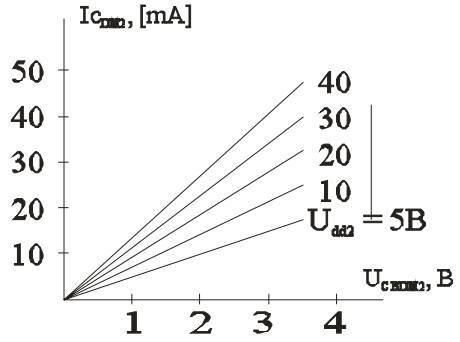

Рис. 3. Вихідні характеристики ДМОН польового транзистора ДМ2 в залежності від напруги живлення польового транзистора з управляючим p-n переходом

легування n^+-захованого шару та n^+-стік-витокових областей з використанням багатозарядної імплантації миш'яку. Зменшення довжини каналу менше 1 мкм не впливає на пробивну напругу Д-МОН ПТ, яка складає більше 100 В.

Польовий транзистор з управляючим p-n-переходом (JFET) формується як динамічне навантаження з високим змінним опором, затвор якого постійно з'єднаний з нульовим потенціалом. ПТ з p-n-переходом формують дифузією бора в область затвора одночасно з формуванням стік-витокових областей p-канальних областей МОН ПТ. Стік-витокові області ПТ з управляючим p-n-переходом отримують під час дифузії чи імплантації миш'яку в області витоку-стоку n-канального МОН ПТ. Його вольт-амперна характеристика визначається питомим опором каналу (тобто опором n-epi шару) та розміром каналу (його шириною d). Найбільш важливим параметром такого навантажувального ПТ транзистора є струм насичення $I_{C\ нас}$, що пропорційний d^3.

Дана технологія була використана для формування структур послідовно-паралельного зсувного регістра з високовольтними вихідними каскадами. Логічна схема виконана на К-МОН ПТ, а управляючий пристрій – на Д-МОН ПТ та динамічному ПТ з p-n-переходом. Електрична схема такого вихідного високовольтного каскаду зображена на рис. 2, на якому показана схема переходу від цифрової частини до високовольтного інвертора на Д-МОН ПТ з навантаженням у вигляді ПТ з управляючим p-n-переходом, затвор якого має нульовий потенціал та 1,2 – p-канальні МОН ПТ; 3,4 – n-канальні МОН ПТ; 5 – ПТ з управляючим p-n-переходом; 6,7 – Д-МОН ПТ; 8 – вхід; 9 – вихід; 10 – інвертор, який може бути реалізований на К-МОН польових або біполярному транзисторах і виконує роль буферного входу. Струм, що протікає через Д-МОН інвертор (5,6), визначається струмом насичення польового транзистора з управляючим p-n-переходом при $U_З = 0$. Для схемної реалізації при $U_{ДД1} = 5$ В, $U_{ДД2} = 45$ В, $U_{E2} = 45$ В, $C_Н = 35$ пф при струмі насичення ПТ з управляючим p-n-переходом $I_{Снас} = 320$ та 170 мкА час затримки високовольтного сигналу (більше 40 В) дуже малий і складав 0,7-1 мкс.

Вихідні характеристики Д-МОН ПТ (7) представлені на рис. 3 в залежності від зміни напруги на стоці ПТ з управляючим p-n-переходом (5). Як бачимо, вони мають лінійний характер, тобто реалізоване таким чином динамічне навантаження є лінійним і спотворення вихідного сигналу не проходить.

Таке компонування транзисторів (К-МОН ПТ) в роздільну область, Д-МОН ПТ із захованим n^+-шаром та ПТ із заземленим управляючим затвором забезпечує дуже мале споживання потужності, високу завадозахищеність та швидкодію, бо робота такого вихідного високовольтного каскаду забезпечується лише основними носіями заряду, які не допускають явищ накопичення і розсмоктування носіїв заряду, а самосуміщені структури ВІС формуються за допомогою лише 8-9 рівнів проміжних фотооригіналів, як і для біполярної технології.

Таке схемотехнічне і топологічне рішення дозволяє формувати на уніфікованих КЕС самосуміщені субмікронні Bi-К-Д-МОН структури для комбінованих цифрових ВІС з високовольтними та швидкодіючими вихідними каскадами, що об'єднують аналогову, цифрову та силову електричні схеми на одному кристалі.

Оригінальністю даної статті є: суміщення на одному типі КЕС всіх 6 видів транзисторів; формування в роздільній області n-канальних МОН ПТ; регулювання опору відкритого Д-МОН ПТ за

допомогою електрофізичних параметрів захованого n^+-шару; мінімізації топологічних шарів до 8-9 із використанням багатозарядної імплантації миш'яку і бору; реалізації високовольтного лінійного динамічного навантаження за допомогою ПТ з управляючим p-n-переходом і заземленим затвором; схемотехнічній реалізації безінерційного вихідного високовольтного комбінованого каскаду.

Новосядлий С.П. – доктор технічних наук, професор;
Запухляк Р.І – кандидат фізико-математичних наук, доцент;
Мельник П.І. – доктор технічних наук, професор, завідувач кафедри.

[1] С.П. Новосядлий. Субмікронна технологія високовольтних біполярних і Bi-К-Д-МОН-ВІС // *Вісник Прикарпатського університету ім. Василя Стефаника. Серія "Фізика, математика і хімія",* Вип. 1. сс. 125-129 (2000).
[2] С.П. Новосядлий. Технологія формування високоякісних КЕС // *Технологія конструювання в електронній апаратурі,* **3-4**, сс. 23-26 (1997).
[3] А. Блихер. *Физика силовых биполярных и полевых транзисторов.* Ленинград, Энегоатомиздат, 245 с. (1986).
[4] С.П. Новосядлий. Високоякісна технологія затворного оксидування // *Вісник Харківського університету, Серія фізична. "Ядра, частинки, поля"*, **469**, Вип. 1, сс. 65-70 (2000).
[5] С.П. Новосядлий. Радіаційна технологія при формуванні структур ВІС // *Науковий вісник Чернівецького університету. Фізика і електроніка*, **63**, сс. 8-23 (1999).
[6] С.П. Новосядлий, Я.О. Василів, Ю.Л. Бірковий, Б.М. Романюк (Україна) Позитивне рішення експертизи винаходів по заявці №94020445 від 9.03.93. Спосіб виготовлення кремнієвих епітаксійних структур. №5397 від 03.94. бюл. №4. 1 с.
[7] С.П. Новосядлий. Зарядові моделі радіаційної технології формування суміщених ВІ-К-Д-МОН ВІС // *Металофізика і новітні технології,* **7**(23), сс. 1001-1011 (2001).
[8] С.П. Новосядлий. Формування кремнієвих епітаксійних структур для суміщених ВІ-К-МОН ВІС // *Металофізика і новітні технології*, **3**(24), сс. 353-365 (2002).

S.P. Novosyadlyy, R.I. Zapuchlyak, P.I. Melnyk

Schemotechnique, Structure and Physic-technological Features of Powerful Output Cascade of Digital VLSI

Vasyl Stefanyk Prekarpathian University, Physical Faculty,
201, Galytska Str., Ivano-Frankivsk, 76000, Ukraine

In this article for the first time the compatible technology of Bi-C-MOS and D-MOS structures engineering with a use of silicon epitaxial structures of the n^--n^{--}-p^- type has been described. It allows to create structures of large-scale integrated circuits of multifunctional purpose.